مجله علمی-پژوهشی رایانش نرم و فن‌آوری اطلاعات

جلد ۵، شماره ۲، تابستان سال ۱۳۹۵ شاپا: ۱۰۰۶-۲۳۸۳

مقایسه عملکرد الگوریتم‌های ابتکاری GA، IPO و PSO به‌منظور طراحی بهینه مدار تغییردهنده سطح

علی محمدی*[۱]، سیّدحمید ظهیری[۲]

*۱- نویسنده مسئول: دانشجوی دکتری، دانشکده مهندسی برق و کامپیوتر، دانشگاه بیرجند، بیرجند، ایران، a.mohammadi@birjand.ac.ir

۲- استاد، دانشکده مهندسی برق و کامپیوتر، دانشگاه بیرجند، بیرجند، ایران، hzahiri@birjand.ac.ir

چکیده- کارآیی روش‌های بهینه‌سازی با استفاده از الگوریتم‌های هوشمند، تمایل محققین را برای استفاده از آن‌ها در مسائل پیچیده مهندسی به‌صورت چشمگیری افزایش داده است. در این مقاله، مقایسه عملکرد سه الگوریتم مبتنی بر هوش جمعی PSO و IPO و روش تکاملی GA برای محاسبه پهنای کانال (w) ترانزیستورها در جهت مجتمع‌سازی بهتر و به‌منظور بهبود توان‌مصرفی و تأخیر مدار تغییردهنده سطح (LEVEL SHIFTER) در تغییر سطح ولتاژ ۰/۴ به ۳ ولت با تکنولوژی CMOS ۰/۳۵ میکرومتر مورد ارزیابی قرار گرفت. نتایج شبیه‌سازی برای مدار نمونه نشان می‌دهد که مقدار توان مصرفی ۰/۲۲۲ نانو وات و تأخیر ۹/۱۱۳ نانو ثانیه با الگوریتم PSO ، توان مصرفی ۰/۳۹ نانو وات و مقدار تأخیر برابر با ۳/۷۴۱ نانو ثانیه با الگوریتم IPO و مقادیر ۰/۲۳۵ نانو وات و ۳/۷۱۱ نانو ثانیه با الگوریتم GA حاصل می‌شود که در مقایسه با راهکارهای ارائه‌شده در پژوهش های قبلی، علاوه بر بهبود چشمگیر توان و تأخیر، کمینه‌شدن wها نیز حاصل شده است. کلیه پیاده‌سازی‌های مقاله در نرم‌افزار متلب و شبیه‌سازی‌ها در محیط اچ‌اسپایس انجام گرفته است.

واژه‌های کلیدی: الگوریتم‌های ابتکاری ، تغییردهنده سطح، بهینه‌سازی توان و تأخیر، بهینه‌سازی سیستم صفحات شیبدار، بهینه‌سازی جمعیت ذرات، الگوریتم وراثتی.

۱- مقدمه

امروزه در اکثر حوزه‌های علمی و پژوهشی به‌ویژه در حوزه‌های مهندسی، دیگر روش‌های کلاسیک جوابگوی حل بسیاری از مسائل پیچیده نیست و بیشتر از الگوریتم‌های جستجوی تصادفی برای حل مسائل بهینه‌سازی استفاده می‌شود. چرا که اغلب در هنگام طراحی مدارهای الکترونیکی، به‌خاطر وجود محدودیت‌هایی در روال طراحی، از روابط و فرضیاتی جهت سهولت در طراحی و مقیاس گذاری‌ها استفاده می‌شود که این سبب می‌شود تا نتایج حاصل از شبیه‌سازی، مغایر با مقادیر مدنظر باشد. نکته قابل تامل عدم چشم‌پوشی از این فرض‌ها و مدل‌های تقریبی در مجتمع-سازی مدارهای پیچیده و چند طبقه در مقیاس بزرگ است. از این رو استفاده از الگوریتم‌های جستجوی ابتکاری[۱] در سال‌های اخیر رشد قابل‌توجه‌ای داشته است.

الگوریتم‌های ابتکاری، الگوریتم‌هایی هستند که با الهام از فرآیندهای فیزیکی و بیولوژیکی[۲] و طبیعت به‌وجود آمده‌اند. روش-های بهینه‌سازی ابتکاری بر خلاف روش‌های کلاسیک و تئوری بر مبنای تصادف عمل کرده و جستجوی فضای مسئله را به‌شکل موازی پیمایش می‌کنند. این نوع روش‌ها از تابع برازندگی برای مدیریت جستجو بهره می‌برند. در دهه‌های اخیر نیز پژوهش‌های فراوانی در زمینه بهینه‌یابی تصادفی صورت گرفته که به دو دسته عمده از الگوریتم‌های جستجوی کلاسیک طبقه‌بندی می‌شوند. دسته اول با الهام از پدیده‌های تکاملی طبیعی و بر مبنای عملگرهای تصادفی پیاده‌سازی می‌شوند. از شاخص‌ترین نمونه‌های این الگوریتم‌ها، الگوریتم وراثتی[۳] (GA) [۱] است و دسته‌ی دیگر، الگوریتم‌های مبتنی بر هوش‌جمعی[۴] که در آن‌ها از رفتار اجتماعی و گروهی یک جامعه به‌صورت همکاری متقابل و برای رسیدن به

[1] Heuristic

[2] Biological

[3] Genetic Algorithm (GA)

[4] Swarm intelligence

www.SID.ir

Archive of SID

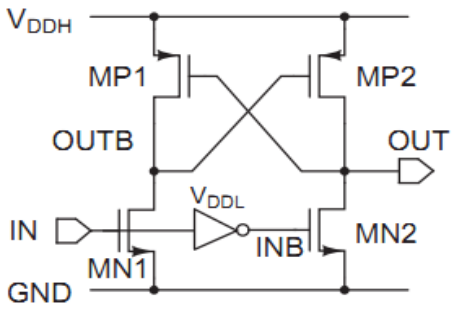
یک هدفی نهایی به‌کار گرفته می‌شود. از جمله این الگوریتم‌ها می‌توان به الگوریتم بهینه‌سازی جمعیت ذرات[1] (PSO) [۲]، الگوریتم جستجوی گرانشی[2] (GSA) [۳]، الگوریتم بهینه‌سازی سیستم صفحات شیبدار[3] (IPO) [۴] اشاره کرد که در آن پارامترهای جستجوگر، موقعیت خود را در یک فضای جستجو چند بُعدی تا رسیدن به بهینه‌شدن تابع هدف، تغییر می‌دهند.

در این مقاله ما با بهره‌گیری از سه الگوریتم GA، IPO و PSO برای کمینه کردن مقادیر توان مصرفی و تأخیر یک مدار تغییردهنده سطح[4] ولتاژ استفاده کردیم. در راستای میل به این هدف، محاسبه هوشمند مقادیر پهنای کانال[5] (w) ترانزیستورها مدار مدنظر است که با تعریف توابع بهینه توان و تأخیر و همچنین ملاحظه محدوده قابل گزینش w جهت بهبود مجتمع‌سازی برای هر یک از الگوریتم‌ها، مقادیر w مطلوب دریافت می‌شود. در ادامه این مقاله، در بخش ۲ بیان مختصری از ماهیت مدار تغییردهنده سطح مطرح می‌شود. در بخش ۳ به مرور راهکارهای انجام شده قبلی پرداخته خواهد شد. بخش ۴ تشریح‌کننده الگوریتم به‌نسبت جدید IPO است و در بخش ۵ به توضیح راهکار پیشنهادی پرداخته خواهد شد. با توجه به مرسوم بودن دو روش ابتکاری GA و PSO از توضیح آن‌ها اجتناب شده است. در بخش‌های انتهایی مقاله، نتایج و شبیه‌سازی‌ها در بخش ۶ و نتیجه‌گیری بخش ۷، خاتمه مقاله است.

۲- تغییر دهنده سطح ولتاژ (LS)

در واحدهای مدارات الکترونیکی با سطح تغذیه متفاوت، برای جلوگیری از اتلاف توان ناشی از برقراری جریان مستقیم بین تغذیه سطح بالا و ولتاژ زمین (صفر)، باید از مدارات واسط ولتاژی استفاده کرد. مکانیسم کار به‌گونه‌ایست که این مدارات، سطوح بالا و پایین ولتاژ مدار طبقه اول را به‌نحوی تنظیم می‌کنند تا سطح پایین ولتاژ در همان سطح باقی مانده و سطح بالای ولتاژ را به سطح ولتاژ بالای طبقه بعدی تغییر می‌دهند[۵]. این مدارات این امکان را فراهم می‌کنند تا واحدهای متفاوت بدون هیچ گونه پایه منبع اضافی، ارتباط بین مدارها را ممکن شوند. هدف اصلی به‌کارگیری این مدارات، حداقل کردن توان، به‌دلیل وجود منابع ولتاژ متفاوت در مدارات انتقال است [۶]. از این‌رو مدارات تغییردهنده سطح از عناصر مداری با اهمیت به‌شمار می‌روند و در پژوهش‌های اخیر نیز با تکنیک‌ها و کاربردهای متنوعی مورد مطالعه قرار گرفته‌اند [۷-۱۴].

از بارزترین پارامترها در طراحی مطلوب مدار، بهینه‌سازی پارامتر توان مصرفی و تأخیر مدار در تبدیل سطوح ولتاژ است. شکل ۱ مدار تغییر دهنده سطح ولتاژ استاندارد (قراردادی) را نشان می‌دهد [۱۵]. سیگنال‌های متمم IN و INB به‌وسیله گیت وارون‌گر در منطق CMOS فراهم می‌شوند. هنگامی که ولتاژ ورودی IN و INB به‌ترتیب در سطح بالا و پایین ولتاژ راه‌اندازی شده‌اند، ترانزیستورهای MN1 خاموش و MN2 روشن می‌باشند. با روشن شدن MN2 و OUT (خروجی) به سطح پایین کشیده شده و MP1 به‌دلیل تغذیه صفر گیت خود فعال می‌شود. در این حالت خروجی OUTB به سطح بالا سوئیچ می‌شود و در نتیجه ترانزیستور MP2 خاموش مانده و سطح خروجی به سطح صفر نزول خواهد کرد. نکته قابل توجه در مدار فوق، تعیین ولتاژ گره OUT توسط جریان‌های راه‌انداز ترانزیستور بالاکش MP2 و ترانزیستور پایین‌کش MN2 است. هر چند مدار فوق در زمان افزایش اختلاف ولتاژ بین منبع ولتاژ سطح بالا V_{DDH} و منبع ولتاژ سطح پایین V_{DDL}، ایرادی اساسی پیدا می‌کند. چرا که جریان راه‌انداز ترانزیستورهای NMOS به اندازه قابل توجه‌ای کوچک‌تر هستند از ترانزیستورهای PMOS که در ناحیه‌های معکوس شدید کار می‌کنند. از این‌رو ولتاژ گره‌های OUT و OUTB امکان تغییر ندارند [۱۵].



شکل ۱: تغییر دهنده سطح ولتاژ قراردادی [۱۵].

۳- مروری بر کارهای آنجام شده

در [۱۶] با بکارگیری راهکار پشته‌سازی[6] در جهت کاهش جریان نشتی و توان‌اتلافی، در سه نمونه ارائه شده با سطح ولتاژ ورودی ۱/۶ ولت به ۳/۳ ولت خروجی، به مقادیر ۴۰۲/۲ پیکو وات و ۲/۳۳ نانو ثانیه برای مدل ۱، ۱۰۸/۶ پیکو توان و ۲/۵ نانو ثانیه برای مدل ۲ و مقادیر معادل با ۳۹۶/۷ پیکو وات توان و ۰/۵ ثانیه تأخیر

[1] Particle Swarm Optimization (PSO)
[2] Gravitational Search Algorithm (GSA)
[3] Inclined Planes System Optimization (IPO)
[4] Level shifter (LS)
[5] Channel width
[6] Stacking

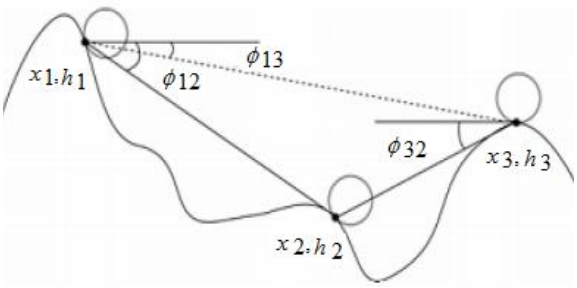
www.SID.ir

برای مدل ۳ دست یافته است. در [۱۷] با بهره‌گیری از مدارهای تأخیر در بدنه اصلی مدار، کاهش ۴۲/۸ درصدی توان برای تبدیل ولتاژ ۱/۸ ولت به ۳/۳ حاصل شده است. در [۱۵] مدار پیشنهادی برای این کاربرد معرفی شده که در فرکانس ۱ کیلوهرتز، سیگنال ورودی با دامنه ۰/۴ ولت را به ۳ ولت تبدیل می‌کند. توان مصرفی مدار پیشنهادی ۶ نانو وات و تأخیری در حدود ۱ نانو ثانیه دارد. روش دیگر استفاده از ترانزیستور CMOS چند آستانه[1] است که در [۶] برای سیگنال ورودی ۲۳۰ میلی ولت به ۳ ولت خروجی در فرکانس ۱ مگاهرتز اتلاف توانی برابر با ۱۱۵ پیکو وات و تأخیر ۱۷ نانو ثانیه نشان می‌دهد. راهکار دیگر، استفاده از بایاس معکوس بدنه است که جهت کنترل اتوماتیک ولتاژ آستانه و به‌دنبال آن کاهش جریان‌های نشتی زیرآستانه را به‌دنبال دارد، که مدل پیشنهادی در مرجع [۱۸] با سیگنال ورودی در محدوده ی ۱,۶ ولت و سطح خروجی ۳,۳ ولت، توان‌های متوسطی بر اساس ساختارهای متفاوت پیشنهاد شده به‌ترتیب ۸۵ پیکو وات، ۹۰ پیکو وات و ۴۸۰ پیکو وات حاصل شده است.

از نمونه‌های دیگر در جهت بهبود تغییر دهنده‌های سطح ولتاژ در [۱۹] استفاده شده که اتلاف توانی برابر با ۸۹/۴ نانو وات و تأخیر ۷۰ پیکو ثانیه را در تبدیل سیگنال ورودی ۰/۴۵ ولت به ۱/۰۵ ولت خروجی نشان می‌دهد. این راهکار مبتنی بر به کارگیری بلوک تغییر سطح ولتاژ و یک مدار تولید ولتاژ مرجع است. در روش مشابه استفاده از راهکار چند ولتاژ آستانه (MTCMOS) در [۵] پیاده‌سازی شده که این راهکار به جای شبکه فیدبک کم سرعت در مدارهای تغییر سطح ولتاژ، از چند ولتاژ آستانه برای جبران و کاهش جریان‌های استاتیک مدار استفاده می‌کند. نتایج شبیه‌سازی نشان می‌دهد در تکنولوژی CMOS ۶۵ نانو متری برای تبدیل ولتاژ ۰/۸ به ۱/۶ ولت، ۵۶ درصد بهبود توان و ۲۰ درصد بهبود تأخیر انتشار دارد.

۴- الگوریتم بهینه‌سازی سیستم صفحات شیبدار (IPO)

الگوریتم بهینه‌سازی سیستم صفحات شیبدار (IPO)، الگوریتمی برگرفته از چگونگی حرکت دینامیکی اجسام کروی بر روی سطح شیبدار بدون اصطحکاک می‌باشد [۴]؛ که تمایل رسیدن به پایین-ترین نقطه سطح را دارند.



شکل ۲: مثالی از فضای جستجوی الگوریتم IPO [۴].

در IPO تعدادی توپ کوچک در فضای جستجو برای پیدا کردن نقطه بهینه (حداقل) در حرکت هستند (شکل ۲). توپ‌ها در این الگوریتم به تشابه الگوریتم PSO، عوامل الگوریتم هستند. ایده اصلی الگوریتم IPO نسبت دادن ارتفاع نسبت به یک نقطه مرجع به هر توپ است که میزان این ارتفاع بر اساس تابع برازندگی به‌دست می‌آید. این مقادیر ارتفاع، در واقع تخمینی هستند برای انرژی پتانسیل توپ‌ها که در ارتفاعات مختلفی قرار دارند و با پایین آمدن آن‌ها، این انرژی به انرژی جنبشی تبدیل شده و سبب شتاب گرفتن توپ‌ها به سمت پایین می‌شود. در واقع توپ‌ها تمایل دارند تا انرژی پتانسیل خود را برای رسیدن به نقطه حداقل از دست بدهند. لذا توپ‌ها به‌صورت پی در پی در فضای جستجو برای یافتن پاسخ مطلوب‌تر حرکت کرده و به تناسب شتابی را به خود تخصیص می‌دهند. هر توپ در فضای جستجو دارای سه مختصات می‌باشد: موقعیت، ارتفاع و زاویه‌هایی که با دیگر توپ‌ها می‌سازد. موقعیت هر توپ یک جواب عملی شدن در فضای جستجو و ارتفاع آن به‌وسیله تابع برازندگی به‌دست می‌آید. موقعیت توپ i اُم به‌وسیله رابطه زیر تعریف می‌گردد:

$$\overrightarrow{x_i} = (x_i^1, \dots, x_i^d, \dots, x_i^n) \quad \text{for } i=1,2,\dots,N \qquad (۱)$$

و

$$x_j^{min} \le x_j \le x_j^{max}\ ,\ 1 \le j \le n \qquad (۲)$$

به‌طوری‌که، x_i^d موقعیت توپ i اُم در بُعد d اُم در فضای n بُعدی است. در یک زمان مشخص مانند t، زاویه بین توپ i اُم و توپ j اُم در بُعد d، یعنی $\emptyset_{ij}^d$ به‌صورت زیر محاسبه می‌شود:

$$\emptyset_{ij}^d(t) = \tan^{-1}\left(\frac{f_j(t)-f_i(t)}{x_i^d(t)-x_j^d(t)}\right) \qquad (۳)$$

For d=1,…,n and i,j=1,2,…,N, i≠j

به‌گونه‌ای‌که، $f_i(t)$ مقدار تابع هدف (ارتفاع) برای توپ i اُم در زمان t است. شتاب اعمالی از طرف سطح شیبدار به توپ از رابطه (۴) محاسبه می‌گردد.

$$a = g.\sin(\emptyset) \qquad (۴)$$

[1] Multi-Threshold CMOS (MTCMOS)

www.SID.ir

به‌طوری‌که، g ثابت شتاب گرانشی زمین و $\emptyset$ زاویه ایجاد شده بین سطح شیبدار با سطح افقی است. مقدار و جهت شتاب برای توپ iاُم در زمان (تکرار) t اُم در بُعد d اُم برابر است با:

$$a_i^d(t) = \sum_{j=1}^{N} U\left(f_j(t) - f_i(t)\right).\sin(\emptyset_{ij}^d(t)) \qquad (۵)$$

که در آن U تابع پله واحد است. در IPO از معادله حرکت با شتاب ثابت برای به‌روز رسانی موقعیت توپ‌ها استفاده می‌کند:

$$x_i^d(t+1) = k_1.rand_1.a_i^d(t).\Delta t^2 + k_2.rand_2.v_i^d(t).\Delta t + x_i^d(t) \qquad (۶)$$

به‌طوری‌که $rand_1$ و $rand_2$ دو ثابت تصادفی هستند که به‌صورت یکنواخت در بازه [0 , 1] توزیع شده‌اند. $v_i^d(t)$ سرعت توپ i اُم در تکرار t اُم و بُعد d اُم است. k_1 و k_2 دو ثابت که تابعی از زمان (تکرار الگوریتم) و موجب ایجاد مصالحه[1] بین دو مفهوم بهره‌وری[2] و کاوش[3] در الگوریتم می‌شوند (روابط (۷) و (۸)). $v_i^d(t)$ نیز از رابطه (۹) محاسبه می‌شود.

$$k_1(t) = \frac{c_1}{1+\exp((t-shift_1)\times scale_1)} \qquad (۷)$$

$$k_2(t) = \frac{c_2}{1+\exp(-(t-shift_2)\times scale_2)} \qquad (۸)$$

$$v_i^d(t) = \frac{x_{best}^d(t) - x_i^d(t)}{\Delta t} \qquad (۹)$$

در (۹)، $x_{best}^d(t)$ توپ با کمترین ارتفاع (برازندگی) در کل تکرارها تا تکرار فعلی است [۴].

شبه کد الگوریتم بهینه‌سازی IPO به‌صورت زیر است.

الف) تولید جمعیت اولیه به‌صورت تصادفی، مقادیر k_1، k_2 و دیگر پارامترها

ب) تکرار اجرای الگوریتم

پ) ارزیابی برازندگی (ارتفاع) هر توپ

ت) محاسبه زاویه، شتاب و سرعت هر توپ

ث) بروز رسانی موقعیت هر توپ

ج) محاسبه و تعیین مقدار k_1 و k_2

چ) بازگرداندن توپ‌هایی که از بازه فضای جستجو خارج شده‌اند، به داخل فضای جستجو

ح) پایان، در صورت مشاهده شرط توقف.

۵- راهکار پیشنهادی

در روش پیشنهادی ما، با توجه به اینکه انتخاب مناسب مقادیر w هر یک از ترانزیستورها، نقش به‌سزایی در بهبود توان و تأخیر مدار خواهند داشت، با هدف کیمنه کردن توان مصرفی، تأخیر و اندازه مجاز پهنای کانال، تابع برازندگی برای هر یک از الگوریتم‌ها تعریف می‌شود. تعریف تابع برازندگی شایسته و موثر بر مبنای ماهیت مسئله مورد واکاوی، از اهمیت ویژه‌ای در به‌کارگیری راهکارهای هوشمند در حوزه‌های کاربردیشان برخودار است. از همین رو و علم به ایجاد مصالحه مطلوب بین بهینه‌سازی توان مصرفی و تأخیر، تابع هدف به‌صورت زیر در نظر گرفته می‌شود:

$$\boldsymbol{f(x) = Power\ (توان\ مصرفی) \times Delay\ (تأخیر)}$$

که x متغیر طراحی (w ترانزیستورها) و حداکثر و حداقل بازه قابل انتخاب برای w به‌صورت زیر مشخص می‌شود:

$$\mathbf{min\ \ f(x)\ \ \ that\ \ \ X_L \le x \le X_H}$$

با در نظر گرفتن روابط توان استاتیک و تأخیر می‌توان ارتباط پهنای کانال ترانزیستورها را با کمیت‌های کیفی مدار (توان مصرفی، تأخیر) دریافت [۲۰-۲۳] :

$$P_s = I_{avg} \times V_{DD} \qquad (۱۰)$$

$$I_{Dp} = \frac{k\times w}{l}(V_{GS} - V_{th})^2 \qquad (۱۱)$$

$$I_{Dt} = \frac{1}{2}\times\frac{k\times w}{l}(2(V_{GS} - V_{th})V_{DS} - {V_{DS}}^2) \qquad (۱۲)$$

$$t_{f,r} = \frac{4\times c_1}{\acute{k}\frac{w}{l}V_{DD}} \qquad (۱۳)$$

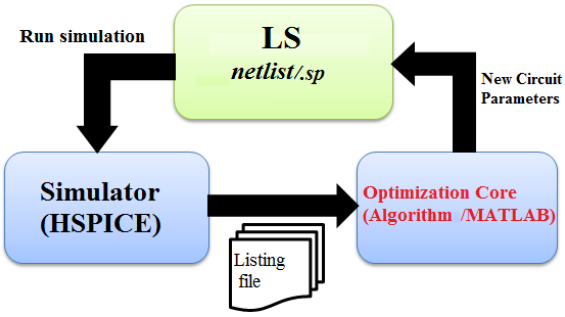
$$\acute{k} = \mu_{n,p} \times c_{ox} \qquad (۱۴)$$

به‌نحوی‌که، P_s توان حالت ایستای مدار، I_{avg} متوسط جریان کشیده شده (بدون بار خروجی) از منبع ولتاژ مدار در حالات مختلف کاری ترانزیستورها، I_{Dp} جریان ناحیه کاری اشباع ترانزیستور، I_{Dt} جریان ناحیه کاری خطی ترانزیستور و $t_{f,r}$ زمان صعود و نزول سیگنال ولتاژ خروجی است

با ثابت بودن اندازه طول تکنولوژی ساخت ترانزیستورها (L=۰/۳۵ میکرومتر)، ثابت حرکت الکترون و حفره ($\mu_{n,p}$)، و مقادیر تغذیه و فرکانس ثابت برای کاربردهای خاص، ساده‌ترین راه جهت کنترل روند بهینه‌سازی، طراحی و مقداردهی هوشمند w ترانزیستورها است. بدین منظور مدار مرجع [۱۵] در نرم‌افزار شبیه‌ساز اچ-اسپایس[4] با مقادیر اولیه تصادفی w شبیه‌سازی شده است. البته با توجه به مشاهدات مقادیر w جهت پاسخ مطلوب مدار، در یک بازه معین در نظر گرفته می‌شود. نتایج حاصل از شبیه‌سازی (پارامترهای بهینه شونده توان و تأخیر) استخراج شده و از طریق لینک در اختیار نرم‌افزار متلب[5] قرار داده می‌شود (شکل ۳).

[1] Trade off
[2] Exploitation
[3] Exploration
[4] HSPICE A-2008.03
[5] Mathworks MATLAB R2011b

www.SID.ir



شکل ۳: ساختار کلی سیستم بهینه‌سازی مدار LS مبتنی بر ارتباط متقابل بین متلب و اچ‌اسپایس.

روند کار بدین صورت است که به‌واسطه پیاده‌سازی هر یک از الگوریتم‌ها به‌طور کاملاً تصادفی، تعدادی پاسخ کاندید (مقادیر w ترانزیستورهای مدار) از میان بازه‌ای مشخص دریافت می‌شوند. سپس پاسخ‌های پیشنهادی توسط متلب به فایل ورودی با پسوند sp. نرم‌افزار اچ‌اسپایس منتقل می‌شود. شبیه‌ساز اچ‌اسپایس مدار را با w دریافتی شبیه‌سازی و مقادیر خروجی توان و تأخیر را در فایل خروجی به فرمت lis. ذخیره می‌کند. سپس نرم‌افزار متلب مقادیر ذکر شده را از فایل lis. استخراج می‌کند و در فرآیند بهینه‌سازی هر یک از الگوریتم‌ها دخیل می‌دهد. این روند تا حصول مقادیر کیفی مطلوب برای توان مصرفی و تأخیر مدار ادامه خواهد داشت. این نتایج به‌عنوان پارامترهای کنترل‌کننده الگوریتم‌ها، در قالب توابع برازندگی برای هر یک از الگوریتم‌ها تعریف می‌شوند. به‌طوری‌که هدف کمینه‌شدن مقدار توان استاتیک و مقادیر متوسط زمان صعود و نزول سیگنال خروجی مطابق روابط (۱۰) و (۱۳) می‌باشد.

۶- نتایج شبیه‌سازی

نتایج حاصل از شبیه‌سازی بر اساس به‌کارگیری سه نمونه از الگوریتم‌های ابتکاری (GA، PSO و IPO) می‌باشد. برای کلیه الگوریتم‌ها مقدار X_L=۰/۴ و X_H=۱/۶ میکرومتر، جمعیت برابر با ۳۰ و مقدار تکرار ۱۰۰ در نظر گرفته شده است. سایر ملاحظات برای هر یک از الگوریتم‌ها در جدول‌های ۱ تا ۳ آورده شده است. در الگوریتم وراثتی یک مجموعه نقاط جستجوی اولیه به‌نام جمعیت‌اولیه تعیین شده و به‌تناسب برازندگی افراد آن برای نسل بعد، انتخاب می‌شود [۱]. سپس اُپراتورهای ژنتیکی جهش، جابجایی و انتخاب عمل می‌کنند و جمعیت جدید جایگزین جمعیت پیشین می‌شود و این چرخه ادامه پیدا می‌کند [۱][۲۴][۲۵].

در PSO هر پاسخ x به‌صورت یک ذره نمایش داده می‌شود. به‌طور کلی اگر $\vec{x_i}(t)$ نشان‌دهنده موقعیت ذره P_i در فضای جستجو در لحظه t باشد، موقعیت P_i با افزودن سرعت $\vec{v_i}(t)$ به موقعیت فعلی به‌صورت زیر تغییر می‌کند [۲][۲۶][۲۷]:

$$v_i(t+1) = \omega \times v_i(t) + c_1 \times r_1 \times (p_{bi}(t) - x_i(t)) + c_2 \times r_2 \times (p_g(t) - x_i(t)) \quad (۱۵)$$

$$\vec{x_i}(t+1) = x_i(t) + v_i(t+1) \quad (۱۶)$$

که در آن، $\vec{v_i}(t)$ بردار سرعت در گام t اُم، c_1 (شتاب محلی) و c_2 (شتاب سراسری)، مقادیر ثابت مثبت که به‌عنوان ضرایب‌یادگیری نامبرده می‌شوند. r_1 و r_2 ، اعداد تصادفی که به‌صورت معمول در بازه‌ی [0 1] با توزیع یکنواخت تولید می‌شوند. پارامترهای $\vec{p}_{bi}$ و $\vec{p}_g$ به‌ترتیب نشان‌دهنده‌ی موقعیت بهترین تجربه شخصی و جمعی می‌باشند. ω ضریب اینرسی[1]، که برای ایجاد تعادل در روند جستجو عمومی و سراسری الگوریتم بکار می‌رود [۲][۲۶][۲۷].

جدول ۱: مقادیر پارامترهای کنترلی الگوریتم IPO.

IPO	پارامترها					
	c_1	c_2	$scale_1$	$scale_2$	$shift_1$	$shift_2$
مقادیر	۴	۴	۰/۰۴	۰/۰۹	۶۰	۶۰

جدول ۲: مقادیر پارامترهای کنترلی الگوریتم PSO.

PSO	پارامترها		
	w	c_1	c_2
مقادیر	۰/۹	۲/۰۱	۲/۰۱

جدول ۳: مقادیر پارامترهای کنترلی الگوریتم GA.

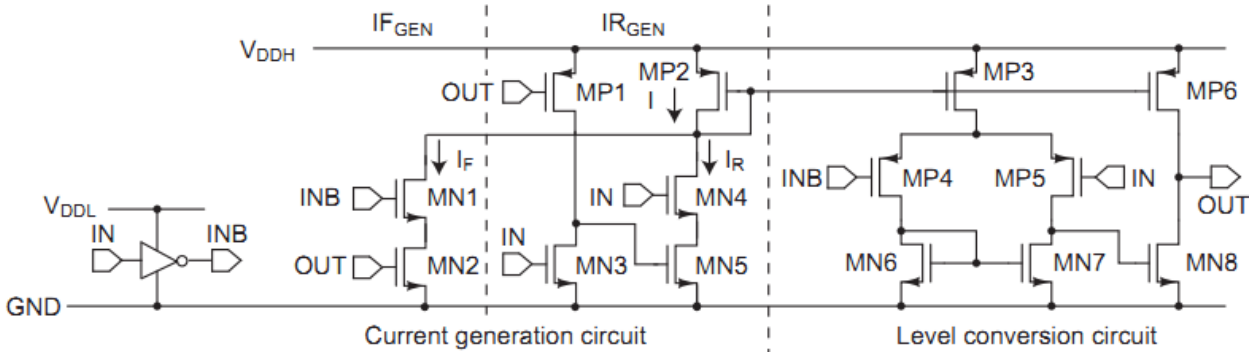
GA	پارامترها		
	crossover(Pc)	*migration*	*mutation(Pm)*
مقادیر	۰/۸	۰/۲	۰/۲
GA	**پارامترها**		
	Pc func.	*selec func.*	*Pm fumc.*
نوع تابع	scattered	stoch. unif	gaussian

مقادیر محاسبه شده به‌واسطه پیاده‌سازی الگوریتم‌ها در نرم‌افزار متلب، w هر یک از ۱۴ ترانزیستور (تعداد ابعاد فضای جستجو هر الگوریتم) بکار گرفته‌شده در مدار مفروض شکل ۴ می‌باشد که نتایج حاصل از هر الگوریتم در جدول ۴ نمایش داده شده است. با

[1] Inertia coefficient

www.SID.ir

توجه به تئوری حاکم در طراحی‌های VLSI، مقدار w ترانزیستورهای گیت وارون‌گر ورودی نوع NMOS برابر با ۰/۴ میکرومتر و برای مدل PMOS دو برابر نوع N (۰/۸ میکرومتر) در نظر گرفته شده است. مقادیر توان و تأخیر حاصل از به‌کارگیری هر یک از الگوریتم‌ها (بر اساس مقادیر جدول ۴) برای یک دوره تناوب به ازای V_{DDH}=۳ ولت، V_{DDL}=۰/۴ ولت و سیگنال ورودی با فرکانس ورودی یک کیلو هرتز و دامنه ۰/۴ ولت در جدول ۵ آورده شده است.



شکل ۴: مدار نمونه تغییر دهنده سطح ولتاژ [۱۵].

جدول ۴: مقادیر پهنای کانال (w) ترانزیستورها به ازای اجرای هر یک از الگوریتم‌های ابتکاری GA، PSO و IPO.

پهنای کانال (µm) / الگوریتم↓	w_1 (MN1)	w_2 (MN2)	w_3 (MN3)	w_4 (MN4)	w_5 (MN5)	w_6 (MN6)	w_7 (MN7)	w_8 (MN8)	w_9 (MP1)	w_{10} (MP2)	w_{11} (MP3)	w_{12} (MP4)	w_{13} (MP5)	w_{14} (MP6)
IPO	۱	۰/۹	۱/۳	۱/۲	۱/۲	۰/۹	۰/۸	۱	۱/۳	۰/۶	۰/۵	۱/۲	۱/۱	۰/۷
GA	۰/۶	۰/۴	۰/۵	۰/۸	۰/۸	۰/۷	۰/۹	۰/۵	۱	۰/۹	۰/۵	۰/۷	۰/۵	۰/۶
PSO	۱	۰/۴	۰/۴	۰/۴	۱/۶	۱/۱	۰/۴	۰/۵	۱/۳	۰/۹	۰/۴	۱/۱	۱/۴	۰/۶

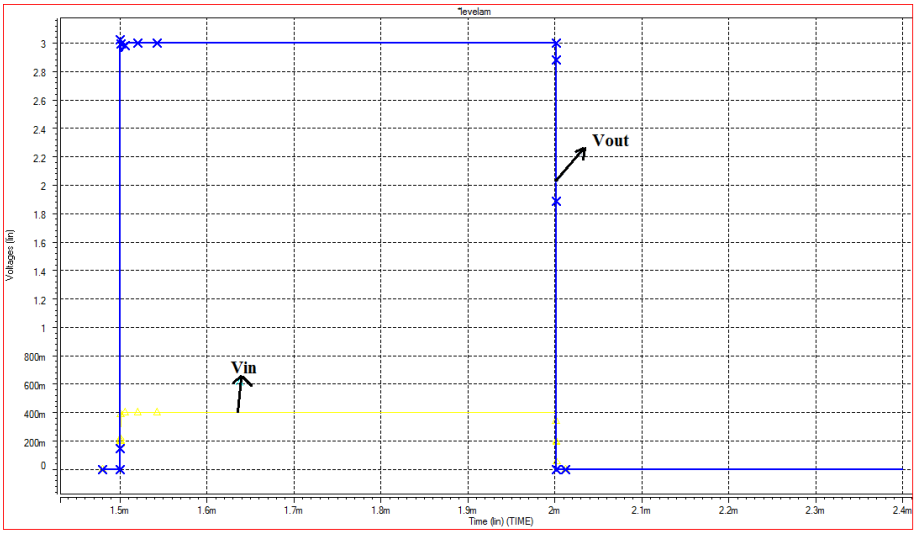
جدول ۵: مقایسه توان مصرفی و تأخیر مدار به ازای بکارگیری هر یک از الگوریتم‌ها.

پارامتر / الگوریتم↓	فرکانس (Hz)	تکنولوژی CMOS (m)	دما (C°)	ولتاژ ورودی (v)	ولتاژ خروجی (v)	توان مصرفی (W)	تأخیر (s)
IPO	۱K	۰/۳۵u	۲۵	۰/۴	۳	۰/۳۹e-۰۹	۳/۷۴۱e-۰۹
GA	۱K	۰/۳۵u	۲۵	۰/۴	۳	۰/۲۳۵e-۰۹	۳/۷۱۱e-۰۹
PSO	۱K	۰/۳۵u	۲۵	۰/۴	۳	۰/۲۲۲e-۰۹	۹/۱۱۳e-۰۹

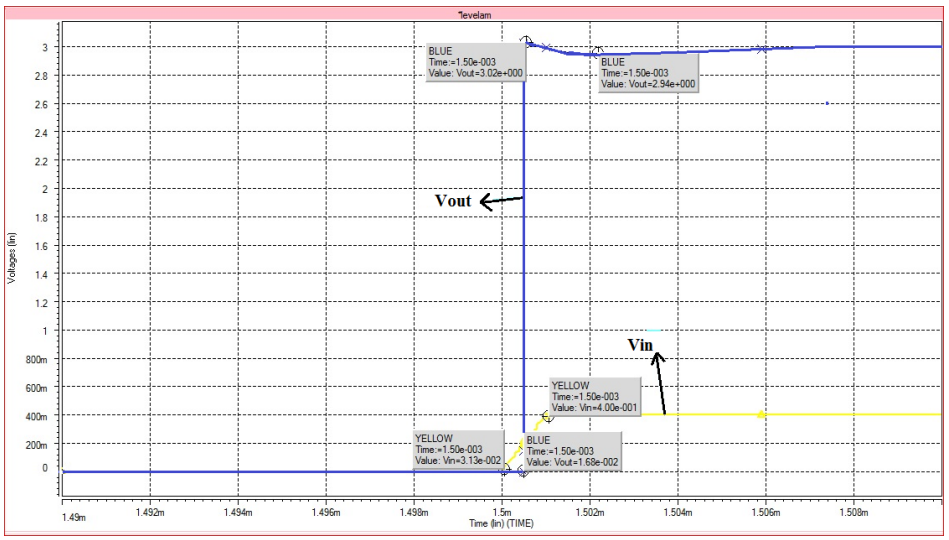
مطابق جدول ۵، بهینه‌سازی انجام‌شده با به‌کارگیری الگوریتم‌های هوشمند در مقایسه با پژوهش‌های مشابه اخیر نیز، مقادیر مطلوبی را از توان همراه با مقادیر مطلوب تأخیر مدار به‌دست می‌دهد. به‌طوری‌که می‌توان بیان کرد که مصالحه بین مقادیر بهینه شده توان و تأخیر مدار در نتایج حاصل از الگوریتم GA از مطلوبیت بیشتری برخوردار است. همچنین این مصالحه در نتایج حاصل از الگوریتم‌های مبتنی بر هوش جمعی در IPO به‌نسبت PSO محسوس‌تر می‌باشد.

شکل موج‌های ورودی و خروجی مدار، در ازای شبیه‌سازی پهنای کانال به‌دست آمده از GA، در شکل ۵ (الف، ب، ج) نشان داده شده است. پاسخ شکل ۵ برای ۱ دوره تناوب به‌دست آمده است. مطابق با شکل ۵، مدار با دریافت سطح ولتاژ ورودی، با تأخیر به‌نسبت ناچیز، سطح ولتاژ ۳ ولت را در خروجی ثابت می‌کند. به‌گونه‌ای که تأخیر چند دهم نانو ثانیه‌ای، با وجود نمایش شکل موج‌ها در مقایس خیلی بزرگ (قسمت ب و ج شکل ۵)، به‌سادگی قابل روئیت نمی‌باشد.

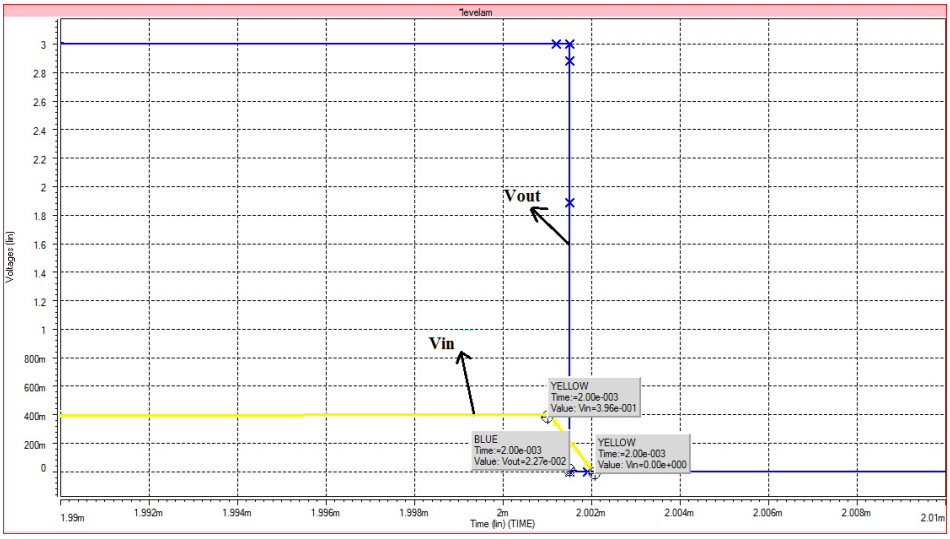
www.SID.ir



(الف)



(ب)

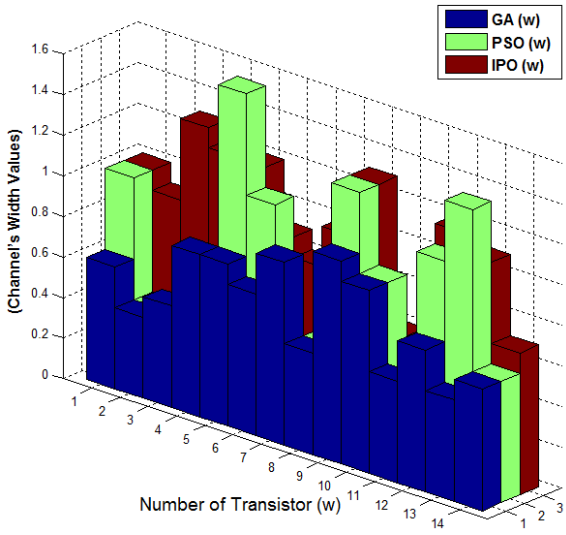


(ج)

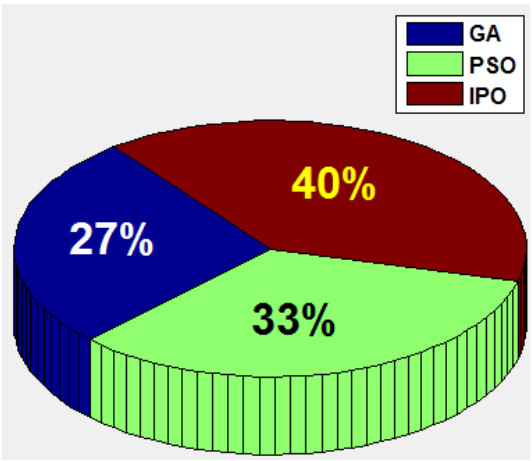
شکل ۵: الف) شکل موج سیگنال ورودی و خروجی (به ازای الگوریتم GA) ب) تغییرات سیگنال‌های ورودی و خروجی در لبه‌ی بالارونده ج) تغییرات سیگنال‌های ورودی و خروجی در لبه‌ی پایین‌رونده.

www.SID.ir

ارزیابی راهکار پیشنهادی در بهبود شاخص مجتمع‌سازی مدار مورد طراحی، در شکل‌های ۶ و ۷ نشان داده شده است. شکل ۶ بیان‌گر مقایسه بین مقادیر پهنای کانال به ازای هر الگوریتم و دامنه‌ی تغییرات w آن‌ها می‌باشد. همچنین جهت تشخیص شاخص مجتمع‌سازی کل هر یک از الگوریتم‌ها، میانگین پهنای کانال به‌دست آمده برای کلیه ترانزیستورهای مدار طراحی‌شده به ازای بکارگیری هر الگوریتم در شکل ۷ ترسیم شده است.



شکل ۶: مقایسه بین مقادیر w ترانزیستورها برای هر الگوریتم.

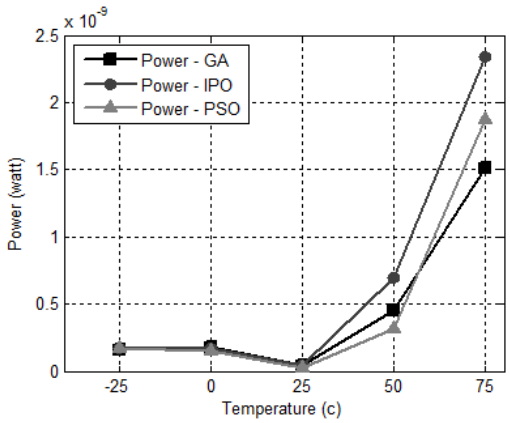


شکل ۷: شاخص مجتمع‌سازی کل هر یک از الگوریتم‌ها.

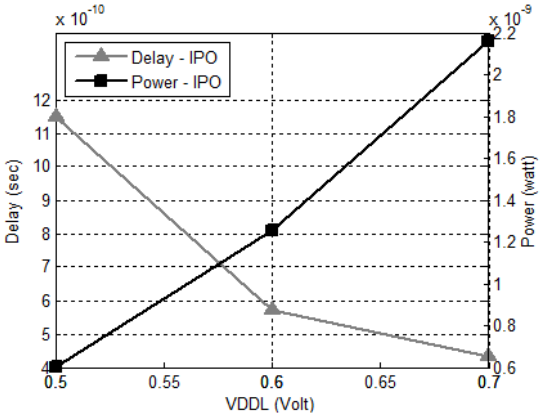
با مشاهده نمودارهای حاصل می‌توان به‌صراحت بیان کرد که شاخص مجتمع‌سازی کلیه الگوریتم‌های پیشنهادی قابل‌توجه و این شاخص به ازای بکارگیری الگوریتم تکاملی GA چشمگیرتر است.

علاوه بر ملاحظات ذکر شده در روال طراحی مدار مورد نظر، در جهت بسط طراحی به کارآیی و پایداری عملکرد در شرایط محیطی و تغذیه‌ای متفاوت، شبیه‌سازی در یک محدوده‌ی دمایی متفاوت نیز انجام و نتایج در شکل ۸ نشان داده شده است. مطابق شکل ۸، توان‌مصرفی در دماهای پایین تا ۲۵ درجه زیر صفر و دماهای بالا تا حدود ۵۰ درجه بالای صفر تغییرات ناچیزی دارد. به‌گونه‌ای که با بالا رفتن دما، تغییرات افزایشی برای هر سه الگوریتم محسوس‌تر است. به‌طوری‌که روند صعودی IPO با شیب بیشتری رخ داده و در مقابل پایداری نسبی GA نمایان می‌شود.

در شکل‌های ۹ تا ۱۴ نیز کارآیی مدار نسبت به تغییرات ولتاژهای تغذیه V_{DDH}(سطح خروجی) و ولتاژ تغذیه گیت وارون‌گر در یک محدوده مجاز برای پاسخ قابل‌قبول مدار برای هر یک از الگوریتم‌های IPO، GA و PSO بررسی می‌شود. با توجه به تشابه نسبی سطح ولتاژ ورودی و ولتاژ تغذیه گیت وارون‌گر، تغییرات نمودارهای V_{DDL} به موازات محدوده قابل‌قبول برای تغییر سطح ولتاژ ورودی می‌باشد.

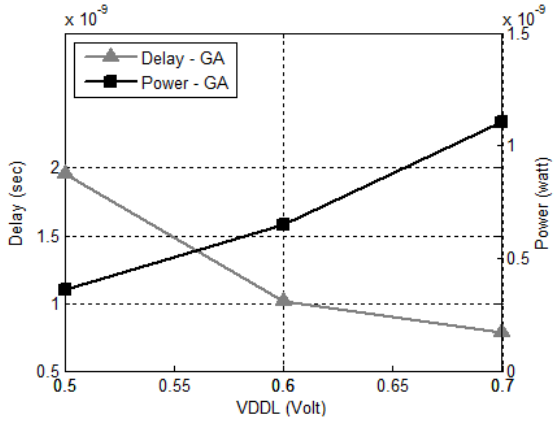


شکل ۸: منحنی‌های تغییرات مقادیر توان در دماهای مختلف.

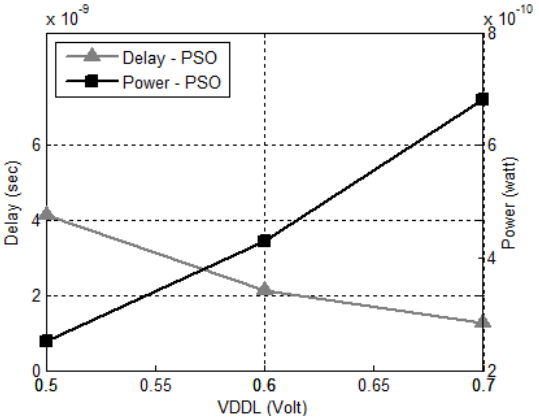


شکل ۹: تغییرات توان و تأخیر مدار نسبت به افزایش ولتاژ V_{DDL} به ازای مقادیر IPO.

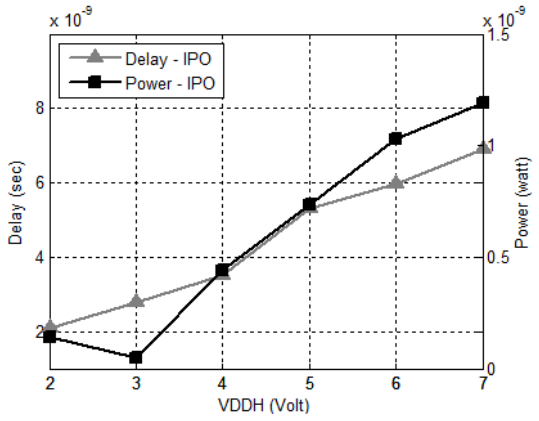
www.SID.ir



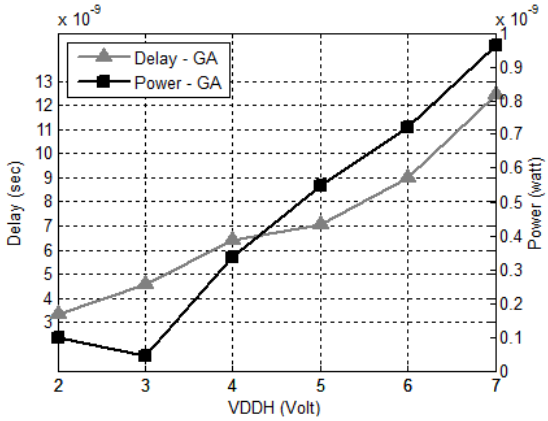
شکل ۱۰: تغییرات توان و تأخیر مدار نسبت به افزایش ولتاژ V_{DDL} به ازای مقادیر GA.



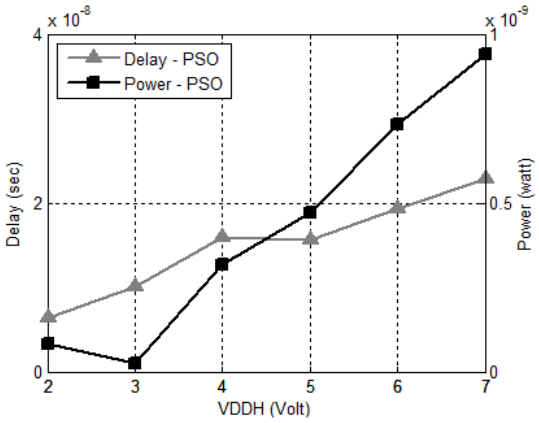
شکل ۱۱: تغییرات توان و تأخیر مدار نسبت به افزایش ولتاژ V_{DDL} به ازای مقادیر PSO.



شکل ۱۲: تغییرات توان و تأخیر مدار نسبت به افزایش ولتاژ V_{DDH} به ازای مقادیر IPO.



شکل ۱۳: تغییرات توان و تأخیر مدار نسبت به افزایش ولتاژ V_{DDH} به ازای مقادیر GA.



شکل ۱۴: تغییرات توان و تأخیر مدار نسبت به افزایش ولتاژ V_{DDH} به ازای مقادیر PSO.

همان‌گونه که از شکل ۹ استنباط می‌شود؛ با افزایش تدریجی مقدار ولتاژ تغذیه، اتلاف توان (محور راست) در مدار بالا رفته و به‌صورت عکس بهبود تدریجی را در مقدار تأخیر (محور چپ) داریم. با مقایسه تغییرات توان (محور راست) و تأخیر (محور چپ) برای الگوریتم IPO در شکل ۹، نتیجه می‌شود که پایداری مناسبی نسبت به افزایش سطح ولتاژ V_{DDL} دارد. به‌طوری‌که این پایداری برای سطح ۳ ولت خروجی دارای حداکثر مقدار و با افزایش آن به‌نسبت کمتر می‌شود. البته تغییرات توان در سطوح ولتاژ بالا V_{DDL} نیز یکنواختی دارد.

نمودار تغییرات توان و تأخیر GA در راستای افزایش V_{DDL} در شکل ۱۰ نمایش داده شده است. مطابق شکل؛ با افزایش تدریجی مقدار $V_{DD}L$، توان مصرفی مدار بالا رفته و به‌صورت عکس بهبود تدریجی را در مقدار تأخیر داریم. روند مشابه تغییرات نسبت به افزایش ولتاژ V_{DDL} در شکل ۱۱ برای الگوریتم PSO نیز آورده شده است. همان‌گونه که از شکل مشخص است، تغییرات توان و

www.SID.ir

تأخیر دارای شیب یکنواخت‌تری نسبت به GA می‌باشد. با این وجود مقادیر w این الگوریتم اثربخشی بهتری در قبال افزایش سطح ولتاژ ورودی مدار LS خواهد داشت.

شکل‌های ۹ تا ۱۴، کارآیی و پایداری مدار را در قبال افزایش ولتاژ تغذیه مدار (V_{DDH}) نشان می‌دهند. با مقایسه تغییرات توان و تأخیر برای IPO، GA و PSO، نتیجه می‌شود که به‌طور عکس، پایداری مناسبی نسبت به افزایش سطح ولتاژ V_{DDL} در مقادیر GA نسبت به PSO مشاهده می‌شود. به‌طورکلی مقادیر wهای به‌دست آمده به ازای هر یک از سه الگوریتم، برازندگی مطلوبی را در شبیه‌سازی‌ها برای دماها و تغییرات سطوح ورودی و خروجی مختلف نشان می‌دهد.

۷- نتیجه‌گیری

در این مقاله، مقایسه‌ای از عملکرد الگوریتم‌های هوشمند بهینه‌سازی سیستم صفحات شیبدار IPO، الگوریتم وراثتی GA و بهینه‌سازی جمعیت ذرات PSO در طراحی بهینه مدار تغییر دهنده سطح ولتاژ LS در تغییر سطح ولتاژ از ۰/۴ به ۳ ولت در تکنولوژی CMOS ۰/۳۵ میکرومتر مورد بررسی قرار گرفت. روند کار با اعمال مقادیر پهنای کانال w ترانزیستورها، حاصل از میانگین ۲۰ بار تکرار اجرای هر یک از الگوریتم‌های مذکور، به مدار صورت گرفت که نتایج حاصل از شبیه‌سازی به‌واسطه برقراری لینک بین نرم‌افزار متلب و اچ‌اسپایس، مقادیری برابر با ۰/۳۹ نانو وات توان‌مصرفی و تأخیر ۳/۷۴۱ نانو ثانیه به ازای الگوریتم IPO و ۰/۲۳۵ نانو وات توان‌مصرفی و تأخیر ۳/۷۱۱ نانو ثانیه به ازای الگوریتم GA و ۰/۲۲۲ نانو وات توان‌مصرفی و تأخیر معادل با ۹/۱۱۳ نانو ثانیه به ازای الگوریتم PSO حاصل‌شده که بهبود چشمگیری را نشان می‌دهد. همچنین مقادیر w کمینه و نتایج، میانگین شاخص مجتمع‌سازی مطلوبی را برای کلیه الگوریتم‌ها نشان می‌دهد. از این‌رو می‌توان گفت که بکارگیری راهکارهای مبتنی بر هوش مصنوعی، بهبود کیفی و کمی را در طراحی‌های الکترونیکی به‌ویژه در طراحی‌ها در مقیاس بسیار کم و مجتمع‌سازی مطلوب‌تر را به‌همراه دارد.

مراجع

[1] D. E. Goldberg, “Genetic Algorithms,” Addison Wesley, 1989.

[2] J. Kennedy and R. Eberhart, “Particle swarm optimization,” Neural Networks, 1995. Proceedings., IEEE International Conference on, vol. 4, pp. 1942–1948 vol.4, 1995.

[3] E. Rashedi, H. Nezamabadi-Pour, and S. Saryazdi, “GSA: a gravitational search algorithm,” Information sciences, vol. 179, no. 13, pp. 2232–2248, Jun. 2009.

[4] M. H. Mozaffari, H. Abdy, and S.-H. ZAHIRI, “IPO: An Inclined Planes System Optimization Algorithm,” *Computing & Informatics*, vol. 35, no. 1, pp. 222–240, 2016.

[۵] امیر حسین فرامرزیان, محسن صانعی, هاجر باغچه بند، “بررسی و طراحی مدار تغییر سطح ولتاژ کم توان و سرعت بالا با تکنیک چند ولتاژ آستانه ”,سومین کنفرانس مهندسی برق و الکترونیک ایران، صص ۶-۱، تیرماه ۱۳۹۰.

[6] T. Arthi, “Design of a Low Power Level-up Shifter in Multi Supply Voltage Design using MTCMOS Technique,” vol. 12, no. 12, pp. 31–35, 2013.

[7] P. Zhao and M. Bayoumi, “Low power and high speed explicit-pulsed flip-flops,” in 2nd International Conference on Devices, Circuits and Systems (ICDCS), pp. 7–11, 2014.

[8] W. Zhao, A. Alvarez, and Y. Ha, “A 65-nm 25.1-ns 30.7-fJ Robust Subthreshold Level Shifter with Wide Conversion Range,” IEEE Transactions on Circuits and Systems II: Express Briefs, vol. X, no. X, pp. 1–1, 2015.

[9] R. Sharma and S. Akashe, “Analysis of low power reduction in voltage level shifter,” in Computational Intelligence on Power, Energy and Controls with their impact on Humanity (CIPECH), 2014 Innovative Applications of, pp. 355–359, 2014.

[10] J. Zhou, S. Member, C. Wang, and X. Liu, “An Ultra-Low Voltage Level Shifter Using Revised Wilson Current Mirror for Fast and Energy-Efficient Wide-Range Voltage Conversion from Sub-Threshold to I / O Voltage,” vol. 62, no. 3, pp. 697–706, 2015.

[11] Z. Liu, L. Cong, and H. Lee, “Design of On-Chip Gate Drivers With Power-Efficient High-Speed Level Shifting and Dynamic Timing Control for High-Voltage Synchronous Switching Power Converters,” 2015.

[12] J. Zhou, C. Wang, X. Liu, and M. Je, “Fast and energy-efficient low-voltage level shifters,” Microelectronics Journal, vol. 46, no. 1, pp. 75–80, 2015.

[13] D. O. Larsen, P. L. Muntal, I. H. H. Jorgensen, and E. Bruun, “High-voltage pulse-triggered SR latch level-shifter design considerations,” in NORCHIP, pp. 1–6, 2014.

[14] B. Mohammadi and J. N. Rodrigues, “A 65 nm single stage 28 fJ/cycle 0.12 to 1.2 V level-shifter,” in Circuits and Systems (ISCAS), 2014 IEEE International Symposium on, pp. 990–993, 2014.

[15] Y. Osaki, T. Hirose, N. Kuroki, and M. Numa, “A level shifter circuit design by using input/output voltage monitoring technique for ultra-low voltage digital CMOS LSIs,” in New Circuits and Systems Conference (NEWCAS), 2011 IEEE 9th International, pp. 201–204, 2011.

[16] M. Kumar, S. K. Arya, and S. Pandey, “Level shifter design for low power applications.,” International Journal of Computer Science & Information Technology, vol. 2, no. 5, 2010.

[17] J. Yaoyao, Z. Leiming, C. Yiwen, F. Jian, and Z. Bo, “A low power and high speed level shifter with delay circuits,” in Communications, Circuits and Systems (ICCCAS), 2013 International Conference on, pp. 378–381, 2013, vol. 2.

[18] M. Kumar, S. K. Arya, and S. Pandey, “Level shifter design for low power applications,” arXiv preprint arXiv:1011.0507, 2010.

[19] D. Dwivedi, S. Dwivedi, and E. Potladhurthi, “Voltage up level shifter with improved performance and reduced power,” in Electrical & Computer Engineering (CCECE), 2012 25th IEEE Canadian Conference on, pp. 1–4, 2012.

[20] W. N. HE, CMOS VLSI Design: A Circuits And Systems Perspective, 3/E. Pearson Education India, 2006.

[21] J. E. Ayers, Digital integrated circuits: analysis and design, vol. 2. CRC Press, Inc., 2009.

[22] Y. Osaki, T. Hirose, N. Kuroki, and M. Numa, “A low-power level shifter with logic error correction for extremely low-voltage digital

Archive of SID

www.SID.ir

CMOS LSIs," Solid-State Circuits, IEEE Journal of, vol. 47, no. 7, pp. 1776–1783, 2012.

[23] D. Wolpert and P. Ampadu, "Level shifter speed, power, and reliability trade-offs across normal and reverse temperature dependences," Midwest Symposium on Circuits and Systems, no. 4, pp. 1254–1257, 2010.

[24] T. W. Manikas and J. T. Cain, "Genetic algorithms vs. simulated annealing: a comparison of approaches for solving the circuit partitioning problem," 1996.

[25] R. L. Haupt and S. E. Haupt, Practical genetic algorithms. John Wiley & Sons, 2004

[26] R. C. Eberhart and J. Kennedy, "A new optimizer using particle swarm theory," in Proceedings of the sixth international symposium on micro machine and human science, vol. 1, pp. 39–43, 1995.

[27] S. Das, A. Abraham, and A. Konar, "Particle swarm optimization and differential evolution algorithms: technical analysis, applications and hybridization perspectives," in Advances of Computational Intelligence in Industrial Systems, Springer, pp. 1–38, 2008.

Archive of SID

www.SID.ir

Compare the Performance of Heuristic Algorithms GA, IPO and PSO for Optimal Design of the LEVEL SHIFTER Circuit

Ali Mohammadi[1*], Seyed-Hamid Zahiri[2]
1*- Corresponding Author: Department of Electrical and Computer Engineering, University of Birjand, Avini Blvd., Shaukat-Abad, Birjand, Iran.
2- Department of Electrical and Computer Engineering, University of Birjand, Avini Blvd., Shaukat-Abad, Birjand, Iran.

[1*] a.mohammadi@birjand.ac.ir, [2] hzahiri@birjand.ac.ir

Abstract- The powerfulness and effectiveness of the optimization methods are motivations of the researchers to use them in complex engineering problems. In this paper, the performance of the three optimization algorithms based on swarm intelligence (IPO, PSO) and evolutionary technique (GA) for calculation the channel's widths of the transistors were evaluated compared with each others. The fitness functions are defined in order to the better integration and to improve the power consumption and delay of Level Shifter circuit (LS) with changing the voltage level of 0.4 to 3 volts using 0.35-um CMOS technology .Simulation results for the sample circuit show that it reach a power consumption of 0.222pW and a delay value of 9.113ns with PSO algorithm, a power consumption of 0.39 nW and delay value of 3.741 ns with IPO algorithm, and values of 0.235 nW and 3.711 ns whit GA algorithm. In addition to a dramatic improvement in power and delay, minimum of channel's widths also were obtained. All implementations of paper were performed in MATLAB and HSPICE.

Keywords- Heuristic algorithms, Level shifter, Optimization of power and delay, Inclined planes system optimization, Particle swarm optimization, Genetic algorithm.

Archive of SID

www.SID.ir