مجله علمی-پژوهشی رایانش نرم و فن‌آوری اطلاعات

جلد ۶، شماره ۱، بهار سال ۱۳۹۶ شاپا: ۱۰۰۶-۲۳۸۳

معماری تحمل‌پذیر اشکال برای مسیریاب‌های شبکه روی تراشه سه‌بعدی

سید حسین سید آقایی رضایی، مهدی مدرسی*

گروه معماری کامپیوتر، دانشکده مهندسی برق و کامپیوتر، پردیس دانشکده‌های فنی، دانشگاه تهران، تهران

{s.hseyyedaghaei,modarressi}@ut.ac.ir

تاریخ دریافت: ۲۲ شهریور ۱۳۹۴ تاریخ بازنگری: ۲۸ شهریور ۱۳۹۴ تاریخ پذیرش: ۳ دی ۱۳۹۵

* نشانی نویسنده مسئول: مهدی مدرسی، تهران، امیرآباد، پردیس دانشکده‌های فنی دانشگاه تهران، دانشکده مهندسی برق و کامپیوتر، شماره ۵۱۰.

چکیده- اگرچه تراشه‌های سه‌بعدی یک راه‌حل امید بخش برای مقابله با مشکلات ناشی از مقایس‌پذیری در سطح مدارات مجتمع محسوب می‌گردند اما دمای بالای این تراشه‌ها به دلیل افزایش چگالی توان، آسیب‌پذیری تراشه‌های سه‌بعدی در مقابل خطاهای دائمی و یا متناوب را بیشتر کرده است. از طرف دیگر استفاده از اتصال‌های سریع عمودی (**TSV**) در مدارات مجتمع سه‌بعدی افق جدیدی را برای طراحی شبکه‌های روی تراشه باز کرده است. در این مقاله با به کارگیری اتصال‌های سریع عمودی یک معماری با قابلیت تحمل‌پذیر اشکال برای شبکه‌های روی تراشه سه‌بعدی معرفی خواهیم کرد. در این معماری، خرابی‌های دائمی و متناوب اتصال (یا کراس‌بار)، با استفاده از اتصال (یا کراس‌بار) بیکار مسیریاب‌های بالا و پایین دور زده می‌شوند. نتایج نشان می‌دهد که معماری پیشنهادی نسبت به دیگر معماری‌های ارائه شده کارآیی بیشتری داشته و قابلیت اطمینان شبکه را به طور متوسط تا ۳۵ درصد افزایش می‌دهد.

واژه‌های کلیدی: شبکه روی تراشه سه‌بعدی، تحمل‌پذیر خرابی، به اشتراک گذاری منابع.

Fault-Tolerant 3-D Network-on-Chip Design using Dynamic Link Sharing

Seyyed Hossein Seyyedaghaei Rezaei*, Mehdi Modarressi

Department of Electrical and Computer Engineering, College of Engineering, University of Tehran, Tehran, Iran.

{s.hseyyedaghaei,modarressi}@ut.ac.ir

Abstract- Emerging 3D technology partitions a larger die into smaller parts and then stacks them in a 3D fashion. This technology can lead to a paradigm shift in on-chip communication design providing higher orders of bandwidth and lower latency. However, due to the aggressively scaled transistors in modern technology nodes, the reliability issue has become into a major concern. In this paper,we leverage these ultra-low-latency vertical links to design a fault-tolerant 3D NoC architecture. In this architecture, permanent and intermittent defects on links and crossbars are bypassed by borrowing the idle bandwidth from vertically adjacent links and crossbars. Evaluation results under synthetic and realistic workloads show that the proposed fault-tolerance mechanism offers higher reliability and lower performance loss, when compared with state-of-the-art fault-tolerant 3D NoC designs.

Keywords- Fault-Tolerant, Resource Sharing, 3-D NoCs.

Arhive of SID

www.SID.ir

۱- مقدمه

با پیشرفت فناوری ساخت مدارهای مجتمع سیستم‌های روی تراشه (SoCs) و در نتیجه کوچک شدن ابعاد ترانزیستور، یک تراشه قابلیت دربرگرفتن تعداد بسیار زیادی از هسته‌های محاسباتی را دارد [۱]. این قابلیت از یک سو به طراح سخت‌افزار قدرت بیشتری می‌دهد و می‌تواند سیستمی با قابلیت بیشتری عرضه کند و از سوی دیگر احتمال رخداد خطا در سیستم را به دلیل افزایش تراکم منابع و نیز آسیب‌پذیری ترانزیستور، افزایش می‌دهد. از این رو یک سیستم روی تراشه علاوه بر کارآیی بالا و مساحت و توان بهینه باید بتواند در برابر انواع خطاهایی که ممکن است در هر قسمتی از تراشه رخ دهد مقاوم باشد. از طرف دیگر با افزایش تعداد هسته‌های هر تراشه، شبکه‌های میان‌ارتباطی از جایگاه ویژه‌ای در این سیستم‌ها برخوردار می‌شوند، به طوری که سعی بر این است تا این شبکه کارآ و مقیاس پذیر طراحی شود [۲]. از بین شبکه‌های میان ارتباطی موجود، شبکه‌های روی تراشه از کارآیی و مقیاس‌پذیری بالاتری به واسطه‌ی استفاده از مسیریاب‌های توزیع شده برخوردار هستند [۳]. در هر سیستمی مجرای ارتباطی یکی از مهمترین قسمت‌های آن محسوب می‌شود به طوری که اگر خطایی در آن رخ دهد ارتباط اعضای آن سیستم مختل شده و نمی‌توانند با هم تبادل اطلاعات داشته باشند و ممکن است کل سیستم از کار بیافتد. شبکه روی تراشه نیز یکی از حساس‌ترین قسمتهای تراشه است به‌طوری که اگر حتی یک ترانزیستور در ساختار آن خراب شود ممکن است کل سیستم خراب شود [۴]. از این رو توانایی تحمل اشکال در شبکه‌های روی تراشه از اهمیت و جذابیت خاصی برخوردار است.

۲- معماری پیشنهادی

در این بخش معماری پیشنهادی جهت افزودن قابلیت تحمل‌پذیر اشکال به شبکه‌ی روی تراشه سه‌بعدی را مورد بررسی قرار خواهیم داد.

۲-۱- معماری مسیریاب پایه با راه‌گزینی خزشی

در یک مسیریاب بر پایه راه‌گزینی خزشی، بسته برای عبور از یک مسیریاب باید از چند مرحله خط لوله مسیریاب عبور کند. فلیت سرآیند وقتی به یک درگاه ورودی از یک مسیریاب وارد می‌شود، ابتدا در میانگیر درگاه ورودی نوشته می‌شود (BW). در مرحله بعد برای مشخص شدن درگاه خروجی مناسب، بر روی فلیت سرآیند مسیریابی صورت می‌گیرد (RC). در گام بعد فلیت برای تخصیص کانال مجازی یک درخواست به داور کانال مجازی درگاه خروجی – درگاه خروجی انتخاب شده در مرحله RC – ارسال می‌کند (VA). در صورتی که فلیت بتواند کانال مجازی را به دست آورد در گام بعدی باید برای عبور از روی کراسبار درخواست دهد (SA). در گام آخر بعد از اینکه تمام مراحل گفته شده با موفقیت پشت سر گذاشته شود، برای رسیدن به مسیریاب بعدی باید مرحله عبور از کراسبار (ST) و عبور از اتصال را نیز پشت سر بگذارد (LT). فلیت‌های بدنه مانند فلیت سرآیند باید از خط‌لوله مسیریاب عبور کنند با این تفاوت که فلیت‌های بدنه از مراحل RC و VA عبور نمی‌کنند. در نهایت با عبور آخرین فلیت دُم تمام منابعی که برای عبور بسته رزرو شده‌اند آزاد می‌گردد.

۲-۲- معماری مسیریاب تحمل‌پذیر خرابی

بسیاری از تحقیقات گذشته [۱۹-۱۷] به ارائه یک روش مسیریابی با قابلیت تحمل‌پذیر اشکال پرداخته‌اند. این روش‌ها برای جلوگیری از بن‌بست و سرگردانی پیچیدگی زیادی را به روش مسیریابی تحمیل می‌کنند. در این بخش نشان خواهیم داد چگونه معماری ارائه شده از این پیچیدگی‌ها جلوگیری می‌کند.

در شکل۱ ایده اصلی به اشتراک گذاری اتصالات نشان داده شده است. در این سناریو، اتصال خراب بین گره‌های ۱ و ۲ به کمک اتصال لایه بالایی (اتصال بین گره‌های ۱۷ و ۱۸) به صورت پویا و در زمان کار شبکه جایگزین می‌گردد. به‌عنوان نمونه، در صورتی که یک فلیت بخواهد از گره ۱ به گره ۲ برود ابتدا از TSV بین گره ۱ و ۱۷، در گام بعدی از اتصال بین گره ۱۷ و ۱۸ و در آخر از TSV ۱۸ به ۲ استفاده می‌کند و در نهایت به کانال مجازی که در مرحله VA در گره ۲ برای آن در نظر گرفته شده، وارد می‌شود (در شکل۱ این سناریو با رنگ آبی نشان داده شده است).

در معماری پیشنهادی تنها واحدی که از اتصال دارای خطا آگاه است داور کراس‌بار است. در واقع به این ترتیب از پیچیدگی مرحله مسیریابی کاسته شده است؛ بنابراین در روش پیشنهادی تمام مراحل خط لوله به ترتیب و پشت سرهم اجرا می‌شوند و تنها داور کراس‌بار از خرابی اتصالات آگاه است. شکل۲ معماری مسیریاب پیشنهادی را نشان می‌دهد. در شکل۲ واحدهای که تغییر یافته‌اند و یا اینکه اضافه شده‌اند به رنگ خاکستری مشخص شده‌اند. این

Arhive of SID

www.SID.ir

شکل یک مسیریاب با دو دسته TSV اضافه که برای اتصال بین مسیریاب‌های بالا و پایین این مسیریاب (مسیریاب‌هایی که در یک ستون قرار دارند) به‌کار گرفته شده است را نشان می‌دهد. مشخصا مسیریاب‌های لایه اول (برای اتصال به مسیریاب‌های پایین) و مسیریاب‌های لایه آخر (برای اتصال به مسیریاب‌های بالا) فقط به یک دسته TSV نیاز دارند. اتصال‌های TSV ۶۴ بیتی می‌باشند. بقیه واحدهای اضافه شده به مسیریاب نیز برای حرکت بین لایه‌ایی یک فلیت استفاده می‌شوند. همان‌طور که در شکل ۱ هم نشان داده است برای اینکه خرابی اتصال بین گره ۱ و ۲ رفع گردد باید از مسیریاب ۱۷ و ۱۸ استفاده شود. روند کار در ادامه توضیح داده شده است.

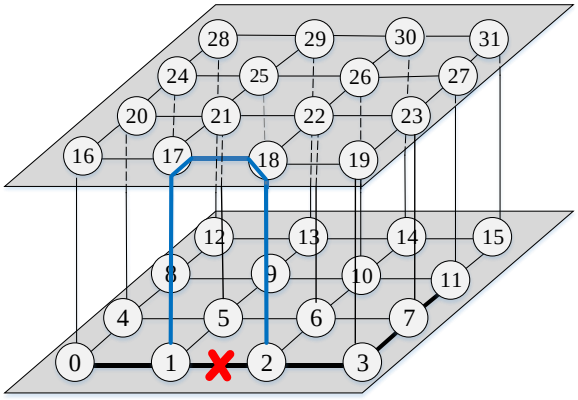
مسیریاب ۱: وقتی داور اتصال خراب یک درخواست دریافت کند، درخواست را برای داور اتصال مسیریاب‌های بالا و پایین خود ارسال می‌کند. در صورتی که یکی از این داورها به این درخواست پاسخ دهد فلیت به کمک تسهیم کننده‌های M2 یا M3 (با توجه به اینکه کدام داور پاسخ این درخواست را داده – داور مسیریاب بالا یا پایین-) به TSV اضافه شده ارسال می‌گردد. سیگنال‌های کنترلی مربوط به تسهیم کننده‌ها توسط داور اتصال تنظیم می‌گردد.

مسیریاب ۱۷: وقتی فلیت به مسیریاب ۱۷ برسد مستقیما به اتصال بین گره‌های ۱۷ و ۱۸ ارسال می‌گردد. این مسیر به کمک تسهیم کننده‌های M4 و M5 فراهم می‌گردد.

مسیریاب ۱۸: وقتی فلیت به این مسیریاب برسد مستقیما به TSV بین گره‌های ۱۸ و ۱ ارسال می‌گردد تا به لایه اصلیش بازگردد. این مسیر نیز به کمک تسهیم کننده‌های M2 و M3 مربوط به مسیریاب ۱۸ فراهم می‌گردد.

مسیریاب ۲: در مسیریاب ۲، فلیت به کمک تسهیم کننده M1 بدون اینکه در میانگیر درگاه ورودی ذخیره گردد به کانال مجازی اختصاص داده شده در مرحله VA ارسال می‌گردد.

یکی از بزرگترین مزیت‌های این روش در کنار عدم پیچیدگی الگوریتم مسیریابی این است که این روش زمانی که کراس‌بار نیز خراب شده باشد به درستی کار خواهد کرد.



شکل ۱ - رفع مشکل اتصال خراب در لایه پایین به کمک اتصال سالم لایه بالا

۲-۳- مکانیزم به اشتراک گذاری اتصال

وقتی که اتصالی خراب شود، داور درگاه خروجی آن اتصال درخواست‌هایی که برای آن اتصال دریافت می‌کند را برای داور متناظر درگاه خروجی مسیریاب بالا و پایینش ارسال می‌کند. درواقع داور درگاه اتصال خراب کنارگذاشته شده و تمام درخواست‌ها برای این درگاه مستقیما برای داور درگاه خروجی مسیریاب بالا و پایین آن ارسال می‌گردد.

در صورتی که در مرحله تخصیص کراس‌بار داور درگاه خراب هرگونه اجازه‌ای را از داور درگاه متناظر مسیریاب بالا و یا پایین آن دریافت کند، یکی از فلیت‌هایی را که برای درگاه خراب درخواست داده بودند را انتخاب کرده و در مرحله عبور از کراسبار به مسیر جایگزین ارسال می‌کند. این مسیر جایگزین به کمک تسهیم کننده‌هایی که در بخش قبل توضیح داده شد فراهم می‌گردد.

اگر داور درگاه خراب به طور همزمان دو اجازه (یکی از مسیریاب بالا و دیگری از مسیریاب پایین) دریافت کند، در صورتی که دو فلیت برای ارسال داشته باشد (فلیت‌هایی که در آن زمان قصد عبور ازدرگاه خروجی خراب را داشته باشند)، می‌تواند هر دو فلیت را بطور همزمان ارسال کند. این ارسال همزمان فلیت‌ها به صحت عملکرد شبکه لطمه‌ای وارد نمی‌کند چراکه این دو فلیت (که مسلما از دو کانال مجازی مختلف درخواست خروج از این درگاه را داده‌اند) در کانال مجازی متفاوتی در گره مقصد قرار خواهند گرفت. قابل ذکر است که تخصیص کانال مجازی بسته در مرحله قبل از مرحله تخصیص کراس‌بار صورت گرفته و به همین دلیل مشکلی ایجاد نخواهد شد. این انتقال همزمان نیازمند تغییرات کوچکی در واحد ورودی مسیریاب است.

در صورتی که داور درگاه از طرف فلیت‌های رسیده به مسیریاب خودش درخواستی را دریافت کند، تمام درخواست‌هایی که از

Arhive of SID

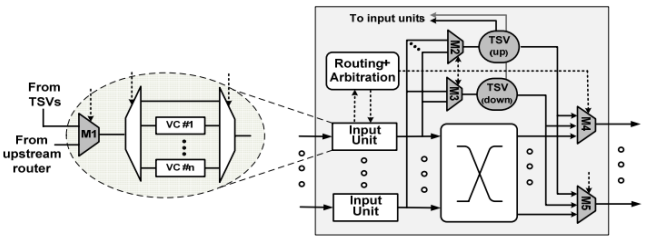
www.SID.ir

جانب مسیریاب‌های دیگر دریافت می‌کند را رد کرده و فقط به درخواست‌های محلی پاسخ می‌دهد. در غیر اینصورت به درخواست‌هایی که از جانب مسیریاب‌های بالا و پایین دریافت می‌گردد، پاسخ می‌دهد.

اگر داور درگاه همزمان دو درخواست (یکی از مسیریاب بالا و دیگری از مسیریاب پایین) دریافت کند به صورت چرخشی به این درخواست‌ها پاسخ خواهد داد. برای راحتی کار از این به بعد در این فصل، مسیریابی که درگاه و اتصال آن خراب باشد "مسیریاب نزدیک" و مسیریابی که به کمک آن اتصال خراب مربوط به مسیریاب نزدیک رفع می‌گردد "مسیریاب دور" نامیده می‌شوند.

بعد از دریافت اجازه توسط مسیریاب نزدیک از جانب مسیریاب دور، داور مسیریاب‌های نزدیک و دور، مسیر جایگزین را با تنظیم سیگنال‌های کنترلی تسهیم کننده‌ها (شکل۲) در مسیریاب خود و مسیریاب گره پایینی ، فراهم می‌کنند. برای مثال در داور مسیریاب ۱۷ علاوه بر تنظیم سیگنال‌های کنترلی مسیریاب ۱۷ وظیفه تنظیم کردن سیگنال‌های کنترلی تسهیم کننده‌ها در مسیریاب ۱۸ را نیز به عهده دارد. مسیر مناسب در مسیریاب گره پایین همانند یک مسیریاب پایه با تنظیم سیگنال کنترلی مربوط به دی مالتی پلکسر فراهم شده و بسته بعد از رسیدن به مسیریاب مقصد در کانال مجازی مربوط به خودش قرار خواهد گرفت.

داور مسیریاب نزدیک برای افزایش شانس استفاده از منابع مسیریاب‌های دور (مسیریاب بالا و پایین)، درخواست خود را به هر دو مسیریاب ارسال می‌کند (بدیهی است که این امر فقط برای مسیریاب‌های نزدیک که در لایه‌های میانی قرار دارند امکان پذیر است). در صورتی که هر دو داور مسیریاب‌های دور اجازه عبور فلیت را صادر کنند، داور مسیریاب نزدیک از یکی از آنها استفاده کرده و دیگری را نادیده می‌گیرد.



شکل ۲- معماری مسیریاب پیشنهادی تحمل‌پذیر اشکال

۲-۴- سربار زمانی معماری پیشنهادی

از آنجا که یک مسیریاب پایه در یک شبکه روی تراشه در تکنولوژی ۴۵nm با سرعت ۲GHz کار می‌کند باید تضمین کنیم که تغییرات ایجاد شده در معماری مسیریاب، تاخیر مسیر بحرانی مسیریاب را افزایش نداده و همان ۵۰۰ps باقی خواهد ماند [۵]. برای محاسبه‌ی تاخیر، واحدهای مختلف مسیریاب را با استفاده از ابزار SPICE در تکنولوژی ۴۵nm مدل کرده‌ایم. تاخیر اتصال TSV هم ۱/۳ps در نظر گرفته شده است [۶]. معماری پیشنهادی تنها روی تاخیر عبور از اتصال و داوری در مرحله تخصیص کراس‌بار تاثیر می‌گذارد.

سربار زمانی داور کراس‌بار: برای داور کراس‌بار دو حالت ممکن است رخ دهد که هیچ یک از این حالت‌ها تاخیر مسیر بحرانی را تغییر نخواهند داد. این دو حالت عبارتند از:

الف) داور اتصال در صورتی که یک درخواست محلی داشته باشد، درخواست‌هایی که از جانب مسیریاب‌های دیگر دریافت کرده است را در نظر نگرفته و به درخواست محلی پاسخ خواهد داد. در این حالت مسلما هیچ سربار زمانی به داور اتصال اضافه نخواهد شد.

ب) داور اتصال خراب در صورتی که درخواستی داشته باشد، درخواست را مستقیما برای داور اتصال بالا و پایین ارسال خواهد کرد. این درخواست در مدت ۱/۳ps (تاخیر یک اتصال TSV) به داور اتصال مسیریابِ دور خواهد رسید. درخواستی که برای داور مسیریاب دور ارسال می‌گردد در مدت زمان کمتری نسبت به یک درخواست محلی پاسخ داده می‌شود چرا که یک درخواست محلی یک داور ۶ به ۱ و یک درخواست غیر محلی یک داور ۲ به ۱ را تجربه خواهند کرد. نتایج بدست آمده از شبیه‌سازی تحت ابزار SPICE نشان می‌دهد که تاخیر یک داور ۶ به ۱، ۱۳۹ps و تاخیر یک داور ۲ به ۱، ۳۹ps می‌باشد؛ بنابراین از زمانی که یک درخواست برای داور مسیریابِ دور ارسال گردد تا زمانی که اجازه عبور از کراس‌بار مسیریابِ دور را دریافت کند زمانی کمتر از ۴۳ps (۱/۳ps+۱/۳ps+۳۹ps) نیاز است؛ بنابراین در این حالت نیز سربار زمانی به داور اتصال اضافه نخواهد شد.

سربار زمانی عبور از اتصال: بر اساس شبیه‌سازی‌های انجام شده، مدت زمانی که طول می‌کشد تا یک فلیت از روی کراس‌بار و اتصال معمول یک میلی‌متری (مرحله آخر خطلوله مسیریاب) عبور کند، ۱۶۱ps است. این زمان در معماری پیشنهادی برای بسته‌هایی که قصد عبور از اتصال به‌اشتراک گذاشته شده را داشته باشند، با سربار زمانی عبور از دو TSV و چند تسهیم کننده و یک دی‌مالتی‌پلکسر همراه خواهد بود که در ادامه، نحوه عبور از این اجزا توضیح داده شده است.

- عبور از تسهیم کننده M2 یا M3: برای ارسال فلیت به TSV بین مسیریاب‌های دور و نزدیک
- عبور از تسهیم کننده M4 یا M5: برای عبور فلیت از روی اتصال مسیریاب دور

Archive of SID

www.SID.ir

- عبور از تسهیم کننده M1 و عبور از تسهیم کننده M2 یا M3: برای برگشتن فلیت به لایه اصلی و وارد شدن به مسیریاب مقصد
- عبور از تسهیم کننده M1 در مسیریاب مقصد: به منظور وارد شدن فلیت به کانال مجازی تخصیص داده شده در مرحله VA خط‌لوله

بنابراین عبور از کراس‌بار و اتصال در یک مسیریاب پایه با عبور از هفت تسهیم‌کننده، دو TSV و یک اتصال معمولی جایگزین شده است. تاخیر عبور از یک اتصال معمولی (۱ mm) برابر ۱۰۰ps و تاخیر عبور از اجزا گفته شده ۹۸ps (تاخیر عبور از TSV و تسهیم‌کننده‌ها) می‌باشد که در مجموع، عبور یک فلیت در معماری پیشنهادی (در صورتی که از اتصال به‌اشتراک گذاشته شده استفاده کند) با تاخیر ۲۱۰ps همراه خواهد بود. از آنجا که سیکل زمانی مدار مورد نظر ۵۰۰ps می‌باشد، این تاخیر نیز مشکلی در صحت عملکرد مدار به‌وجود نخواهد آورد.

۲-۵- سربار مساحتی معماری پیشنهادی

در معماری پیشنهادی به کمک دو دسته TSV که به ازای هر مسیریاب به شبکه اضافه شده است، توانسته‌ایم قابلیت تحمل‌پذیر اشکال را به شبکه اضافه کنیم. با فرض ۶۴ بیتی بودن فلیت‌ها، یک مسیریاب در لایه میانی به دو دسته 64 TSV تایی برای برقراری اتصال با مسیریاب‌های بالا و پایین نیاز دارد؛ بنابراین مسیریاب‌ها در معماری پیشنهادی دارای ۴ دسته اتصال TSV می‌باشند؛ ۲ دسته TSV ذاتی شبکه‌های سه‌بعدی و ۲ دسته TSV اضافه شده برای اضافه کردن قابلیت تحمل‌پذیر خرابی به شبکه. توجه داشته باشید که این تعداد TSV برای مسیریاب‌های لایه اول و آخر نصف مسیریاب‌های لایه میانی است. علاوه بر این، داور کراسبار هر مسیریاب به ۸ دسته TSV دیگر (دو TSV به ازای هر درگاه خروجی در یک شبکه دوبعدی) نیاز دارد. وظیفه این TSVها انتقال سیگنال‌های درخواست از طرف مسیریاب نزدیک برای مسیریاب دور و انتقال سیگنال اجازه از طرف مسیریاب دور برای مسیریاب نزدیک می‌باشد؛ مانند TSV هایی که برای انتقال دیتا استفاده می‌شوند، تعداد این TSV ها نیز برای مسیریاب لایه‌های میانی دو برابر مسیریاب‌های لایه ابتدایی و آخری می‌باشد.

برای محاسبه سربار مساحتی معماری پیشنهادی از مدل ارائه شده در [۷] استفاده شده است. بر اساس این مدل، مجموع فضای اشغال شده توسط TSV ها در معماری پیشنهادی برای مسیریاب‌های میانی $۱۴۴۰۰\mu m^2$ و برای مسیریاب‌های لایه اول و آخر $۷۶۰۰\mu m^2$ می‌باشد. این میزان فضای اشغالی برای لایه میانی، مساحت مسیریاب را ٪۱۰/۶ افزایش می‌دهد. این سربار هنگامی که فضای اشغالی توسط تسهیم کننده‌ها را نیز در نظر بگیریم به ٪ ۱۴ افزایش می‌یابد.

۳- شبیه‌سازی و ارزیابی نتایج

برای ارزیابی معماری ارائه شده از شبیه‌ساز Booksim2.0 [۸] استفاده شده است. این شبیه‌ساز ابزاری معتبر و شناخته شده برای شبکه-های میان‌ارتباطی روی تراشه است که بر اساس مفاهیم ارائه شده در [۹] طراحی شده است. این شبیه‌ساز، قابلیت تنظیم پارامترهای مختلفی از شبکه مانند تعیین نوع تزریق بسته‌های داده، روش مسیریابی، نحوه داوری برای کانال مجازی و سوئیچ و بسیاری پارامتر دیگر را دارد. شبیه‌سازی در Booksim با دقت در حد سیکل انجام می‌شود. پارامترهای شبکه شبیه‌سازی شده در جدول۱ لیست شده است.

ترافیک نقطه‌ی داغ. برای تولید ترافیک نقطه داغ از مدل ارائه شده در [۱۰] استفاده شده است. در این مدل ابتدا هر گره یک عدد تصادفی تولید می‌کند اگر این عدد تصادفی از یک عدد آستانه، a، کمتر باشد بسته به گره نقطه داغ ارسال خواهد شد در غیر این‌صورت از یک توزیع یکنواخت برای ارسال بسته‌ها در شبکه استفاده خواهد شد.

ترافیک یکنواخت. این ترافیک یکی از پرکاربردترین ترافیک‌ها در بررسی کارایی شبکه‌های روی تراشه می‌باشد [۱۱] در این مدل احتمال ارسال و دریافت بسته در یک سیکل برای تمام گره‌ها یکسان می‌باشد.

برای ارزیابی هر چه بهتر معماری پیشنهادی، این معماری با روش ارائه شده در [۱۲] مقایسه شده است. در [۱۲] نیز یک روش مسیریابی ارائه شده است (Adaptive Routing Algorithm - ARA) که برای افزایش قابلیت تحمل‌پذیر اشکال به شبکه، شبکه حداقل باید دارای ۳ کانال مجازی باشد.

جدول ۱ – پارامترهای شبیه‌ساز

پارامتر	مقدار
تعداد کانال مجازی	۲
همبندی	توری ۴×۴×۳
الگوریتم مسیریابی	XYZ
ترافیک	نقطه داغ - یکنواخت
عمق میانگیر	۴
اندازه بسته	۴

Archive of SID

www.SID.ir

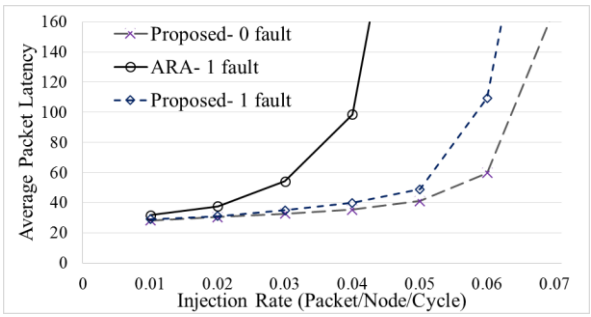
۳-۱- تحلیل کارآیی

در شکل۳ توسط تاخیر بسته برای شبکه اشاره شده تحت ترافیک یکنواخت و در شکل۴ متوسط تاخیر بسته تحت ترافیک نقطه داغ، با یک خطا نشان داده شده است. برای مدل کردن خطاهای متناوب، مکان بروز خطا در هر ۵۰۰۰۰۰ سیکل تغییر می‌کند. همانطور که در شکل‌ها نیز مشاهده می‌کنید کارآیی معماری پیشنهادی از روش ارائه شده در [۱۲] بهتر می‌باشد.

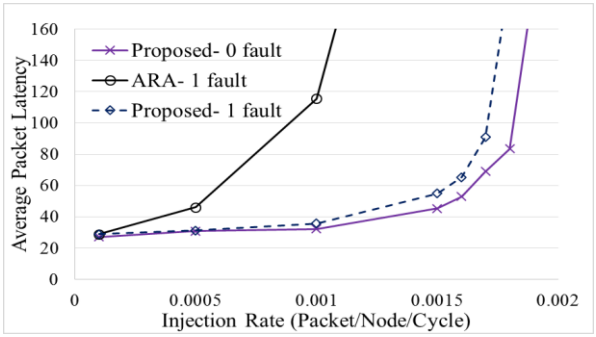
۳-۲- تحلیل توان

برای اندازه گیری توان مصرفی این طرح، از کتابخانه Orion 3.0 [۱۳] استفاده شده است. این کتابخانه که برای محاسبه‌ی توان شبکه‌های روی تراشه در سطح معماری طراحی شده است با دریافت پارامترهای سطح معماری وسطح مدار شبکه‌های روی تراشه از قبیل پهنای بیتی، تعداد درگاه‌های مسیریاب، عمق میانگیر، تعداد کانال‌های مجازی، تکنولوژی ساخت، فرکانس کاری و ...، توان مصرفی برای انجام مراحل مختلف خط‌لوله‌ی مسیریاب های شبکه روی تراشه را محاسبه می‌نماید. این کتابخانه تعدادی تابع واسط دارد که با افزودن آن ها به یک شبیه‌سازِ شبکه روی تراشه، توان مصرفی شبکه روی تراشه هنگام شبیه‌سازی یک کاربرد محاسبه شد و به تفکیک اجزای مسیریاب گزارش می‌شوند. ما با افزودن این توابع به BookSim، توان مصرفی را اندازه‌گیری می‌کنیم.

بر اساس تحلیل‌های انجام شده، معماری پیشنهادی توان مصرفی شبکه روی تراشه (و نه توان مصرفی کل تراشه) را چیزی در حدود ۷٪ افزایش می‌دهد. اگرچه این سربار توان مصرفی ناچیز است اما ممکن است به دلیل افزایش چگالی توان مصرفی دمای یک نقطه از تراشه را افزایش دهد. برای مقابله با این مشکل می‌توان از روش مسیریابی ارائه شده در [۱۴] یا همبندی بازپیکربندی شونده ارائه شده در [۱۵] استفاده کرد.



شکل ۳ – متوسط رسیدن تاخیر بسته تحت ترافیک یکنواخت



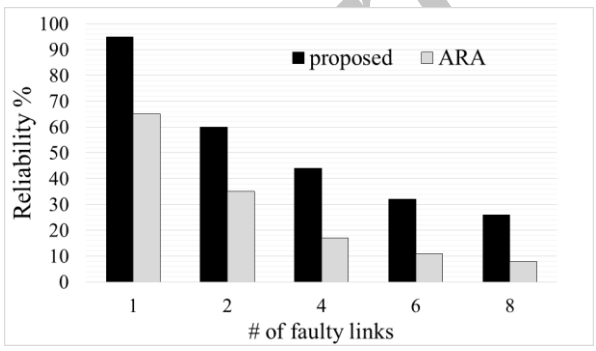
شکل ۴- متوسط رسیدن تاخیر بسته تحت ترافیک نقطه داغ

۴- تحلیل قابلیت اطمینان

برای ارزیابی و مقایسه قابلیت اطمینان معماری پیشنهادی با روش ARA، تعداد اتصال‌های خطا دار را تحت ترافیک یکنواخت از ۱ به ۸ افزایش داده‌ایم. نرخ تزریق بسته به شبکه ۰/۲ می‌باشد، نرخی که در آن شبکه در زیر نقطه اشباع در حال فعالیت می‌باشد.

اتصال‌های خراب به صورت تصادفی انتخاب شده‌اند. برای بدست آوردن قابلیت اطمینان، شبیه‌سازی‌ها را برای هر حالت ۱۰۰ مرتبه تکرار کرده‌ایم. شبکه در حالتی مطمئن است که: ۱- در زیر نقطه اشباع کار کند، ۲- تمام بسته‌ها به مقصدشان برسند.

همانطور که در شکل۵ مشاهده می‌کنید روش پیشنهادی قابلیت اطمینان بالاتری را نسبت به روش ARA ارائه می‌دهد. یادآور می‌شویم که در روش پیشنهادی تنها اتصال‌های بیکار مسیریاب به اشتراک گذاشته می‌شوند. این به اشتراک گذاری‌ها تاثیری روی مسیریابی بسته‌ها نداشته و تنها داور درگاه از این به اشتراک‌گذاری‌ها مطلع است. در نتیجه در صورتی که الگوریتم مسیریابی به کار برده شده در شبکه بدون بن‌بست باشد، روش پیشنهادی هیچ گونه بن‌بستی را ایجاد نخواهد کرد.



شکل ۵ – تحلیل قابلیت اطمینان

۵- نتیجه گیری

یکی از ویژگی‌های بارز شبکه‌های روی تراشه سه‌بعدی، تاخیر کم آنها بواسطه فاصله کم بین لایه‌ها و استفاده از لینک‌های سریع عمودی می‌باشد [۱۶]. در این مقاله از این ویژگی استفاده و یک معماری بازپیکربندی شونده برای شبکه‌های روی تراشه سه‌بعدی ارائه شده است.

www.SID.ir

به کمک این معماری می‌توان قابلیت تحمل پـذیری اشـکال را بـه یـک شبکه روی تراشه سه‌بعدی اضافه کرد.

مراجع

[1] D. H. Woo, et al., "An optimized 3D-stacked memory architecture by exploiting excessive, high-density TSV bandwidth", in Proc. of HPCA, 2010.

[2] D. Park, et al., "MIRA: A Multilayered Interconnect Router Architecture," in Proc. of ISCA, 2008.

[3] M. Ratezski et al., "Methods for fault tolerance in networks on chip", in ACM Computing Surveys, Vol 14, No. 1, 2013.

[4] C. Constantinescu, "Intermittent faults and effects on reliability of integrated circuits", in Proc. of Reliability and Maintainability Symposium, 2008.

[5] S. Pasricha, Yong Zou, "NS-FTR: A fault tolerant routing scheme for networks on chip with permanent and runtime intermittent faults", in Proc. of ASP-DAC, 2011.

[6] S. Pan et al., "IVF: Characterizing the vulnerability of microprocessor structures to intermittent faults", in IEEE Trans. on VLSI Sys., 2010.

[7] H. Homayoun et al., "Dynamically Heterogeneous Cores through 3D Resource Pooling", in Proc. of HPCA, 2012.

[8] BookSim-2: A Cycle-Accurate Interconnection Network Simulator available on http://nocs.stanford.edu/cgibin/trac.cgi/wiki/Resources/BookSim .

[9] S. Volos et al., "CCNoC: Specializing On-Chip Interconnects for Energy Efficiency in Cache-Coherent Servers", in Proc. of NOCS, 2012.

[10] M. Ebrahimi, et al., "Fault-Tolerant Routing Algorithm for 3D NoC Using Hamiltonian Path Strategy", in Proc. of DATE, 2013.

[11] D. Fick et al., "A highly resilient routing algorithm for fault-tolerant NoCs", in Proc. of DATE, 2009.

[12] R. Jabbarvand, et al., "A Reconfigurable Fault-Tolerant Routing Algorithm to Optimize the Network-on-Chip Performance and Latency in Presence of Intermittent and Permanent Faults", in Proc. of ICCD, 2011.

[13] A. B. Kahng, B. Lin, and S. Nath, "ORION3.0: A Comprehensive NoC Router Estimation Tool," IEEE Embedded Systems Letters, vol. 7, no. 2, pp. 41–45, Jun. 2015 .

[14] B. Ahmed et al., "Deadlock-Recovery Support for Fault-tolerant Routing Algorithms in 3D-NoC Architectures", in Proc. of MCSoC, 2013.

[15] C. Hernandez, et al., "Fault-Tolerant Vertical Link Design for Effective 3D Stacking", in Computer Architecture Letters, Vol. 10, No. 2, 2011.

[16] M. Ebrahimi, et al., "Fault-tolerant Method with Distributed Monitoring and Management Technique for 3D Stacked Mesh, in Proc. of International Symposium on computer Architecture & Digital Systems, 2013.

[17] A. Rahmani et al., "Congestion aware, fault tolerant and thermally efficient inter-layer communication scheme for hybrid NoC-bus 3D architectures", in Proc. of NOCS, 2011.

[18] J. Kim, et al., "Novel Dimensionally-Decomposed Router for On-Chip Communication in 3D Architectures", in Proc. of ISCA, 2007.

[19] M. Modarressi, et al., "Application-Aware Topology Reconfiguration for On-Chip Networks", in IEEE Trans. VLSI Sys., Vol. 19, No. 11, 2011.

Arhive of SID

www.SID.ir