طراحی و شبیه‌سازی مبدل آنالوگ به دیجیتال لوله‌ای مبتنی بر مقایسه‌گر ولتاژ پایین

مهدی حسین‌نژاد[۱]، کارشناس ارشد؛ حسین شمسی[۲]، استادیار

۱- دانشکده مهندسی برق و کامپیوتر - دانشگاه صنعتی خواجه نصیرالدین طوسی - تهران - ایران - mahdi.hosseinnejad@gmail.com

۲- دانشکده مهندسی برق و کامپیوتر - دانشگاه صنعتی خواجه نصیرالدین طوسی - تهران - ایران - shamsi@eetd.kntu.ac.ir

چکیده: در این مقاله، یک مبدل آنالوگ به دیجیتال لوله‌ای مبتنی بر مقایسه‌گر ولتاژ پایین طراحی شده است. حذف تقویت‌کننده و جایگزین کردن آن به‌وسیله یک مقایسه‌گر و منبع جریان تأثیر زیادی در کاهش توان مصرفی و پیچیدگی طراحی داشته است. برای طبقه اول از یک دو برابرکننده بهره خازنی به‌عنوان MDAC استفاده شده است تا دقت لازم را برای ولتاژ خروجی طبقه اول فراهم آورد. به‌دلیل اثر بارگذاری طبقه دوم بر روی طبقه اول از یک MDAC با امپدانس ورودی بالا در طبقات بعدی استفاده شده است. استفاده از منبع جریان سری اصلاح‌شده در MDAC طبقات بعدی باعث شده تا به‌هنگام تغییر سیگنال ورودی، بالازدگی ناشی از تأخیر مقایسه‌گرها در کل محدوده سیگنال ورودی ثابت مانده و به حداقل مقدار خود رسیده و ازاین‌رو تأثیر زیادی در افزایش دقت ولتاژ باقی‌مانده در طبقات بعدی مبدل ایجاد نماید. این مبدل با استفاده از نرم‌افزار HSPICE در تکنولوژی ۹۰nm سی‌ماس شبیه‌سازی شده است. نتایج شبیه‌سازی نشان می‌دهد که مقدار SNDR و SFDR به‌ترتیب برابر ۵۶ دسی‌بل و ۶۴/۵ دسی‌بل در فرکانس نمونه‌برداری ۲۵ مگاهرتز است. توان مصرفی این مبدل لوله‌ای ۲ میلی‌وات با منبع تغذیه ۱ ولت است.

واژه‌های کلیدی: مبدل آنالوگ به دیجیتال لوله‌ای، مقایسه‌گر ولتاژ پایین، دوبرابرکننده بهره خازنی، منبع جریان.

Design and Simulation of Pipelined ADCs based on Low-Voltage Comparators

Mahdi Hosseinnejad[1], MSc; Hossein Shamsi[2], Assistant Professor

1- Faculty of Electrical and Computer Engineering, K.N. Toosi University of Technology, Tehran, Iran, Email: mahdi.hosseinnejad@gmail.com

2- Faculty of Electrical and Computer Engineering, K.N. Toosi University of Technology, Tehran, Iran, Email: shamsi@eetd.kntu.ac.ir

Abstract: In this paper, a pipelined analog-to-digital converter based on low-voltage comparators has been designed. The combination of a comparator and a current source as an alternative to op-amp, improved power efficiency and decreased complexity of design. For the first stage, capacitor gain doubler is used as MDAC. Since the first stage cannot drive large capacitive loads, therefor a topology with high input impedance is chosen for the second, third and following stages. Besides, a modified cascode current source is used to obtain minimum overshoot at the output of stages. The ADC has been designed and simulated by HSPICE in a 90 nm CMOS process. Simulation results show that the ADC achieves 56.1 dB SNDR, 64.5 dB SFDR at 25MS/s and consumes 2 mW from a 1V power supply.

Keywords: Pipelined analog-to-digital converter, Low-voltage comparators, Gain doubler, Current source.

تاریخ ارسال مقاله: ۱۳۹۳/۰۶/۲۵

تاریخ اصلاح مقاله: ۱۳۹۳/۰۹/۱۶ و ۱۳۹۴/۰۱/۳۱

تاریخ پذیرش مقاله: ۱۳۹۴/۰۲/۱۳

نام نویسنده مسئول: حسین شمسی

نشانی نویسنده مسئول: ایران - تهران - پل سیدخندان - دانشگاه صنعتی خواجه نصیرالدین طوسی - دانشکده مهندسی برق و کامپیوتر.

Archive of SID

www.SID.ir

۱- مقدمه

مبدل‌های آنالوگ به دیجیتال یکی از مهم‌ترین بلوک‌ها در رادیو نرم‌افزاری و دیگر سیستم‌های پردازش سیگنال هستند [۱]. با پیشرفت تکنولوژی، به‌دلیل کاهش بهره ذاتی ترانزیستور و ولتاژ منبع تغذیه طراحی مدارهای آنالوگ پیچیده‌تر شده است [۳،۲]. ازاین‌رو طراحی مبدل با سرعت و دقت بالا بسیار دشوار است [۴]. مبدل‌های آنالوگ به دیجیتال لوله‌ای[۱] به‌دلیل داشتن سرعت نسبتاً بالا، توان مصرفی کم و دقت متوسط به بالا توجه زیادی را در میان دیگر مبدل‌های آنالوگ به دیجیتال به خود جلب کرده‌اند و به‌طور گسترده‌ای در نمونه‌برداری با نرخ نایکوئیست از آن‌ها استفاده می‌شود [۵]. در این مبدل‌ها با کاهش طول کانال ترانزیستورها در تکنولوژی سی‌ماس، طراحی تقویت‌کننده[۲] با بهره و سرعت بالا بسیار دشوار می‌شود. برای حل مشکلات مبدل‌های آنالوگ به دیجیتال لوله‌ای روش‌های جدیدی ارائه شده است. در برخی از این روش‌ها با کاهش ولتاژ منبع تغذیه، مبدل‌ها را طراحی کرده و درنتیجه توان مصرفی را کاهش داده‌اند [۸-۶]. همچنین روش به اشتراک‌گذاری تقویت‌کننده[۳] [۹] و استفاده دوباره از جریان تقویت‌کننده[۴] [۱۰] به‌منظور کاهش توان مصرفی در تقویت‌کننده استفاده می‌شود.

در مبدل‌های لوله‌ای به‌منظور کاهش توان مصرفی و افزایش سرعت می‌توان طبقه بهره را با خازن‌های پارازیت و تقویت‌کننده دنبال‌کننده سورس[۵] ساخت [۱۱]. استفاده از زمان نشست ناقص[۶] [۱۲]، تقویت به‌صورت حلقه‌باز [۱۳]، تقویت حلقه‌بسته با بهره پایین [۱۴]، پمپ‌کننده بار خازنی[۷] [۱۵] و ایده‌های واسنجی[۸] [۲۱-۱۶] روش‌هایی هستند که برای بهبود عملکرد و کاهش توان مصرفی مبدل‌های آنالوگ به دیجیتال لوله‌ای به‌کار می‌روند. با وجود این‌که این روش‌ها تأثیر زیادی در کاهش توان مصرفی دارند اما هنوز محدودیت‌های اساسی در استفاده از تقویت‌کننده‌های با بهره بالا در حلقه‌های فیدبک منفی وجود دارد. یک روش جایگزین برای استفاده نکردن از تقویت‌کننده، استفاده از مبدل‌های مبتنی بر مقایسه‌گر است که توان مصرفی و پیچیدگی طراحی را کاهش می‌دهند [۲۷-۲۲]. این روش از یک پمپ‌کننده بار[۹] برای ایجاد ولتاژ باقی‌مانده[۱۰] استفاده می‌کند. ترکیب مقایسه‌گر و منبع جریان می‌تواند جایگزین خوبی برای تقویت‌کننده‌ها باشد [۲۲].

در این مقاله با استفاده از منابع جریان پیشنهادی، بالازدگی[۱۱] مقایسه‌گرها به حداقل مقدار خود رسیده و هریک از طبقات ۱/۵ بیتی با کاهش توان مصرفی به‌دقت زیادی دست یافته‌اند. این مقاله از شش بخش تشکیل شده است که بخش دوم آن اساس کار مبدل آنالوگ به دیجیتال لوله‌ای را تشریح می‌کند، بخش سوم به بیان نحوه جایگزینی مقایسه‌گر و منبع جریان به‌جای تقویت‌کننده می‌پردازد. بخش چهارم طراحی مبدل آنالوگ به دیجیتال لوله‌ای مبتنی بر مقایسه‌گر را در این طراحی توصیف می‌کند. بخش پنجم و ششم به‌ترتیب شامل نتایج شبیه‌سازی و نتیجه‌گیری است.

۲- اساس کار مبدل آنالوگ به دیجیتال لوله‌ای

این نوع مبدل می‌تواند دارای M طبقه باشد. هر طبقه n بیت را استخراج کرده و ولتاژ باقی‌مانده برای طبقه بعد را فراهم می‌کند. بیت‌های استخراج‌شده از تمام طبقات برای تنظیم، وارد یک شیفت‌رجیستر می‌شوند. خروجی شیفت‌رجیستر، دارای nM بیت تنظیم شده است. شکل ۱ ساختار این نوع مبدل را نشان می‌دهد.

شکل ۲ ساختار یک طبقه از مبدل لوله‌ای را نشان می‌دهد. این طبقه شامل یک مبدل آنالوگ به دیجیتال n بیتی، یک مبدل دیجیتال به آنالوگ n بیتی، یک تقویت‌کننده و یک مدار تفریق‌کننده است. مبدل آنالوگ به دیجیتال بیت‌ها را تعیین می‌کند. مبدل دیجیتال به آنالوگ و مدار تفریق‌کننده، ولتاژ آنالوگ متناظر با بیت‌های استخراج‌شده را از سیگنال ورودی کم می‌کند. این مقدار در 2^n ضرب می‌شود تا ولتاژ باقی‌مانده تولید شود.

۲-۱- طبقه بهره ۱/۵ بیتی

بلوک دیاگرام طبقه بهره ۱/۵ بیتی در شکل ۳ نشان داده شده است. این طبقه مشکل طبقه ۲ بیتی را حل می‌کند [۲۲] و همچنین ولتاژ باقی‌مانده را برای طبقه بعدی ایجاد می‌کند. بلوک Sub-DAC، تفریق‌کننده و بهره ۲ که به‌عنوان MDAC[۱۲] شناخته می‌شود، نقش بسیار مهمی را در عملکرد کل مبدل ایفا می‌کند. تابع تبدیل[۱۳] این طبقه به‌صورت رابطه (۱) است.

$$V_{res} = 2V_{in} - V_{ADC} \qquad (۱)$$

به‌منظور جلوگیری از خطای ناشی از بالازدگی مقایسه‌گر، معمولاً از تصحیح خطای دیجیتال در طراحی مبدل آنالوگ به دیجیتال استفاده می‌شود. یکی از انواع تصحیح خطای دیجیتال استفاده از طبقه بهره ۱/۵ بیتی است که در شکل ۴ نشان داده شده است [۲۲]. در این ساختار مقایسه‌گر دوم به همراه یک سطح مرجع دیگر به طبقه یک‌بیتی اضافه شده است.

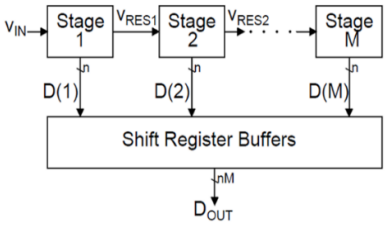
سطح‌های کوانتیزه در اینجا مطابق رابطه (۲) هستند.

$$\begin{aligned} V_{DAC} &= -V_{REF} && V_{in} < \frac{-V_{REF}}{4} \\ V_{DAC} &= V_{CM} && V_{in} > \frac{-V_{REF}}{4} \text{ and } V_{in} < \frac{+V_{REF}}{4} \\ V_{DAC} &= +V_{REF} && V_{in} > \frac{+V_{REF}}{4} \end{aligned} \qquad (۲)$$

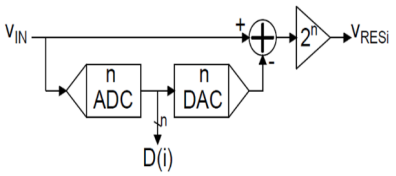
در روابط بالا V_{DAC} برابر ولتاژ خروجی مبدل دیجیتال به آنالوگ، V_{in} ولتاژ ورودی و V_{REF} ولتاژ مرجع است. در شکل ۵ ولتاژ باقی‌مانده برحسب ولتاژ ورودی نشان داده شده است. ملاحظه می‌شود که بالازدگی کم مقایسه‌گر باعث نمی‌شود که ولتاژ باقی‌مانده یک طبقه، برای ورودی طبقه بعدی از محدوده مجاز خود تجاوز کند.

Archive of SID

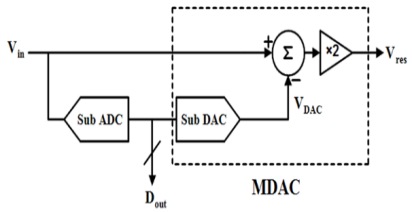
www.SID.ir



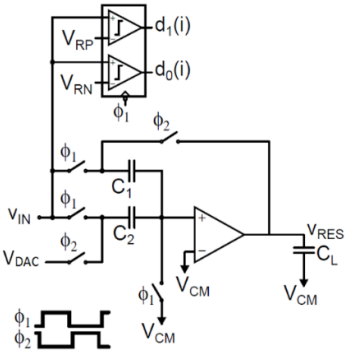
شکل ۱: ساختار مبدل آنالوگ به دیجیتال لوله‌ای [۲۲]



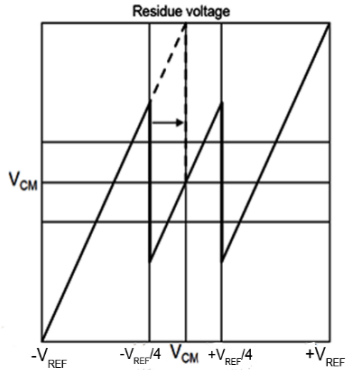
شکل ۲: یک طبقه از مبدل آنالوگ به دیجیتال لوله‌ای [۲۲]



شکل ۳: طبقه بهره ۱/۵ بیتی



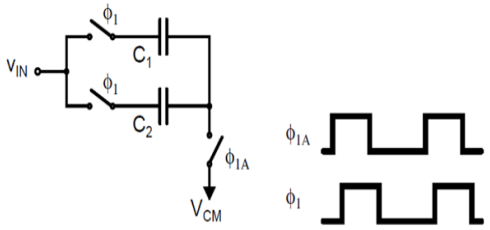
شکل ۴: طبقه بهره ۱/۵ بیتی مبتنی بر تقویت‌کننده [۲۲]



شکل ۵: ولتاژ باقی‌مانده طبقه بهره ۱/۵ بیتی [۲۲]

۳- جایگزینی مقایسه‌گر و منبع جریان به‌جای تقویت‌کننده

عملکرد طبقه بهره مبتنی بر تقویت‌کننده و طبقه بهره مبتنی بر مقایسه‌گر که هر دو آن‌ها شامل خازن‌های سوئیچ‌شده[۱۴] هستند بسیار شبیه به هم است. تنها فرق اساسی آن است که تقویت‌کننده در طول فاز انتقال بار به‌صورت نمایی به‌سمت وضعیت زمین مجازی[۱۵] می‌رسد، درصورتی‌که مقایسه‌گر وضعیت زمین مجازی را به‌صورت شیب شناسایی و نمونه‌برداری را آغاز می‌کند.



شکل ۶: نمونه‌برداری توسط خازن سوئیچ‌شده [۲۲]

۳-۱- طبقه بهره مبتنی بر تقویت‌کننده و خازن سوئیچ‌شده

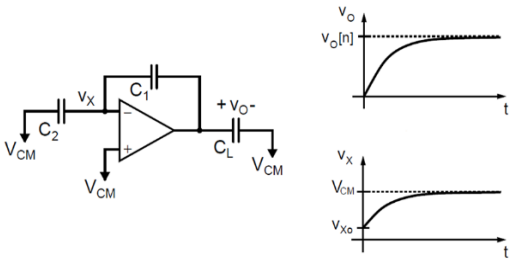
این نوع طبقه بهره در دو فاز عمل می‌کند: فاز نمونه‌برداری و فاز انتقال بار[۱۶]. در فاز نمونه‌برداری ϕ_1، خازن‌های C_1 و C_2 از ولتاژ ورودی توسط مدار نمونه‌گیر حلقه‌باز نشان داده‌شده در شکل ۶ نمونه می‌گیرند. لبه پایین‌رونده فاز ϕ_{1A} در لحظه نمونه‌گیری به‌منظور به حداقل رساندن تزریق بار ناشی از سوئیچ‌ها تعریف شده است [۲۸]. برای فاز انتقال بار، خازن‌ها طبق شکل ۷ دوباره پیکربندی شده‌اند. در طی فاز انتقال بار، هردو ولتاژ خروجی V_O و ولتاژ گره V_X به‌صورت نمایی به‌سمت حالت ماندگار می‌روند.

۳-۲- طبقه بهره مبتنی بر مقایسه‌گر و خازن سوئیچ‌شده

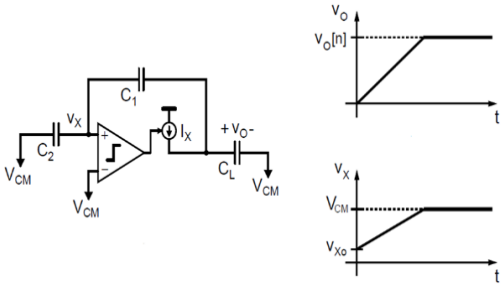
این نوع طبقه بهره همانند طبقه بهره مبتنی بر تقویت‌کننده در دو فاز عمل می‌کند. فاز نمونه‌برداری ϕ_1 مدار مقایسه‌گر همانند فاز نمونه‌برداری مدار تقویت‌کننده است. فاز انتقال بار طبقه بهره مبتنی بر مقایسه‌گر در شکل ۸ نشان داده شده است. تقویت‌کننده به‌وسیله یک مقایسه‌گر حساس به آستانه و یک منبع جریان I_X جایگذاری شده است. در طی فاز بازنشانی[۱۷] که در شکل ۸ نشان داده نشده است، V_O به زمین اتصال کوتاه می‌شود. سپس منبع جریان I_X روشن شده و شبکه خازنی C_1، C_2 و C_L را شارژ می‌کند و شکل موج شیب V_O و V_X که در شکل ۸ نشان داده شده است را ایجاد می‌کند. این ولتاژ شیب تا زمانی ادامه پیدا می‌کند که مقایسه‌گر زمین مجازی را شناسایی کند ($V_X = V_{cm}$) منبع جریان را خاموش کند. با این روش مقایسه‌گر لحظه نمونه‌برداری را تعیین می‌کند. در لحظه نمونه‌برداری زمین مجازی همانند مدار تقویت‌کننده به‌دست می‌آید. همه بار خازن C_2 به خازن C_1 انتقال پیدا می‌کند و ولتاژ خروجی در خازن C_L نمونه گرفته می‌شود.

Archive of SID

www.SID.ir



شکل ۷: طبقه بهره مبتنی بر تقویت‌کننده [۲۲]



شکل ۸: طبقه بهره مبتنی بر مقایسه‌گر [۲۲]

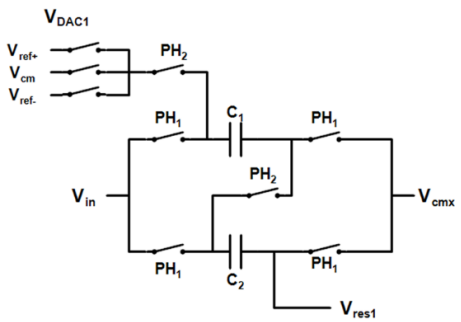
۴- طراحی مبدل آنالوگ به دیجیتال لوله‌ای مبتنی بر مقایسه‌گر

۴-۱- MDAC استفاده‌شده در طبقه اول

در این مبدل از یک دوبرابرکننده بهره خازنی برای MDAC طبقه اول استفاده شده است [۲۵]. ساختمان این MDAC در شکل ۹ نشان داده شده است. در طبقه بهره ۱/۵ بیتی مبدل لوله‌ای ولتاژ خروجی ۲ برابر ولتاژ ورودی هر طبقه به‌اضافه ولتاژ DAC متناظر با بیت خروجی است. در دوبرابرکننده بهره خازنی با در نظر گرفتن V_{cmx} برابر صفر، در فاز PH_1 خازن‌های C_1 و C_2 از ورودی نمونه‌گیری می‌کنند و به‌اندازه V_{in} شارژ می‌شوند، در فاز PH_2 ولتاژ باقی‌مانده طبقه اول برابر است با:

$$V_{res1} = -2V_{in} + V_{DAC1} \qquad (۳)$$

همان‌طور که مشاهده می‌شود ولتاژ به‌دست‌آمده در رابطه (۳) نسبت به ولتاژ طبقه بهره ۱/۵ بیتی مرسوم در یک منفی ضرب شده است که می‌توان این ضریب را در طبقات بعدی جبران کرد.



شکل ۹: MDAC استفاده‌شده در طبقه اول

۴-۲- MDAC استفاده‌شده در طبقات بعدی

برای طبقات بعدی نمی‌توان از دوبرابرکننده بهره خازنی استفاده کرد، زیرا هنگامی‌که طبقه اول در فاز انتقال بار است، طبقه بعد در حال نمونه‌گیری است که به‌دلیل اثر بارگذاری ولتاژ هر دو طبقه دچار مشکل می‌شود. ازاین‌رو MDAC طبقه‌های بعدی باید دارای ورودی با امپدانس بالا باشند. برای طبقه‌های بعدی از MDAC نشان داده‌شده در شکل ۱۰ استفاده شده است [۲۵].

۴-۲-۱- نحوه عملکرد

مطابق شکل ۱۰، PH_{2i} پالسی کوتاه است که هم‌زمان با PH_2 شروع می‌شود، در این فاز ابتدا نقاط V_1 و V_2 از طریق ترانزیستورهای M_1 و M_2 به‌ترتیب به صفر و V_{DD} می‌رسند. با پایان یافتن PH_{2i}، منابع جریان I_1 و I_2 به‌ترتیب شروع به شارژ خازن C_1 و دشارژ خازن C_2 می‌کنند، بنابراین ولتاژ V_1 شروع به افزایش و ولتاژ V_2 شروع به کاهش می‌کند تا جایی که هر دو ولتاژ به ولتاژ باقی‌مانده طبقه اول (V_{res1}) می‌رسند. مقایسه‌گرهای DC_1 و DC_2 این ولتاژها را شناسایی کرده و منابع جریان را قطع می‌کنند. در این زمان فاز PH_2 به پایان رسیده و ولتاژ باقی‌مانده در فاز PH_1 به مقدار رابطه (۵) می‌رسد.

$$V_{res2} = -V_1 - V_2 + V_{DAC2} \qquad (۴)$$

$$V_{res2} = -2(V_{res1}) + V_{DAC2} \qquad (۵)$$

۴-۲-۲- حذف بالازدگی ناشی از تأخیر مقایسه‌گرها

به‌دلیل تأخیر ذاتی در مقایسه‌گرها، مطابق شکل ۱۱ ولتاژ V_1 به مقداری بیشتر از V_{res1} شارژ (ΔV_1) و ولتاژ V_2 به مقدار کمتری از ولتاژ V_{res1} دشارژ ($-\Delta V_2$) می‌شود. تأخیر مقایسه‌گر اول با t_{d1} و تأخیر مقایسه‌گر دوم با t_{d2} نشان داده شده است. می‌توان نتیجه گرفت:

$$\Delta V_1 = \frac{I_2 t_{d1}}{C_1}, \quad \Delta V_2 = \frac{I_2 t_{d2}}{C_2} \qquad (۶)$$

بنابراین رابطه (۴) را می‌توان به‌صورت رابطه (۷) بازنویسی کرد.

$$V_{res2} = -(V_{res1} + \frac{I_1 t_{d1}}{C_1} + V_{res1} - \frac{I_2 t_{d2}}{C_2}) + V_{DAC2} \qquad (۷)$$

همان‌طور که رابطه (۷) نشان می‌دهد، با فرض برابر بودن خازن‌های C_1 و C_2 مقدار اضافه شارژ و دشارژ از هم کم می‌شود، حال بایستی منابع جریان را طوری تنظیم کرد که این دو مقدار باهم برابر شوند و تفاضل آن‌ها برابر صفر شود، در این صورت معادله (۷) به‌صورت معادله (۸) نوشته می‌شود که برابر با معادله (۵) شده است.

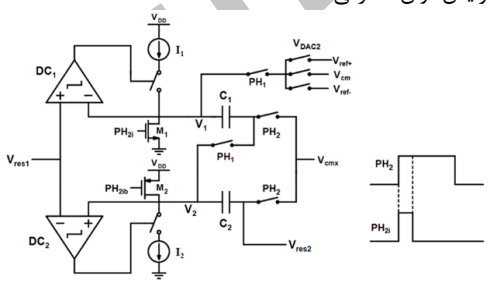
$$V_{res2} = -(2V_{res1}) + V_{DAC2} \qquad (۸)$$

Archive of SID

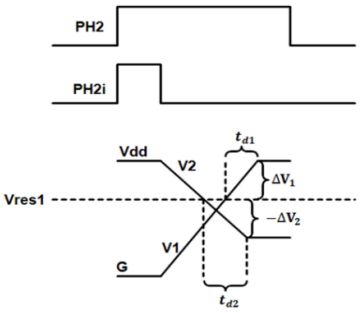
www.SID.ir

۴-۲-۳- منابع جریان در طبقه دوم

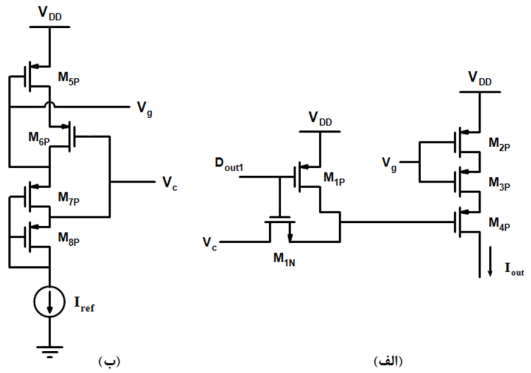
انتخاب منابع جریان در طبقه دوم بسیار حائز اهمیت است. طبق رابطه (۷) تفاضل شارژ و دشارژ باید صفر شوند، ولی هنگامی‌که منابع جریان برای حالتی که ولتاژ باقی‌مانده طبقه اول برابر ولتاژ حالت مشترک است تنظیم می‌شوند، با تغییر ولتاژ باقی‌مانده طبقه اول این تفاضل به مقدار بسیار زیادی افزایش پیدا می‌کند و ازاین‌رو تأثیر مخربی بر روی ولتاژ طبقه دوم می‌گذارد تا جایی که پس از عبور از چندطبقه به‌شدت افزایش پیدا کرده و سطح تصمیم sub-ADC را تغییر می‌دهد. منابع جریان استفاده‌شده در کارهای قبلی، در این ساختار، برای ولتاژهای بیشتر و کمتر از ولتاژ حالت مشترک دارای اختلاف ولتاژ زیادی هستند و ازاین‌رو ولتاژ خروجی دچار مشکل می‌شود. در این کار از منبع جریانی استفاده شده که دقت مدار را با کاهش تفاضل شارژ و دشارژ در کل محدوده ولتاژ مرجع به‌میزان معتنابهی افزایش داده است که لازمه این کار، افزایش توان مصرفی است.



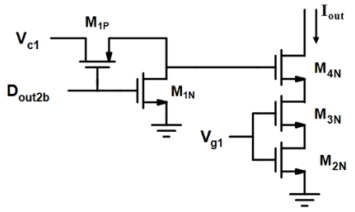
شکل ۱۰: MDAC استفاده‌شده در طبقات بعدی



شکل ۱۱: تحلیل زمانی طبقه دوم



شکل ۱۲: الف) منبع جریان پیشنهادی به همراه سوئیچ کنترلی، ب) مدار بایاس



شکل ۱۳: ساختار منبع جریان I_2

شکل ۱۲ الف ساختار منبع جریان پیشنهادی I_1 را نشان می‌دهد. دو ترانزیستور M_{1P} و M_{1N} منبع جریان را کنترل می‌کنند به‌طوری‌که D_{out1} خروجی مقایسه‌گر اول است. V_c و V_g ولتاژهای بایاس برای این ساختار هستند. هنگامی‌که دو ترانزیستور M_{2P} و M_{3P} مانند مقاومت عمل می‌کنند، معادل یک ترانزیستور با طول دو برابر هستند [۲۹]. هنگامی‌که وضعیت دو ترانزیستور متفاوت است استفاده از ترکیب نشان داده‌شده در شکل ۱۲ الف در افزایش دقت ولتاژ خروجی بسیار مؤثر است. مدار بایاس این منبع جریان در شکل ۱۲ ب نشان داده شده است. منبع جریان I_2 از همین ساختار با ترانزیستورهای NMOS طراحی شده که در شکل ۱۳ نشان داده شده است. مقادیر W و L ترانزیستورهای منابع جریان و بایاس شکل ۱۲ در جدول ۱ نشان داده شده است. لازم به ذکر است که L_{min} برابر ۹۰ نانومتر است.

جدول ۱: مقادیر W و L ترانزیستورهای منابع جریان و بایاس

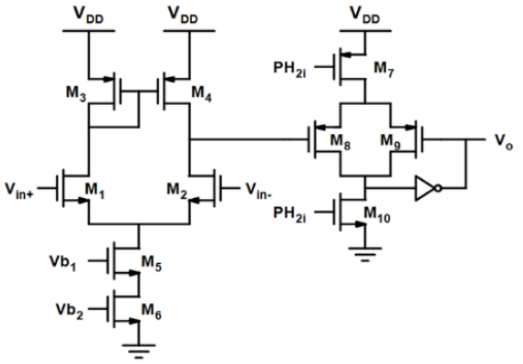
ترانزیستور	طول (L)	عرض (W)
M_{1N}	L_{min}	۲×L_{min}
M_{1P}	L_{min}	۲×L_{min}
M_{2P}	L_{min}	۱۷۴×L_{min}
M_{3P}	L_{min}	۱۷۴×L_{min}
M_{4P}	۲×L_{min}	۸۷×L_{min}
M_{5P}	۳×L_{min}	۸۷×L_{min}
M_{6P}	۳×L_{min}	۸۷×L_{min}
M_{7P}	۳×L_{min}	۲۹×L_{min}
M_{8P}	۳×L_{min}	۸۷×L_{min}

۴-۲-۴- مقایسه‌گر استفاده‌شده در MDAC طبقه دوم

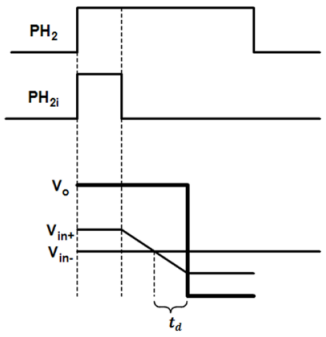
در این طبقه نمی‌توان از مقایسه‌گرهای مرسوم که با کلاک کار می‌کنند استفاده کرد زیرا این مقایسه‌گرها حساس به لبه هستند و در این ساختار نیاز به مقایسه‌گری داریم که در هرلحظه تفاوت بین ورودی‌ها را تشخیص دهد، به همین منظور از مقایسه‌گر شکل ۱۴ استفاده کرده‌ایم [۲۹]. این مقایسه‌گر از یک قسمت پیش‌تقویت‌کننده و یک مدار لچ تشکیل شده است. در طی فاز PH_{2i} خروجی V_O همواره یک است و پس از پایان این فاز لچ، تفاوت دو ورودی را آشکار می‌سازد. در شکل ۱۵ نحوه شناسایی این مقایسه‌گر نشان داده شده است. مقادیر W و L ترانزیستورهای این مقایسه‌گر در جدول ۲ نشان داده شده است.

Archive of SID

www.SID.ir



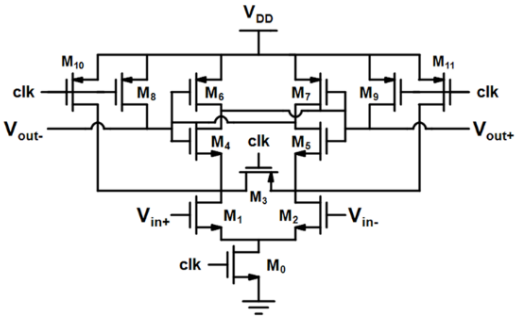
شکل ۱۴: مقایسه‌گر استفاده‌شده در طبقه دوم



شکل ۱۵: نحوه شناسایی مقایسه‌گر در MDAC طبقه دوم

جدول ۲: مقادیر W و L ترانزیستورهای مقایسه‌گر شکل ۱۴

ترانزیستور	طول (L)	عرض (W)
M_1	L_{min}	۲×L_{min}
M_2	L_{min}	۲×L_{min}
M_3	L_{min}	۳×L_{min}
M_4	L_{min}	۳×L_{min}
M_5	L_{min}	۶×L_{min}
M_6	L_{min}	۶×L_{min}
M_7	L_{min}	۵۶×L_{min}
M_8	L_{min}	۲×L_{min}
M_9	L_{min}	۲×L_{min}
M_{10}	L_{min}	۵۶×L_{min}

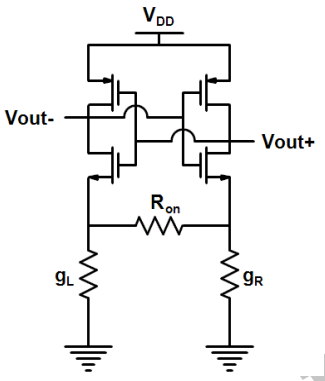


شکل ۱۶: ساختار مقایسه‌گر

۴-۳- مقایسه‌گر استفاده‌شده در مبدل فلش و Sub-ADC

برای طراحی sub-ADC در طبقه بهره ۱/۵ بیتی و مبدل فلش ۲ بیتی در انتهای این مبدل لوله‌ای از مقایسه‌گر شکل ۱۶ استفاده شده است. هنگامی‌که کلاک صفر است دو ترانزیستور M_7 و M_8 روشن بوده و خروجی برابر V_{DD} خواهد بود. در این زمان ترانزیستور M_9 خاموش است ازاین‌رو جریان استاتیکی مدار تقریباً برابر صفر است.

هنگامی‌که کلاک یک است ترانزیستور M_9 روشن و ترانزیستورهای M_7 و M_8 خاموش شده و مدار معادل شکل ۱۶ در این فاز به‌صورت شکل ۱۷ است. با توجه به رسانایی g_R و g_L هرکدام که رسانایی بیشتری داشته باشد خروجی سمت آن‌ها صفر شده و طرف دیگر یک می‌شود. در جدول ۳ این مقایسه انجام شده است. ترانزیستور M_3 باید دارای مقاومت بزرگی باشد (R_{on}) تا در هنگام وصل اتصال کوتاه نشود. بنابراین نسبت W به L آن باید کوچک انتخاب شود. مقادیر W و L ترانزیستورهای این مقایسه‌گر در جدول ۴ نشان داده شده است.



شکل ۱۷: مدار معادل مقایسه‌گر

جدول ۳: نحوه عملکرد مقایسه‌گر شکل ۱۷

		Vout-	*Vout+*
Vin+ > Vin-	$g_L > g_R$	0	V_{DD}
Vin+ < Vin-	$g_L < g_R$	V_{DD}	0

جدول ۴: مقادیر W و L ترانزیستورهای مقایسه‌گر شکل ۱۶

ترانزیستور	طول (L)	عرض (W)
M_0	L_{min}	۲۲×L_{min}
M_1	L_{min}	۷×L_{min}
M_2	L_{min}	۷×L_{min}
M_3	L_{min}	۲×L_{min}
M_4	L_{min}	۲۲×L_{min}
M_5	L_{min}	۲۲×L_{min}
M_6	L_{min}	۵۶×L_{min}
M_7	L_{min}	۵۶×L_{min}
M_8	L_{min}	۱۱۱×L_{min}
M_9	L_{min}	۱۱۱×L_{min}
M_{10}	L_{min}	۲۲×L_{min}
M_{11}	L_{min}	۲۲×L_{min}

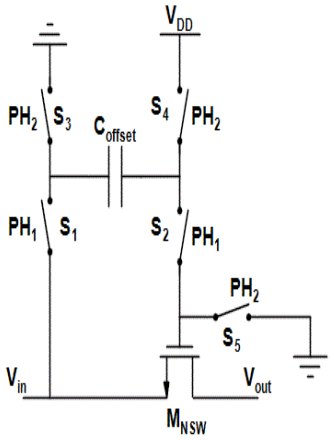
Archive of SID

www.SID.ir

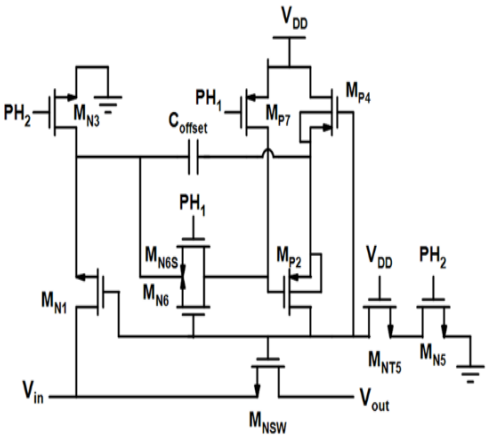
۴-۴- پیاده‌سازی سوئیچ‌ها

در MDAC طبقه اول انتخاب سوئیچ‌های نمونه‌بردار از حساسیت بالایی برخوردار است، به همین منظور این سوئیچ‌ها از نوع بوت‌استرپ انتخاب شده‌اند تا دقت نمونه‌برداری از ورودی را افزایش دهند [۳۰]. این سوئیچ در شکل ۱۸ نشان داده شده است. این شکل شامل ترانزیستور M_{NSW}، سوئیچ‌های S_1-S_5 و خازن C_{offset} است. سوئیچ‌های S_3 و S_4 در فاز PH_2 خازن را به مقدار V_{DD} شارژ می‌کنند. در فاز PH_1 ولتاژ گیت-سورس ترانزیستور M_{NSW}، توسط سوئیچ‌های S_1 و S_2 را برابر ولتاژ خازن می‌شود. این ولتاژ مستقل بودن هدایت سوئیچ از ورودی را تضمین می‌کند. سوئیچ S_5 به‌منظور خاموش کردن ترانزیستور M_{NSW} در فاز PH_2 قرار داده شده است. شکل ۱۹ پیاده‌سازی در سطح ترانزیستور سوئیچ بوت‌استرپ را نشان می‌دهد. ترانزیستورهای M_{N1}، M_{P2}، M_{N3}، M_{P4} و M_{N5} به‌ترتیب به‌جای سوئیچ‌های ایده‌آل S_1-S_5 قرار داده شده است. ترانزیستورهای دیگر به‌منظور بهبود عملکرد سوئیچ قرار گرفته‌اند [۳۰]. مقادیر W و L ترانزیستورهای این سوئیچ در جدول ۵ نشان داده شده است. بقیه سوئیچ‌ها از نوع گیت انتقال و دو ترانزیستور NMOS هستند که در شکل ۲۰ نشان داده شده‌اند. همه سوئیچ‌های اتصال سری دو خازن C_1 و C_2 و سوئیچ‌های متصل به V_{cmx} در طبقه اول از نوع گیت انتقال (شکل ۲۰ الف) انتخاب شده‌اند. سوئیچ‌های متصل به V_{cmx} در طبقات دیگر مطابق شکل ۲۰ ب انتخاب شده‌اند. در سوئیچ گیت انتقال دو فاز به‌صورت مخالف به ترانزیستورهای NMOS و PMOS وارد شده است. ترانزیستور PMOS یک را خوب عبور می‌دهد درصورتی‌که ترانزیستور NMOS صفر را خوب عبور می‌دهد. بنابراین برای بهبود هدایت سوئیچ می‌توان از این ترکیب استفاده کرد (شکل ۲۰ الف).

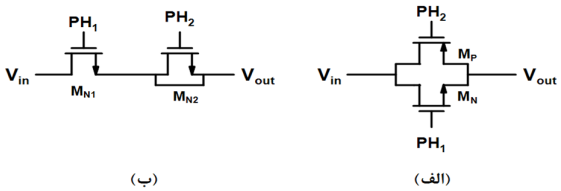
در سوئیچی که از دو ترانزیستور NMOS استفاده شده است ترانزیستور M_{N2} به‌عنوان ترانزیستور تصنعی[۱۸] استفاده شده است تا خطای ناشی از تزریق بار ترانزیستور اصلی M_{N1} به حداقل مقدار خود برساند. بدین منظور می‌توان نسبت W به L این ترانزیستور را تقریباً نصف ترانزیستور M_{N1} در نظر گرفت. مقادیر W و L ترانزیستورهای این سوئیچ‌ها در جدول ۶ نشان داده شده است (شکل ۲۰ ب).



شکل ۱۸: سوئیچ بوت‌استرپ



شکل ۱۹: پیاده‌سازی سوئیچ بوت‌استرپ



شکل ۲۰: سوئیچ‌های دیگر؛ الف) گیت انتقال، ب) استفاده از دو ترانزیستور NMOS

جدول ۵: مقادیر W و L ترانزیستورهای سوئیچ بوت‌استرپ

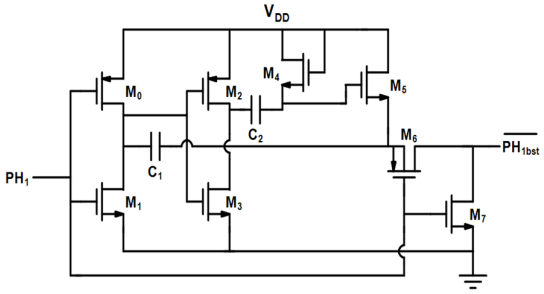
ترانزیستور	طول (L)	عرض (W)	تعداد ترانزیستورهای موازی (m)
M_{N1}	L_{min}	۲×L_{min}	۱
M_{N3}	L_{min}	۲×L_{min}	۱
M_{N6}	L_{min}	۲×L_{min}	۱
M_{N6S}	L_{min}	۲×L_{min}	۱
M_{P2}	L_{min}	۲×L_{min}	۱
M_{P4}	L_{min}	۲×L_{min}	۱
M_{P7}	L_{min}	۴×L_{min}	۱
M_{NT5}	L_{min}	۴۰۰×L_{min}	۱
M_{N5}	L_{min}	۳۱۰×L_{min}	۲
M_{NSW}	L_{min}	۴۰×L_{min}	۱

جدول ۶: مقادیر W و L ترانزیستورهای سوئیچ‌های دیگر

سوئیچ	ترانزیستور	طول (L)	عرض (W)
سری کننده خازن‌های C_1 و C_2 در همه طبقات	M_P	L_{min}	۵×L_{min}
	M_N	L_{min}	۶×L_{min}
متصل به V_{cmx} در طبقه اول	M_P	L_{min}	۱۲×L_{min}
	M_N	L_{min}	۲۸×L_{min}
متصل به V_{cmx} در طبقات دیگر	M_{N1}	L_{min}	۲۰×L_{min}
	M_{N2}	L_{min}	۱۲×L_{min}

Archive of SID

www.SID.ir



شکل ۲۱: ساختار تقویت‌کننده کلاک

۴-۱- استفاده از تقویت‌کننده کلاک

برای افزایش کارایی سوئیچ‌های آنالوگ و به‌منظور کامل روشن کردن ترانزیستورهای NMOS و کامل خاموش کردن ترانزیستورهای PMOS از مدار تقویت‌کننده کلاک در [۳۱] استفاده کرده‌ایم. لازم به ذکر است

جدول ۷: مقادیر W و L ترانزیستورهای تقویت‌کننده کلاک

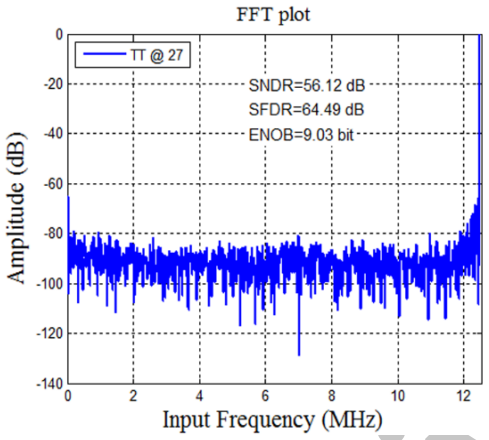
ترانزیستور	طول (L)	عرض (W)
M_0	L_{min}	$۶۰۰\times L_{min}$
M_1	L_{min}	$۱۰۰\times L_{min}$
M_2	L_{min}	$۵\times L_{min}$
M_3	L_{min}	$۵\times L_{min}$
M_4	L_{min}	$۵\times L_{min}$
M_5	L_{min}	$۵\times L_{min}$
M_6	L_{min}	$۱۰۰۰\times L_{min}$
M_7	L_{min}	$۱۰۰۰\times L_{min}$

کلاک تقویت‌شده فقط برای سوئیچ‌های متصل به $Vcmx$ در همه طبقات استفاده شده است. شکل ۲۱ مدار تقویت‌کننده کلاک استفاده‌شده در این طراحی را نشان می‌دهد.

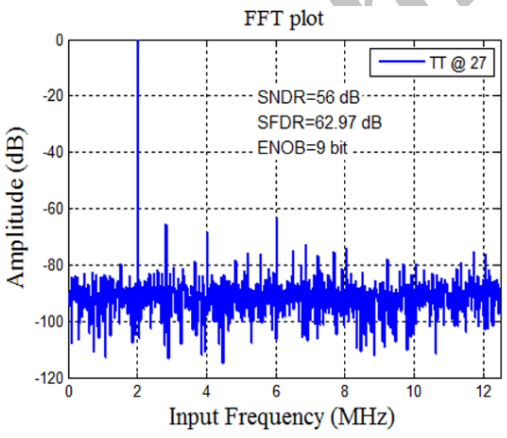
در فاز $PH_1=0$ یک سر خازن C_2 به زمین متصل است و سر دیگر آن از طریق ترانزیستور M_4 به ولتاژ $V_{DD}-V_{th}$ متصل می‌شود. در فاز $PH_1=1$ آن سر خازن C_2 که به زمین متصل بود به‌وسیله ترانزیستور M_2 به V_{DD} متصل می‌شود. بنابراین ولتاژ گیت ترانزیستور M_5 به مقدار $2V_{DD}-V_{th}$ می‌رسد. لذا ترانزیستور M_5 به‌خوبی روشن شده و می‌تواند ولتاژ V_{DD} را بدون هیچ کم و کاستی به یکی از پایه‌های خازن C_1 برساند. از طرفی دیگر در همین فاز، به‌دلیل روشن بودن ترانزیستور M_1، پایه دیگر خازن C_1 به زمین متصل می‌شود. بنابراین می‌توانیم این‌گونه نتیجه‌گیری کنیم که در فاز $PH_1=1$ همواره خازن C_1 به‌اندازه ولتاژ V_{DD} شارژ می‌شود. در این فاز، خروجی نیز از طریق ترانزیستور M_7 به صفر می‌رسد. زمانی که PH_1 دوباره صفر می‌شود خروجی از طریق روشن شدن ترانزیستورهای M_0 و M_6 به ولتاژ $2V_{DD}$ می‌رسد. این موضوع به‌سادگی قابل فهم است چراکه در فاز قبل خازن C_1 به‌اندازه ولتاژ V_{DD} شارژ شده بود. لازم به ذکر است که در فاز $PH_1=0$ ترانزیستورهای M_5 و M_7 خاموش هستند. مقادیر W و L ترانزیستورهای تقویت‌کننده کلاک در جدول ۷ نشان داده شده است.

۵- شبیه‌سازی مبدل طراحی‌شده

برای محاسبه مقادیر SNDR[۱۹]، SFDR[۲۰] و ENOB[۲۱]، از تبدیل فوریه سریع FFT با ۲۰۴۸ نقطه استفاده کرده‌ایم. بدترین وضعیت این تست در فرکانس ورودی نایکوئیست است. شکل ۲۲ طیف این مبدل در فرکانس نایکوئیست را نشان می‌دهد. مقادیر SNDR، SFDR و ENOB به‌ترتیب برابر ۵۶ دسی‌بل، ۶۴/۵ دسی‌بل و ۹ بیت است. به‌منظور رصد کردن بهتر هارمونیک‌های خروجی مبدل و اندازه‌گیری دقیق‌تر مشخصات دینامیکی، از مبدل با ورودی فرکانس پایین نیز FFT گرفته شده است. شکل ۲۳ طیف خروجی در فرکانس پایین ۲ مگاهرتز را نشان می‌دهد که نتیجه به‌دست‌آمده در این فرکانس و فرکانس نایکوئیست تقریباً یکسان است. البته در این شکل هارمونیک‌های خروجی مبدل به‌خوبی نمایان است.



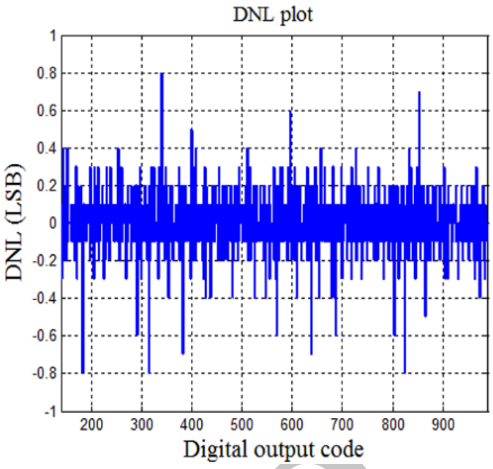
شکل ۲۲: طیف خروجی در فرکانس نایکوئیست



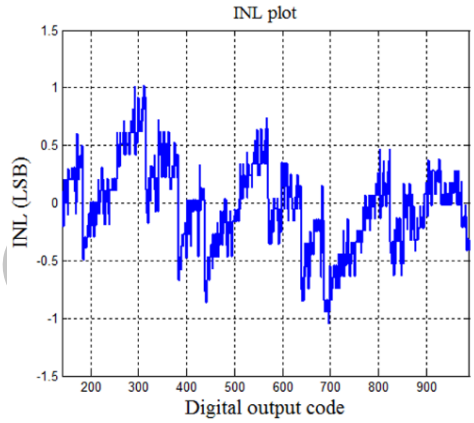
شکل ۲۳: طیف خروجی در فرکانس ۲ مگاهرتز

برای اندازه‌گیری DNL و INL از ولتاژ ورودی خطی[۲۲] با شیب کم استفاده کرده‌ایم. شکل ۲۴ و شکل ۲۵ به‌ترتیب نمودار DNL و INL را نشان می‌دهد. DNL برابر منفی یک نشان‌دهنده کد ازدست‌رفته است. کمترین و بیشترین مقدار DNL در این طراحی برابر ۰/۸ است که نشان‌دهنده آن است که هیچ کدی از دست نرفته است.

Archive of SID
www.SID.ir



شکل ۲۴: نمودار DNL



شکل ۲۵: نمودار INL

۵-۱- شبیه‌سازی در گوشه‌های فرایند

پارامترهای ترانزیستورهای ماسفت از ویفر به ویفر و از بسته‌ای به بسته دیگر به‌طور معتنابهی تغییر می‌کنند [۲۹]. بنابراین شبیه‌سازی در گوشه‌ها همراه با تغییرات دمایی از اهمیت ویژه‌ای برخوردار است. در این طراحی از شبیه‌سازی در گوشه‌های FF با دمای ۴۰- درجه سانتی‌گراد و SS با دمای ۹۰ درجه سانتی‌گراد در فرکانس ورودی نایکوئیست استفاده کرده‌ایم که خلاصه نتایج شبیه‌سازی آن در جدول ۸ نشان داده شده است. در این گوشه‌های دمایی و فرایند که بدترین وضعیت‌ها را برای ترانزیستورها تداعی می‌کند تفاضل بالازدگی منابع جریان بیشتر می‌شود. درنتیجه ولتاژ باقی‌مانده بعد از گذشت چندطبقه کدهای اشتباه بیشتری تولید می‌کند و به‌تبع آن باعث کاهش مشخصات دینامیکی مبدل می‌شود.

۵-۲- نمودار محدوده پویایی

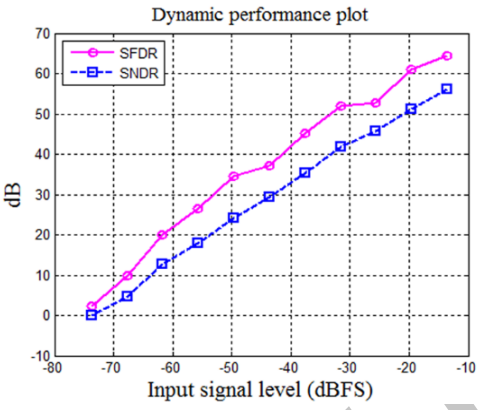
شکل ۲۶ نمودار محدوده پویایی مبدل را در فرکانس ورودی نایکوئیست نشان می‌دهد که با کاهش دامنه سیگنال ورودی مقادیر SNDR و SFDR در حال کاهش است. مشاهده می‌شود که با افزایش ولتاژ ورودی، مبدل از یک ولتاژی به بعد وارد وضعیت اضافه‌بار می‌شود. در وضعیت اضافه‌بار، مشخصات دینامیکی مبدل دچار افت چشم‌گیری می‌شود چراکه افزایش ولتاژ باعث تغییر سطح تصمیم مبدل Sub-ADC شده و درنتیجه کد اشتباه تولید می‌کند. در جدول ۹ این نتیجه با کارهای قبلی مقایسه شده است.

جدول ۸: خلاصه نتایج شبیه‌سازی در گوشه‌های فرایند

Corner case	SNDR (dB)	SFDR (dB)
FF در ۴۰-	۵۴/۵	۶۰/۷
SS در ۹۰	۵۳/۱	۵۸/۲

جدول ۹: مقایسه محدوده پویایی

	Dynamic Range (dB)
This work	۶۰
[۳۲]	۶۰
[۳۳]	۵۴



شکل ۲۶: نمودار محدوده پویایی

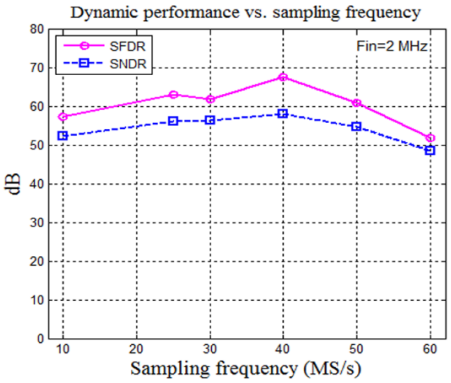
۵-۳- تغییر فرکانس نمونه‌برداری

مبنای طراحی این مبدل بر اساس فرکانس نمونه‌برداری ۲۵ مگاهرتز بوده است. شکل ۲۷ تغییر فرکانس نمونه‌برداری را در ۵ حالت دیگر نشان می‌دهد. فرکانس ورودی همه حالت‌ها برابر ۲ مگاهرتز در نظر گرفته شده است. با توجه به این‌که این طراحی از تقویت‌کننده استفاده نمی‌کند بنابراین توان مصرفی آن مشابه توان مصرفی دینامیکی در مدارهای دیجیتال است و با فرکانس نسبت مستقیم دارد. این نتیجه در جدول ۱۰ نشان داده شده است.

۵-۴- تحلیل مونت‌کارلو

از شبیه‌سازی مونت‌کارلو به‌منظور مدل کردن عدم تطابق بین عناصر مختلف ناشی از تغییرات فرایند استفاده می‌شود. در این قسمت عدم تطابق تنها با تغییرات ولتاژ آستانه بررسی می‌شود، زیرا عدم تطابق تابع بزرگ‌تری از تغییرات ولتاژ آستانه است. شکل ۲۸ نمودار SNDR را برای ۱۰ بار تغییر توسط تحلیل مونت‌کارلو نشان می‌دهد که کمترین مقدار آن برابر ۴۹ دسی‌بل است.

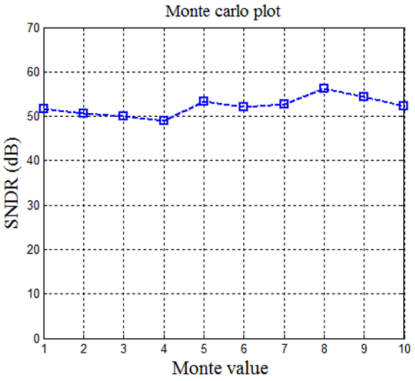
Archive of SID
www.SID.ir



شکل ۲۷: تغییر فرکانس نمونه‌برداری

جدول ۱۰: توان مصرفی بر اساس تغییر فرکانس نمونه‌برداری

f_s (MS/s)	۱۰	۲۵	۳۰	۴۰	۵۰	۶۰
Power (mW)	۱/۳	۲	۲/۲	۳	۴	۴/۸



شکل ۲۸: تحلیل مونت‌کارلو بر اساس عدم تطابق ناشی از ولتاژ آستانه

۵-۵- مقایسه

در جدول ۱۱ مبدل طراحی‌شده با مبدل‌های مبتنی بر مقایسه‌گر در کارهای قبلی مقایسه شده است. رابطه ضریب شایستگی برای مقایسه به‌صورت $\text{FOM} = \frac{\text{Power}}{f_s \times 2^{\text{ENOB}}}$ است. با توجه به مقایسه‌گرهای ولتاژ پایین در این طراحی، ضریب شایستگی به‌دست‌آمده بهتر از کارهای انجام‌شده قبلی است. تمامی مراجع گزارش‌شده در جدول ۳ از طبقه بهره ۱/۵ بیتی استفاده کرده‌اند.

۶- نتیجه‌گیری

مبدل‌های آنالوگ به دیجیتال لوله‌ای به‌دلیل داشتن سرعت نسبتاً بالا و دقت متوسط به بالا کاربرد بسیار زیادی در گیرنده‌های مخابراتی دارند. به همین دلیل اخیراً تلاش زیادی برای کاهش توان مصرفی آن به روش‌های مختلفی صورت گرفته است. در این مقاله، یک مبدل آنالوگ به دیجیتال لوله‌ای با دو MDAC که در طبقه اول از نوع دوبرابرکننده بهره خازنی و در بقیه طبقات مبتنی بر مقایسه‌گر است بررسی شد. به‌دلیل استفاده از مقایسه‌گرهای بدون کلاک در MDAC مبتنی بر مقایسه‌گر توان مصرفی پویا در این طبقات کاهش یافته است. همچنین استفاده از دو ترانزیستور با بایاس یکسان به‌عنوان مقاومت منبع جریان باعث شده که به‌هنگام تغییر سیگنال ورودی اختلاف بالازدگی در کل محدوده سیگنال ورودی به حداقل رسیده و همین امر باعث افزایش دقت ولتاژ باقی‌مانده در طبقات بعدی مبدل شده است.

جدول ۱۱: مقایسه کارهای انجام‌شده قبلی با مبدل طراحی‌شده

	Technology	Supply voltage (V)	Resolution (bit)	f_s (MS/s)	SNDR (dB)	ENOB (bit)	DNL (LSB)	INL (LSB)	Power (mW)	FOM (fJ/step)
[۲۲]	۱۸۰ nm	۱/۸	۱۰	۷/۹	۵۲	۸/۶	۰/۳۳ و ۰/۲۸-	۱/۵۹ و ۱/۱۳-	۲/۵	۸۰۰
[۲۳]	۱۸۰ nm	۱/۸	۸	۲۰۰	–	۶/۴	۰/۷۵ و ۰/۷۵-	۱ و ۱-	۸/۵	۵۱۰
[۲۶]	۶۵nm	۱/۲	۱۰	۲۶	۵۴/۳	۸/۷	۰/۱۶ و ۰/۲۲-	۰/۴۵ و ۱/۲۱-	۵/۵۱	۴۹۹
[۲۷]	۹۰nm	۱/۲	۱۰	۶۰	۴۴/۲	۷	۰/۵۲ و ۰/۵۴-	۰/۶ و ۰/۷۷-	۸/۵	۱۰۷۰
[۲۵]	۱۸۰ nm	۱/۸	۱۲	۲۵	۳۹/۱	۶/۲	۱/۳۲ و ۰/۹۹-	۱/۲۱ و ۳/۸۷-	۳/۵	۱۹۰۰
[۳۴]	۱۸۰ nm	۱/۸	۱۰	۲۰	۵۷/۲	۹/۲	۰/۳۱ و ۰/۶-	۰/۳۱ و ۰/۹۹-	۲/۶	۲۲۱
This work	۹۰nm	۱	۱۰	۲۵	۵۶/۱	۹	۰/۸ و ۰/۸-	۱ و ۱-	۲	۱۵۳

Archive of SID

www.SID.ir

مراجع

[1] R.H. Walden, "Analog-to-digital converter survey and analysis," *IEEE J. Sel. Areas Commun.*, vol. 17, no. 4, pp. 539-550, 1999.

[2] A.J. Annema, B. Nauta, R. van Langevelde, and H. Tuinhout, "Analog circuits in ultra-deep-submicron CMOS," *IEEE J. Solid-State Circuits*, vol. 40, no. 1, pp. 132-143, 2005.

[3] J.M. Rabaey, F.D. Bernardinis, A.M. Niknejad, B. Nikolic, and A. sangiovanni-Vincentelli, "Embedding mixed-signal design in systems-on-chip," *Proc. IEEE*, vol. 94, no. 6, pp. 1070-1088, 2006.

[4] B.D. Sahoo, and B. Razavi, "A 12-bit 200-MHz CMOS ADC," *IEEE J. Solid-State Circuits*, vol. 44, no. 9, pp. 2366-2380, 2009.

[5] Y. Chiu, P.R. Gray, and B. Nikolic, "A 14-b 12-MS/s CMOS pipelined ADC with over 100-dB SFDR," *IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp. 2139-2151, 2004.

[6] Y.J. Kim, H C. Choi, S.W. Yoo, S.H. Lee, D.Y. Chung, K.H. Moon, H.J. Park, and J.W. Kim, "A re-configurable 0.5 V to 1.2 V, 10 MS/s to 100 MS/s, low-power 10 b 0.13 μm CMOS pipelined ADC," *IEEE Custom Integrated Circuits Conf. (CICC)*, pp. 185-188, 2007.

[7] I. Ahmed, and D.A. Johns, "A 50-MS/s (35 mW) to 1-kS/s (15μW) power scalable 10-bit pipelined ADC using rapid power-on opamps and minimal bias current variation," *IEEE J. Solid-State Circuits*, vol. 40, no. 12, pp. 2446-2455, 2005.

[8] I. Ahmed, and D.A. Johns, "A high bandwidth power scalable sub-sampling 10-bit pipelined ADC with embedded sample and hold," *IEEE J. Solid-State Circuits*, vol. 43, no. 7, pp. 1638-1647, 2008.

[9] B G. Lee, B M. Min, G. Manganaro, and J.W. Valvano, "A 14-b 100-MS/s pipelined ADC with a merged SHA and first MDAC," *IEEE J. Solid-State Circuits*, vol. 43, no. 12, pp. 2613-2619, 2008.

[10] S.T. Ryu, B.S. Song, and K. Bacrania, "A 10-bit 50-MS/s pipelined ADC with opamp current reuse," *IEEE J. Solid-State Circuits*, vol. 42, no. 3, pp. 475-485, 2007.

[11] J. Hu, N. Dolev, and B. Murmann, "A 9.4-bit, 50-MS/s, 1.44-mW pipelined ADC using dynamic source follower residue amplification," *IEEE J. Solid-State Circuits*, vol. 44, no. 4, pp. 1057-1066, 2009.

[12] E. Iroaga, and B. Murmann, "A 12-bit 75-MS/s pipelined ADC using incomplete settling," *IEEE J. Solid-State Circuits*, vol. 42, no. 4, pp. 748-756, 2007.

[13] B. Murmann, and B.E. Boser, "A 12-bit 75-MS/s pipelined ADC using open-loop residue amplification," *IEEE J. Solid-State Circuits*, vol. 38, no. 12, pp. 2040-2050, 2003.

[14] B. Hernes, J. Bjornsen, T.N. Anderson, A. Vinje, H. Korsvoll, F. Telsto, A. Briskemyr, C. Holdo, and O. Moldsvor, "A 92.5 mW 205MS/s 10b pipeline IF ADC implemented in 1.2 v/3.3 v 0.13 micron CMOS," *IEEE Int. Solid-State Circuit Conf. (ISSCC) Dig. Tech. Papers*, pp. 462-463, 2007.

[15] I. Ahmed, J. Mulder, and D.A. Johns, "A low-power capacitive charge pump based pipelined ADC," *IEEE J. Solid-State Circuits*, vol. 45, no. 5, pp. 1016-1027, 2010.

[16] H.R. Mafi, and A.M. Sodagar, "A background calibration in pipelined ADCs," *Int. J. Electron. Commun.*, vol. 67, no. 8, pp. 729-732, 2013.

[17] J. Yuan, S.W. Fung, K.Y. Chan, and R. Xu, "A 12-bit 20 MS/s 56.3mW pipelined ADC with interpolation-based nonlinear calibration," *IEEE Trans. Circuits Syst. I: Reg. Papers*, vol. 59, no. 3, pp. 555-565, 2012.

[18] L. Shi, W. Zhao, J. Wu, and C. Chen, "Digital background calibration techniques for pipelined ADC based on comparator dithering," *IEEE Trans. Circuits Syst. II: Exp. Briefs*, vol. 59, no. 4, pp. 239-243, 2012.

[19] E. Siragusa, and I. Galton, "A digitally enhanced 1.8-v 15-bit 40-MSample/s CMOS pipelined ADC," *IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp. 2126-2138, 2004.

[20] A. Verma, and B. Razavi, "A 10-bit 500-MS/s 55-mW CMOS ADC," *IEEE J. Solid-State Circuits*, vol. 44, no. 11, pp. 3039-3050, 2009.

[21] L. Brooks, and H S. Lee, "Background calibration of pipelined ADCs via decision boundary gap estimation," *IEEE Trans. Circuits Syst. I: Reg. Papers*, vol. 55, no. 10, pp. 2969-2979, 2008.

[22] J.K. Fiorenza, *A comparator-based switched-capacitor pipelined analog-to-digital converter*, Ph.D. dissertation, Massachusetts Inst. Technol., Cambridge, MA, 2007.

[23] L. Brooks, and H.S. Lee, "A zero-crossing based 8b, 200 MS/s pipelined ADC," *IEEE J. Solid-State Circuits*, vol. 42, no. 12, pp. 2677-2687, 2007.

[24] L. Brooks, and H S. Lee, "A 12b, 50 MS/s, fully differential zero-crossing based pipelined ADC," *IEEE J. Solid-State Circuits*, vol. 44, no. 12, pp. 3329-3343, 2009.

[25] X. Tang, C.T. Ko, and K P. Pun, "A charge-pump and comparator based power-efficient pipelined ADC technique," *Microelectronics J.*, vol. 43, no. 3, pp. 182-188, 2012.

[26] S.K. Shin, Y S. You, S.H. Lee, K.H. Moon, J.W. Kim, L. Brooks, and H.S. Lee, "A fully differential zero-crossing-based 1.2 V 10b 26MS/s pipelined ADC in 65 nm CMOS," *IEEE Symp. VLSI Circuits (VLSIC)*, pp. 218-219, 2008.

[27] C. Wulff, and T. Ytterdal, "Comparator-based switched-capacitor pipelined analog-to-digital converter with comparator preset, and comparator delay compensation," *Analog Integrated Circuits and Signal Process.*, vol. 67, no. 1, pp. 31-40, 2011.

[28] K.L. Lee, and R.G. Meyer, "Low-distortion switched-capacitor filter design techniques," *IEEE J. Solid-State Circuits*, vol. 20, no. 6, pp. 1103-1113, 1985.

[29] B. Razavi, *Design of analog CMOS integrated circuits*, New York, McGraw-Hill, 2000.

[30] M. Dessouky, and A. Kaiser, "Input switch configuration suitable for rail-to-rail operation of switched op amp circuits," *Electron. Lett.*, vol. 35, no. 1, pp. 8-10, 1999.

[31] C.Y. Wu, W.S. Wey, and T.C. Yu, "A 1.5 V CMOS balanced differential switched-capacitor filter with internal clock boosters," *IEEE ISCAS*, pp. 1025-1028, 1995.

[32] A.M. Abo, and P.R. Gray, "A 1.5-V, 10-bit, 14.3-MS/s CMOS pipeline analog-to-digital converter," *IEEE J. Solid-State Circuits*, vol. 34, no. 5, pp. 599-606, 1999.

[33] J. Li, and U.K. Moon, "A 1.8-V 67-mW 10-bit 100-MS/s pipelined ADC using time-shifted CDS technique," *IEEE J. Solid-State Circuits*, vol. 39, no. 9, pp. 1468-1476, 2004.

[34] X. Tang, and K.P. Pun, "Novel overshoot cancellation in comparator-based pipelined ADC," *IEEE ISCAS*, pp. 806-809, 2012.

Archive of SID

www.SID.ir

زیرنویس‌ها

[1] Pipelined
[2] Op-amp
[3] Op-amp sharing technique
[4] Op-amp current reuse technique
[5] Source-followers
[6] Incomplete settling
[7] Capacitive charge-pump
[8] Calibration
[9] Charge pump
[10] Residue voltage
[11] Overshoot
[12] Multiplying digital to analog converter
[13] Transfer function
[14] Switched capacitors
[15] Virtual ground
[16] Charge transfer phase
[17] Preset
[18] Dummy
[19] Signal-to-noise and distortion ratio
[20] Spurious-free dynamic range
[21] Effective number of bits
[22] Ram

Archive of SID

www.SID.ir