Archive of SID

طراحی و کنترل ساختارهای جدید پایش‌گر یک‌پارچه کیفیت توان بین خطی بر اساس مبدل‌های چندپورته AC/AC

محسن محمودی[۱]، دانشجوی دکتری مهندسی برق قدرت، علی عجمی[۲]، دانشیار، ابراهیم سیفی نجمی[۳]، دانشجوی دکتری مهندسی برق قدرت

۱- گروه مهندسی برق- دانشگاه شهید مدنی آذربایجان- تبریز- ایران– m.mahmoodi@azaruniv.edu
۲- گروه مهندسی برق- دانشگاه شهید مدنی آذربایجان- تبریز- ایران– ajami@azaruniv.edu
۳- گروه مهندسی برق- دانشگاه شهید مدنی آذربایجان- تبریز- ایران– ebrahimseifinajmi@gmail.com

چکیده: مبدل‌های کاهش‌کلیدیافته با توجه به مزایای متعدد ازجمله هزینه و وزن کم، اندازه کوچک موردتوجه قرار گرفته‌اند. تاکنون ساختارهای مختلفی در جهت کاهش تعداد کلیدهای مبدل‌های قدرت در مقالات ارائه شده که می‌توان آن‌ها را به دو دسته اینورترهای تک‌خروجی و اینورترهای چندخروجی دسته‌بندی کرد. در این مقاله سه ساختار مبتنی بر مبدل‌های کاهش‌کلیدیافته بر اساس مبدل‌های ۱۵ کلیدی ۳ ساق و ۱۵ کلیدی ۵ ساق و ۱۲ کلیدی ۴ ساق جهت بهبود کیفیت توان در دو فیدر مجاور هم به‌صورت پایش‌گر یکپارچه کیفیت توان بین خطی (IUPQC) پیشنهاد شده است. کاهش کلید در ساختارهای پیشنهادی باعث کاهش پیچیدگی، قیمت کل سیستم و تلفات کلیدزنی می‌گردد. کنترل و طرح‌های مدولاسیون برای تضمین جبران‌سازی اغتشاشات ناشی از بار و شبکه و همچنین ضریب توان واحد ورودی ارائه شده است. شبیه‌سازی ارائه‌شده تاثیرگذار بودن کنترل پیشنهادی و طرح‌های مدولاسیون برای مبدل‌های پیشنهادی را تأیید می‌نمایند.

واژه‌های کلیدی: پایش‌گر یکپارچه کیفیت توان بین خطی (IUPQC)، مبدل‌های کاهش سوئیچ‌یافته، مبدل‌های چندپورته AC/AC

Design and Controlling of Novel Topologies of IUPQC Based on Multi Port AC/AC Converters

M. Mahmoudi[1] Phd student, A. Ajami[2] Associated professor, E. Seifi Najmi[3], Phd student

1 -Electrical Engineering Department, Azarbaijan Shahid Madani University, Tabriz, Iran, Email: m.mahmoodi@azaruniv.edu
2 -Electrical Engineering Department, Azarbaijan Shahid Madani University, Tabriz, Iran, Email: ajami@azaruniv.edu
3 -Electrical Engineering Department, Azarbaijan Shahid Madani University, Tabriz, Iran, Email: ebrahimseifinajmi@gmail.com

Abstract: In recent years, reduced switch count converters have garnered particular attention because they have some benefits such as low cost low weight and small size. So far, different structures of power converters have been introduced to reduce the number of switches that can be classified in two categories, single and multiple outputs. In this paper, three structures of reduced switches count converters are suggested to improve the power quality as inter line unified power quality conditioner (IUPQC). The switch count reduction methods reduce the complexity of the proposed structures, the total price of the system and switching losses. Control and modulation schemes are provided to guarantee the compensation of disturbances arising from network and load and obtain the unity power factor, too. The simulation results verify suitable effects of proposed control and modulation schemes for proposed converters.

Keywords: Interline unified power quality conditioner (IUPQC), reduced switches count converter.

تاریخ ارسال مقاله: ۱۳۹۳/۰۸/۰۶
تاریخ اصلاح مقاله: ۱۳۹۳/۱۰/۱۲، ۱۳۹۳/۱۱/۲۳ و ۱۳۹۴/۰۱/۱۷
تاریخ پذیرش مقاله: ۱۳۹۴/۰۳/۰۱
نام نویسنده مسئول: علی عجمی
نشانی نویسنده مسئول: ایران - تبریز - ۳۵ کیلومتری جاده تبریز-آذرشهر - دانشگاه شهید مدنی آذربایجان - گروه مهندسی برق.

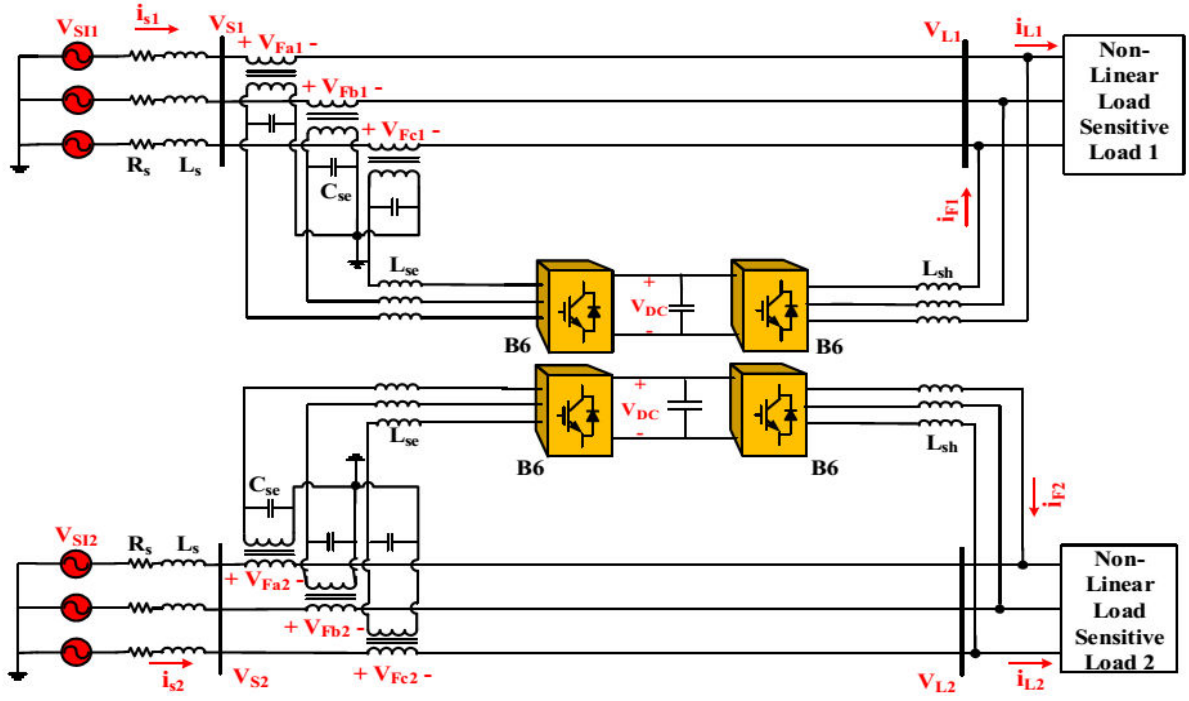
www.SID.ir

Archive of SID

۱- مقدمه

امروزه با افزایش استفاده از بارهای الکترونیکی غیرخطی در صنایع که منجر به تولید هارمونیک می‌شوند، چالش‌های زیادی برای شبکه برق و مشتریان ایجاد کرده است. با ظهور بارهای حساس مشترکین، در سال‌های اخیر به‌طور معتنابهی انتظارات مشترکین را برای داشتن کیفیت بهتر و قابلیت اطمینان بیش‌تر افزایش داده است. وقوع وقفه‌های موقتی و اغتشاشات ولتاژ یا اعوجاج که تا چند سال پیش بی‌اهمیت محسوب می‌شد، هم‌اکنون برای بارهای مدرن نقش مخربی را ایفا می‌کند. به‌گونه‌ای که مشکل کیفیت توان به یک مسئله مهم تبدیل شده است [۴-۱]. یکی از پیشنهادات برای کاهش مشکلات کیفیت برق، ساختار UPQC است که از ادغام مبدل‌های سری و موازی به همراه لینک dc به‌صورت پشت‌به‌پشت ایجاد می‌شود [۱۱-۵]. بنابراین این تجهیزات می‌توانند کمبود یا بیش‌بود را در نقطه اتصال به شبکه (PCC)، ضریب توان و اعوجاج هارمونیکی جریان منبع تغذیه را جبران‌سازی نمایند. نقش مبدل سری تزریق ولتاژ به خط به‌منظور جبران عدم‌تعادل، هارمونیک و اختلالات دیگر ولتاژ شبکه است. مبدل موازی نیز برای جلوگیری از ورود هارمونیک‌های جریان بار به شبکه، تصحیح ضریب قدرت بار و تنظیم ولتاژ لینک dc می‌باشد. ساختارهای مختلفی در جهت کاهش تعداد کلیدهای مبدل‌های قدرت در مقالات ارائه شده‌اند [۱۲]. اینورتر چهارکلیدی، اینورتر نه‌کلیدی [۱۳] و اینورتر پنج ساق [۱۴] نمونه‌هایی از اینورترهای کلید کاهش‌یافته می‌باشند. در این مقاله از این ساختارها جهت استفاده در UPQC به‌صورت چندمبدلی برای کاهش تعداد کلیدها استفاده شده است.

در [۱۵] یک مبدل جهت استفاده در UPQC که قادر به جبران‌سازی همزمان ولتاژ و جریان در سیستم‌های چندباسه (فیدر) است، تحت عنوان MC-UPQC ارائه شده است. این پیکربندی، شامل یک مبدل منبع ولتاژ موازی (VSC موازی) و دو VSC سری بوده و تمام مبدل‌ها به یک لینک dc مشترک متصل هستند. تعداد کلیدهای استفاده‌شده در این ساختار برابر هجده می‌باشد. بنابراین در این ساختار توان می‌تواند بین دو فیدر مجاور مبادله شود.



شکل ۱: ساختار **MC-UPQC** با اینورتر **B6**

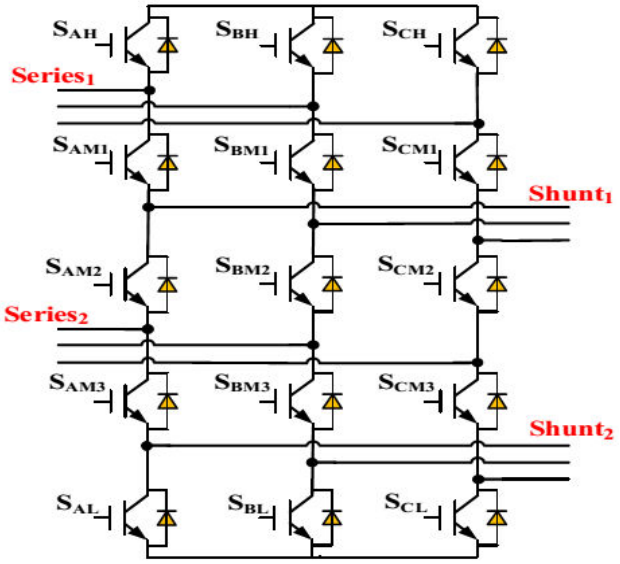
در [۱۶] از اینورتر نه‌کلیدی برای بهبود کیفیت توان بین دو فیدر مجاور استفاده شده است. این نوع اتصال UPQC بین دو فیدر را پایش‌گر یکپارچه کیفیت توان بین خطی (IUPQC) می‌نامند. در این ساختار مبدل دارای نه کلید است. یک فیدر با بار حساس در نظر گرفته شده و یکی از خروجی‌های مبدل به‌صورت سری به آن متصل و به‌عنوان جبران‌ساز سری UPQC عمل می‌کند. فیدر دوم دارای یک بار غیرخطی بوده و خروجی دیگر مبدل به‌صورت موازی به آن متصل و به عنوان جبران‌ساز موازی UPQC عمل می‌کند. در [۱۷] از UPQC مرسوم جهت بهبود کیفیت توان برای دو فیدر در سیستم توزیع ارائه شده است، به‌گونه‌ای که مبدل منبع ولتاژ سری به یک فیدر و مبدل منبع ولتاژ موازی به فیدر دیگر مشترکاً به باس dc متصل هستند.

در بخش دوم ساختار مبدل‌های پیشنهادی و روش مدولاسیون آن‌ها به‌طور مفصل توضیح داده می‌شود. در بخش سوم روش کنترل پیشنهادی برای مبدل‌های سری و موازی ارائه می‌گردد. بعد از معرفی ساختار مبدل و روش کنترلی پیشنهادی در بخش چهارم سایز مبدل‌های پیشنهادی و در بخش پنجم تلفات کلیدزنی محاسبه خواهد

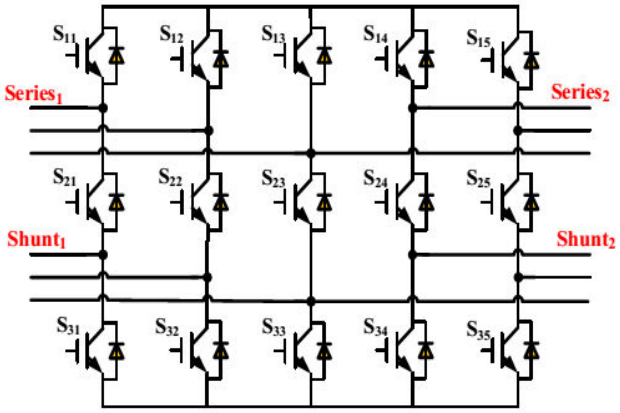
www.SID.ir

Archive of SID

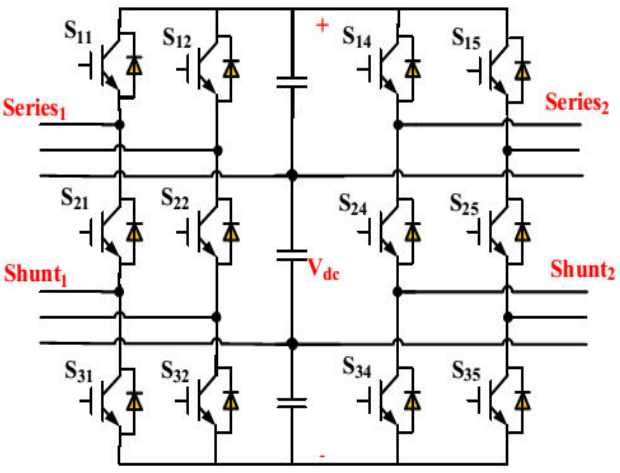
شد. در ادامه نتایج شبیه‌سازی جهت نشان دادن صحت سیستم پیشنهادی ارائه می‌شوند و نهایتاً در بخش آخر نتیجه‌گیری مقاله آورده شده است.



الف) مبدل ۱۵ کلیدی با سه ساق



ب) مبدل ۱۵ کلیدی با پنج ساق



ج) مبدل ۱۲ کلیدی با چهار ساق

شکل ۲: ساختارهای پیشنهادی برای IUPQC

۲- توصیف ساختار مبدل‌های پیشنهادی و طرح مدولاسیون

یک راه‌حل برای بهبود کیفیت توان در سیستم‌های چندباسه که در شکل ۱ نشان داده شده است استفاده از UPQC پشت‌به‌پشت برای هر فیدر بوده که در این حالت تعداد کلیدها و به‌دنبال آن مدار درایو افزایش می‌یابد و با افزایش المان‌های مدار قابلیت اطمینان سیستم کاهش می‌یابد. در این مقاله سه ساختار مبدل ۱۵ کلیدی با سه ساق، مبدل ۱۵ کلیدی با پنج ساق و مبدل ۱۲ کلیدی با چهار ساق پیشنهاد شده است که به تفصیل هر یک بررسی می‌شوند.

۲-۱- توصیف ساختار مبدل های پیشنهادی

اولین ساختار در شکل ۲-الف نشان داده شده است که دارای سه ستون و در هر ستون دارای پنج کلید می‌باشد. این ساختار جهت بهبود کیفیت توان در دو فیدر مجاور می‌تواند مورداستفاده قرار بگیرد. این ساختار درواقع ترکیب دو UPQC است که در حالت پشت‌به‌پشت نیاز به چهار اینورتر، شامل دو اینورتر موازی و دو اینورتر سری است و مجموع کلیدها در حالت پشت‌به‌پشت بیست‌وچهار عدد است، درحالی‌که در مبدل پیشنهادی نیاز به پانزده کلید است. بنابراین در ساختار پیشنهادی تعداد نه کلید صرفه‌جویی شده است.

دومین ساختار نیز در شکل ۲-ب نشان داده شده است دارای پنج ساق و در هر ساق دارای سه کلید است. در این ساختار در مقایسه با حالتی که از چهار مبدل شش کلیدی معمولی استفاده می‌شود، به تعداد نه کلید صرفه‌جویی شده است. همچنان‌که در این شکل مشاهده می‌شود، این ساختار همانند دو مبدل نه کلیدی بوده که فاز سوم تمام خروجی‌ها مشترکاً از یک ساق گرفته می‌شوند. بنابراین این عملکرد موجب کاهش بهره ولتاژ هر پایانه می‌گردد. سایز کلیدها در این مبدل نسبت به مبدل پیشنهادی شکل ۲-الف کوچک‌تر است. چراکه در مبدل پیشنهادی شکل ۲-الف به دلیل سری بودن تمام کلیدها منجر به عبور جریان تمام خروجی‌ها از برخی کلیدها می‌گردید.

سومین ساختار نیز در شکل ۲-ج دیده می‌شود دارای چهار ساق و در هر ساق دارای سه کلید است و در ساق پنجم از یک مقسم خازنی استفاده شده و فاز سوم خروجی‌های مبدل از مقسم خازنی گرفته می‌شوند. همان‌طور که گفته شد در مبدل پیشنهادی نیاز به دوازده کلید است که به میزان دوازده کلید نسبت به حالت پشت‌به‌پشت مرسوم و سه کلید نسبت به دو ساختار معرفی‌شده پیشین صرفه‌جویی شده است.

۲-۲- طرح کلیدزنی مبدل‌های پیشنهادی

ساختار پیشنهادی اول، یک مبدل با چهار خروجی AC مستقل (از نظر فرکانس، دامنه و فاز) است که تنها از پانزده کلید نیمه‌هادی استفاده می‌کند. مبدل ۱۵کلیده سه‌ساق در حقیقت شامل چهار اینورتر ۶کلیده است. شکل ۳-الف روش کلیدزنی PWM بر اساس موج حامل برای اینورتر ۱۵کلیده با سه ساق را نشان می‌دهد. برای هر فاز اینورتر چهار

www.SID.ir

Archive of SID

سیگنال مرجع متناسب با چهار خروجی اینورتر (سری۱، شنت۱، سری۲ و شنت۲) وجود دارد [۱۸]:

$$\begin{aligned} V_{ref_{iU}} &= m_i \sin(2\pi f_i t + \phi_i) + Offset_i \\ V_{ref_{iV}} &= m_i \sin(2\pi f_i t - 2\pi/3 + \phi_i) + Offset_i \\ V_{ref_{iW}} &= m_i \sin(2\pi f_i t + 2\pi/3 + \phi_i) + Offset_i \\ i &= 1,2,3,4 \ (Series1, Shunt1, Series2, Shunt2) \end{aligned} \quad (۱)$$

در این روابط m_i ، φ_i به ترتیب دامنه شکل موج‌های مرجع و اختلاف فاز بین آن‌ها، و f_i ، $Offset_i$ به ترتیب فرکانس زاویه‌ای خروجی‌های اینورتر و مقدار آفست موج‌های مرجع، و زیرنویس i به ترتیب متناظر با خروجی‌های سری ۱، شنت ۱، سری ۲ و شنت ۲ می‌باشند. برای جلوگیری از تداخل سیگنال‌های مرجع پایینی و بالایی مقدار آفست اضافه می‌شود. سیگنال‌های کلیدزنی برای کلیدهای بالایی و پائینی هر بازو از مقایسه موج حامل و سیگنال مرجع مربوط به آن فاز تولید می‌شود. بنابراین در هر بازو حداکثر چهار کلید می‌توانند روشن شوند. سیگنال‌های کلیدهای میانی هر ساق از عملگر منطقی XOR به دست می‌آیند. نحوه تولید سیگنال‌های کلیدزنی کلیدها برای حالتی که سیگنال‌های مرجع دارای فرکانس‌های متفاوت (DF= Different Frequency) هستند در شکل ۳-ب نشان داده شده است. برای درستی عملکرد مبدل، دامنه این سیگنال‌ها باید به‌گونه‌ای باشند که سیگنال‌ها باهم تداخل نداشته باشند. بنابراین مجموع دامنه سیگنال‌های مرجع باید کم‌تر از یک باشند. زمانی‌که فرکانس هر دو سیگنال مرجع یکسان (CF= Constant Frequency) باشد، مجموع دامنه سیگنال‌های مرجع با توجه به اختلاف فاز آن‌ها می‌تواند افزایش یابد. شکل ۳-ج کلیدزنی برای حالت CF را نشان می‌دهد.

رابطه مقادیر $Offset_i$ با ضرایب مدولاسیون m_i به‌صورت زیر بیان می‌شود:

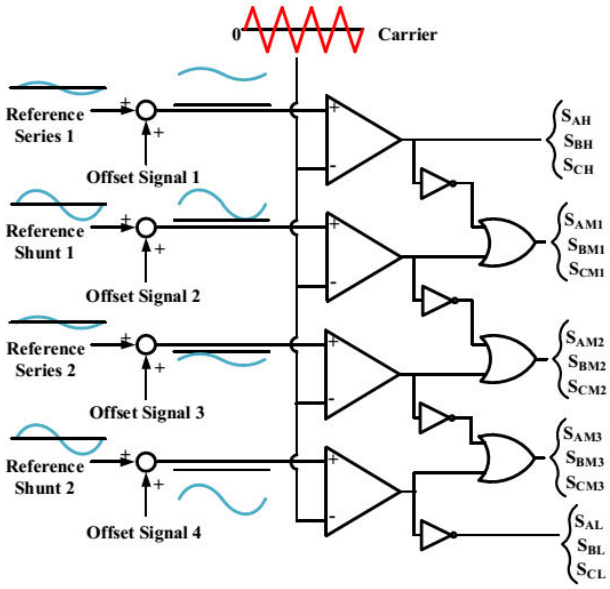
$$offset_i = (1 - m_i - 2\sum_{n=1}^{i-1} m_n).V_C \quad (۲)$$

که V_C دامنه موج حامل می‌باشد.

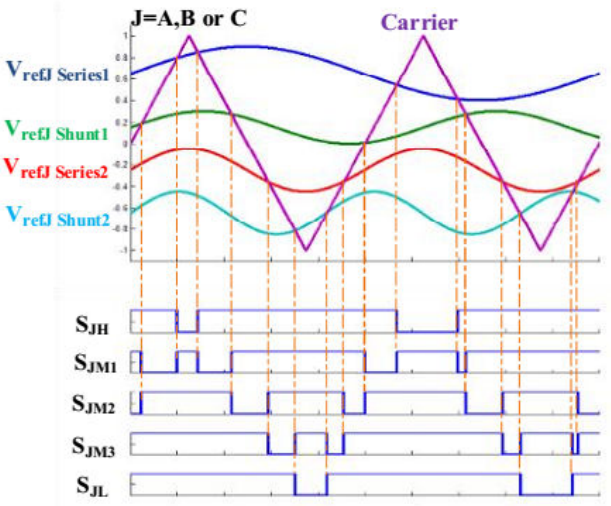
$$\sum_{i=1}^{n} m_i = 1 \quad (۳)$$

مبدل پیشنهادی دوم نیز دارای چهار سیگنال مرجع متناسب با چهار خروجی اینورتر است. موج‌های مرجع دو فاز مستقل با تفاضل فاز سوم به دست می‌آیند و دارای ۶۰ درجه اختلاف فاز می‌باشند. تفاضل فاز مشترک با خودش صفر می‌گردد، بنابراین دارای ضریب مدولاسیون صفر می‌باشد و مقادیر $Offset_i$ برای جلوگیری از تداخل سیگنال‌های مرجع پایینی و بالایی به آن‌ها اضافه می‌شوند [۱۴].

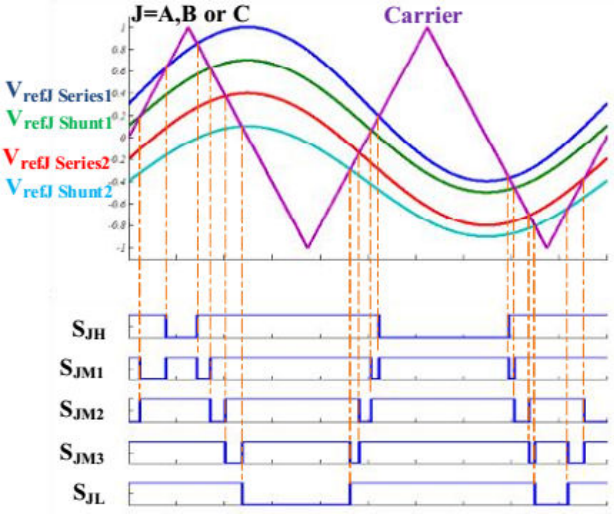
$$\begin{aligned} V_{ref_{iU}} &= m_i \sin(2\pi f_i t + \phi_i) + Offset_i \\ V_{ref_{iV}} &= m_i \sin(2\pi f_i t - \pi/3 + \phi_i) + Offset_i \\ V_{ref_{iW}} &= Offset_i \\ i &= 1,2,3,4 \ (Series1 \& Shunt1 \& Series2 \& Shunt2) \end{aligned} \quad (۴)$$



(الف)



(ب)

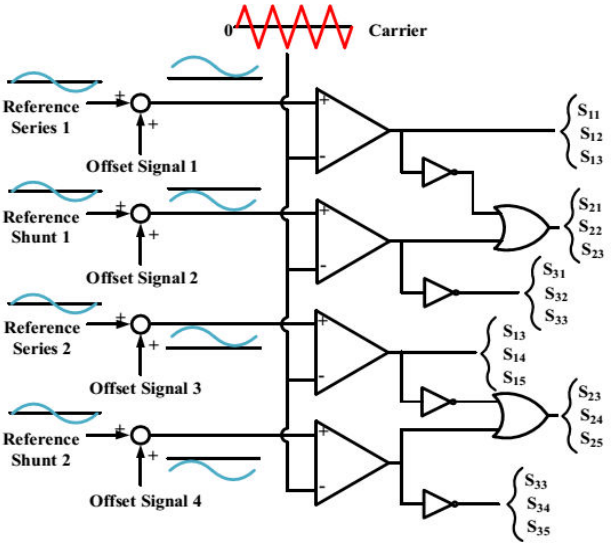


(ج)

شکل ۳: کلیدزنی **PWM** برای ساختار ۱۵ سوئیچه با سه ساق؛ الف) نحوه عملکرد کلیدزنی **PWM**، ب) حالت **DF**، ج) حالت **CF**

www.SID.ir

Archive of SID



شکل ۴: نحوه کلیدزنی **PWM** برای ساختار ۱۵ کلیده با پنج ساق

نحوه کلیدزنی PWM برای مبدل پیشنهادی ۱۵ کلیده با پنج ساق در شکل ۴ نشان داده شده است.

مبدل پیشنهادی سوم نیز دارای چهار سیگنال مرجع متناسب با چهار خروجی اینورتر می‌باشد. روش کلیدزنی این ساختار پیشنهادی همانند مبدل پیشنهادی دوم می‌باشد با این تفاوت که سیگنال مرجع فاز سوم به‌دلیل این‌که در ساق سوم از لینک dc استفاده شده است، وجود ندارد و از طریق دو فاز دیگر ولتاژ خازن‌ها کنترل می‌گردند [۱۹].

$$V_{ref_{iU}} = m_i \sin(2\pi f_i + \phi_i) + Offset_i$$
$$V_{ref_{iV}} = m_i \sin(2\pi f_i + \pi/3 + \phi_i) + Offset_i \quad (۵)$$
$$i = 1,2,3,4 \ (\text{Series}1 \ \& \ \text{Shunt}1 \ \& \ \text{Series}2 \ \& \ \text{Shunt}2)$$

۳- روش کنترل مبدل‌های پیشنهادی

در این مقاله از تئوری قاب مرجع سنکرون (تبدیل پارک) در مدار کنترل پایش‌گر یکپارچه کیفیت توان بین‌خطی استفاده شده است. روش مدولاسیون استفاده‌شده برای کنترل مبدل سری و موازی از نوع مدولاسیون پهنای پالس (PWM) استفاده گردیده است. انواع روش‌های مختلف مدولاسیون پهنای پالس مبتنی بر سیگنال‌های حامل در [۲۰] معرفی شده‌اند.

سیستم کنترلی پایش‌گر یکپارچه کیفیت توان بین‌خطی را می‌توان به دو بخش تقسیم کرد [۲۱]:

- سیستم کنترلی اینورتر موازی ۱ و ۲
- سیستم کنترلی اینورتر سری ۱ و ۲

سیستم کنترلی اینورتر موازی برای مبدل پیشنهادی اول و مبدل‌های پیشنهادی دوم و سوم که به ترتیب در شکل ۵-الف و شکل ۵-ب نشان داده شده از تئوری قاب مرجع سنکرون استفاده می‌شود.

i_{la}, i_{lb}, i_{lc} جریان‌های بار و v_{sa}, v_{sb}, v_{sc} ولتاژهای منبع هستند. با استفاده از تبدیل قاب مرجع سنکرون جریان‌های اندازه‌گیری‌شده بار به قاب dq0 تبدیل می‌شوند. مؤلفه‌های d و q جریان بار را می‌توان به دو مؤلفه ac و dc تقسیم نمود. قسمت‌های ac و dc توسط یک فیلتر پایین‌گذر از یکدیگر جدا می‌شوند:

$$i_{ld} = \bar{i}_{ld} + \tilde{i}_{ld}, \quad i_{lq} = \bar{i}_{lq} + \tilde{i}_{lq} \quad (۶)$$

به‌منظور تصحیح ضریب قدرت سیستم و جبران مؤلفه‌های هارمونیک جریان، جریان‌های مرجع مبدل موازی از رابطه زیر به دست می‌آیند:

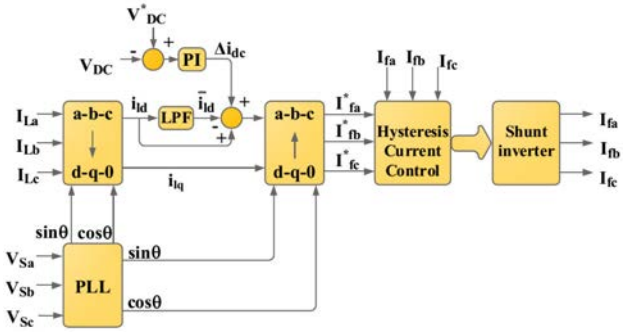
$$i^*_{fd} = \tilde{i}_{ld}, \quad i^*_{fq} = i_{lq} \quad (۷)$$

با تزریق جریان‌های مرجع توسط مبدل موازی جریان‌های سمت شبکه به‌صورت زیر خواهند بود:

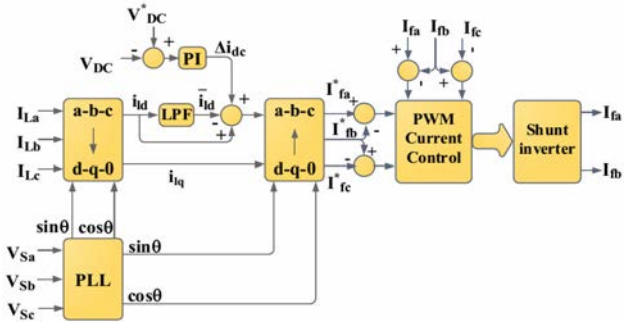
$$i_{sd} = \bar{i}_{lq}, \quad i_{sq} = 0 \quad (۸)$$

تلفات کلیدزنی و دریافت توان از لینک dc از طریق اینورتر سری می‌تواند باعث کاهش مقدار متوسط ولتاژ باس dc شود. اعوجاج‌های دیگر مانند شرایط نامتعادلی و تغییرات ناگهانی در جریان بار می‌توانند باعث نوسانات در ولتاژ باس dc شود. به‌منظور تثبیت ولتاژ لینک dc از یک کنترل‌کننده PI استفاده می‌شود. سیگنال کنترلی به‌دست‌آمده از کنترل‌کننده PI به مؤلفه d جریان مرجع مبدل سری همچنان‌که در شکل ۵ دیده می‌شود و بدین ترتیب مبدل موازی با جذب یا تزریق توان اکتیو از شبکه ولتاژ لینک dc را تثبیت می‌کند. Δi_{dc} خروجی کنترل‌کننده PI به مؤلفه d جریان مرجع اضافه می‌شود و نهایتاً جریان مرجع با رابطه زیر بیان می‌شود.

$$i^*_{cd} = \tilde{i}_{ld} + \Delta i_{dc}, \quad i^*_{cq} = i_{lq} \quad (۹)$$



(الف) کنترل سیستم اینورتر موازی برای ساختار پیشنهادی ۱



(ب) کنترل سیستم اینورتر موازی برای ساختار پیشنهادی ۲ و ۳

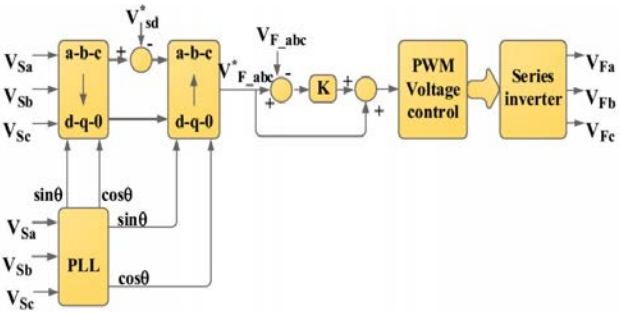
شکل ۵: کنترل سیستم اینورتر موازی برای ساختارهای پیشنهادی

www.SID.ir

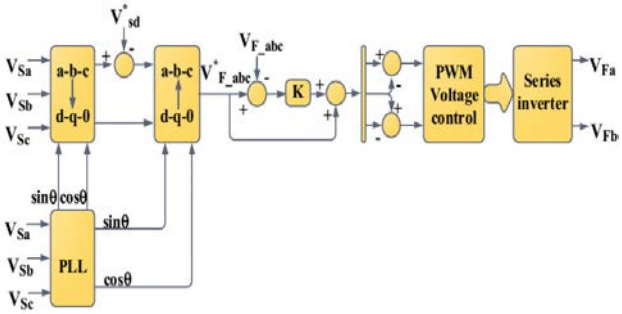
Archive of SID

در ساختار اول، جریان‌های مرجع در قاب dq از طریق معکوس تبدیل قاب مرجع سنکرون به دست آمده و به مؤلفه‌های abc تبدیل می‌شوند. اختلاف جریان‌های مرجع ($i^*_{fa}, i^*_{fb}, i^*_{fc}$) با جریان‌های خروجی اینورتر موازی (i_{fa}, i_{fb}, i_{fc}) وارد بلوک کنترل‌کننده PWM شده و سیگنال‌های گیت کلیدهای اینورتر موازی تولید می‌شوند (شکل ۵-الف). در ساختارهای دوم و سوم، جریان‌های مرجع سه فاز و جریان‌های خروجی اینورتر موازی به دو فاز تبدیل شده و سپس اختلاف آن‌ها وارد بلوک کنترل‌کننده PWM می‌گردد (شکل ۵-ب).

کنترل ولتاژ سمت بار توسط قسمت مبدل سری ۱ و ۲ پایش‌گر یکپارچه کیفیت توان بین‌خطی انجام می‌گیرد. کنترل‌کننده قسمت سری IUPQC، به‌منظور جبران‌سازی اعوجاج ولتاژ و حفظ تعادل ولتاژ بار طراحی می‌شود. در این مقاله برای رسیدن به اهداف فوق‌الذکر از تئوری قاب مرجع سنکرون استفاده شده است. سیستم کنترلی اینورتر سری ساختار اول و ساختارهای دوم و سوم به ترتیب در شکل ۶-الف و شکل ۶-ب نشان داده شده است. از روش SPWM به‌عنوان روش مدولاسیون مبدل سری استفاده گردیده است. به‌منظور جبران‌سازی ولتاژ بار، اختلاف بین ولتاژ مرجع بار و ولتاژ شبکه که همان ولتاژ مرجع مبدل سری است محاسبه و با مقادیر اندازه‌گیری‌شده ولتاژ تزریقی مقایسه می‌گردد. خروجی مقایسه‌کننده به یک کنترل‌کننده تناسبی انتگرال و نهایتاً با استفاده از روش مدولاسیون پهنای پالس، سیگنال‌های گیت کلیدهای مبدل سری ایجاد می شوند.



(الف) کنترل سیستم اینورتر سری برای ساختار پیشنهادی ۱



(ب) کنترل سیستم اینورتر سری برای ساختار پیشنهادی ۲ و ۳

شکل ۶: کنترل سیستم اینورتر سری برای ساختارهای پیشنهادی

مقادیر پارامترهای سیستم کنترلی در جدول ۱ آورده شده است. با توجه به اینکه کنترل‌کننده PI فقط برای تثبیت لینک dc مورداستفاده قرار گرفته شده است جدول ۱ برای هر سه مبدل پیشنهادی صادق است.

جدول۱: مقادیر پارامترهای کنترل‌کننده

اینورتر سری ۱	اینورتر سری ۲	اینورتر موازی ۱		اینورتر موازی ۲	
k	k	k_p	k_i	k_p	k_i
۵	۵	۰/۵	۰/۰۱	۰/۵	۰/۰۱

۴- محاسبه مقادیر نامی کلید در ساختارهای پیشنهادی

پیک جریان‌های خروجی جبران‌ساز سری ۱ و موازی ۱ به‌صورت زیر به دست می‌آیند:

$$I_{PK-se1} = \frac{2P_{se1}}{3V_{ph-se1}PF_{se1}} \quad (۱۰)$$

$$I_{PK-sh1} = \frac{2P_{sh1}}{3V_{ph-sh1}PF_{sh1}} \quad (۱۱)$$

پیک جریان‌های خروجی جبران‌ساز سری ۲ و موازی ۲ نیز به‌صورت زیر به دست می‌آیند:

$$I_{PK-se2} = \frac{2P_{se2}}{3V_{ph-se2}PF_{se2}} \quad (۱۲)$$

$$I_{PK-sh2} = \frac{2P_{sh2}}{3V_{ph-sh2}PF_{sh2}} \quad (۱۳)$$

در معادلات فوق P_o ,V_{ph} ,PF به‌ترتیب توان، ولتاژ فازی و ضریب توان خروجی‌ها می‌باشند.

ولتاژ فاز با ضریب مدولاسیون و لینک dc رابطه مستقیمی دارد و با توجه به ساختارهای پیشنهادی که ضریب مدولاسیون کل به ضریب مدولاسیون مبدل‌های سری و موازی ۱ و ۲ تقسیم می‌شود. بنابراین ضریب مدولاسیون هر پایانه کاهش خواهد یافت. در مبدل پیشنهادی ۱ و ۲، برای جبران نمودن کاهش ضریب مدولاسیون می‌بایست ولتاژ لینک dc به مقدار $۲\sqrt{۳}$ و در مبدل پیشنهادی سوم، به مقدار ۶ برابر ولتاژ لینک dc مبدل پشت‌به‌پشت انتخاب می‌شود. ماکزیمم ولتاژ معکوس برای مبدل‌های پیشنهادی در جدول ۲ محاسبه شده است.

جدول ۲: مقادیر **PIV** و تعداد کلید ها برای ساختارهای مختلف **UPQC**

	MC-UPQC	ساختار پیشنهادی ۱	ساختار پیشنهادی ۲	ساختار پیشنهادی ۳
PIV	$۲۴V_{dc}$	$۳۰\sqrt{۳}\times V_{dc}$	$۳۰\sqrt{۳}\times V_{dc}$	$۷۲V_{dc}$
تعداد کلیدها	۲۴	۱۵	۱۵	۱۲

به‌منظور ایجاد ولتاژهای یکسان توسط مبدل‌های کاهش کلیدیافته در مقایسه با مبدل‌های مرسوم بایستی ولتاژ لینک DC افزایش داده شود. لیکن در کاربرد UPQC چون یکی از مبدل‌ها به‌صورت سری و دیگری به‌صورت موازی در مدار قرار می‌گیرند و با توجه به این نکته که در UPQC و کلا جبران‌سازهای سری ولتاژ تزریقی سری در حدود حداکثر ۰/۲ الی ۰/۳ پریونیت است لذا در چنین کاربردهایی با کاهش

www.SID.ir

Archive of SID

اندیس مدولاسیون مبدل سری و افزایش اندیس مدولاسیون مربوط به مبدل موازی می‌توان ولتاژ لینک dc را کاهش داد.

۵- محاسبه تلفات **IGBT** برای ساختارهای پیشنهادی

در این مقاله با کاهش تعداد کلیدها برای مبدل‌های پیشنهادی، مقدار PIV کلیدها افزایش می‌یابد و افزایش PIV یک عیب برای مبدل محسوب می‌گردد. بنابراین مبدل‌های پیشنهادی از لحاظ تلفات موردبررسی و مقایسه قرار گرفته‌اند.

تلفات در مبدل‌های قدرت (P_L) معمولاً از دو بخش تلفات هدایتی (P_{cond}) و تلفات کلیدزنی (P_{sw}) تشکیل می‌شود. تلفات هدایتی از ایده‌آل نبودن مشخصه ولتاژ- جریان نیمه‌هادی (دیود و IGBT) ناشی می‌شود و تلفات کلیدزنی به علت تغییرات شدید جریان و ولتاژ هر کلید در لحظات کلیدزنی به وجود می‌آید [۲۲ و ۲۳].

۵-۱- محاسبه تلفات هدایتی

برای به دست آوردن تلفات هدایتی، توان لحظه‌ای تلف‌شده در نیمه‌هادی بر اساس ولتاژ و جریان لحظه‌ای آن حساب شده و سرانجام مقدار متوسط توان لحظه‌ای محاسبه می‌شود. ولتاژ کلکتور- امیتر IGBT برحسب جریان کلکتور را می‌توان با استفاده از تقریب رابطه زیر محاسبه نمود:

$$u_{CE}(i_C) = u_{CE0} + r_C.i_C \qquad (۱۴)$$

u_{CE0}، ولتاژ کلکتور- امیتر در حالت جریان صفر و r_c: مقاومت کلکتور- امیتر است.

ولتاژ دو سر دیود نیز به‌صورت زیر بیان می‌شود:

$$u_{CE}(i_C) = u_{CE0} + r_C.i_C \qquad (۱۵)$$

تلفات هدایتی IGBT به‌صورت زیر بیان می‌شوند:

$$p_{CT}(t) = u_{CE}(t).i_C(t) = u_{CE0}.i_C(t) + r_C.i_C^2(t) \qquad (۱۶)$$

اگر مقدار متوسط جریان IGBT، I_{Cav} و جریان موثر I_{Crms} باشد متوسط تلفات هدایتی به‌صورت زیر محاسبه می‌شود:

$$P_{CT} = \frac{1}{T_{sw}}\int_0^{T_{sw}} p_T(t)dt = \frac{1}{T_{sw}}\int_0^{T_{sw}} (u_{CE0}.i_C(t) + r_C.i_C^2(t))dt = u_{CE0}.i_{Cav} + r_C.i_{Cms}^2 \qquad (۱۷)$$

همچنین برای دیود داریم:

$$p_{CD}(t) = u_D(t).i_D(t) = u_{D0}.i_F(t) + r_D.i_D^2(t) \qquad (۱۸)$$

اگر مقدار متوسط جریان دیود، I_{Da} و جریان مؤثر I_{Drms} باشد، متوسط تلفات هدایتی در یک سیکل کلیدزنی ($T_{sw}=1/f_{sw}$) به‌صورت زیر محاسبه می‌شود:

$$P_{CD} = \frac{1}{T_{sw}}\int_0^{T_{sw}} p_{CD}(t)dt = \frac{1}{T_{sw}}\int_0^{T_{sw}} (u_{D0}.i_D(t) + r_D.i_D^2(t))dt = u_{D0}.i_{Dav} + r_D.i_{Drms}^2 E \qquad (۱۹)$$

۵-۲- تلفات کلیدزنی

انرژی تلف‌شده در لحظه روشن شدن IGBT (E_{onT}) برابر با مجموع انرژی بدون در نظر گرفتن بازیابی معکوس در لحظه روشن شدن (E_{onTi}) و انرژی بازیابی معکوس توسط دیود هرزگرد در لحظه روشن شدن کلید (E_{onTrr}) است:

$$E_{onT} = \int_0^{t_{ri}+t_{fu}} (u_{ce}.i_c(t)dt = E_{onTi} + E_{onTrr} \qquad (۲۰)$$

پیک جریان بازیابی معکوس به‌صورت زیر بیان می‌شود:

$$I_{Drrpeak} = \frac{2.Q_{rr}}{t_{rr}} \qquad (۲۱)$$

برای تلفات انرژی روشن شدن دیود (E_{onD}) نیز می‌توان نوشت:

$$E_{onD} = \int_0^{t_{ri}+t_{fu}} (u_D(t).i_F(t)\,dt \approx E_{onDrr} = \frac{1}{4}.Q_{rr}.U_{Drr} \qquad (۲۲)$$

U_{Drr} : ولتاژ دو سر دیود در زمان بازیابی معکوس که در بدترین حالت برابر منبع تغذیه می‌باشد ($U_{Drr}=V_{DD}$).

انرژی تلف‌شده در لحظه خاموش شدن IGBT (E_{offT}) به روشی مشابه محاسبه می‌شود. معمولاً تلفات دیود در لحظه خاموش شدن در نظر گرفته نمی‌شود ($E_{offD}=0$):

$$E_{offT} = \int_0^{t_{ru}+t_{fi}} u_{ce}(t).i_c(t)\,dt \qquad (۲۳)$$

تلفات کلیدزنی IGBT و دیود با حاصل‌ضرب انرژی کلیدزنی و فرکانس کلیدزنی (f_{sw}) به دست می‌آید:

$$P_{swM} = (E_{onM} + E_{offM}).f_{sw}$$
$$P_{swD} = (E_{onD} + E_{offD}).f_{sw} \approx P_{swM} = E_{onD}.f_{sw} \qquad (۲۴)$$

۶- نتایج شبیه‌سازی

در این مقاله، سیستم قدرت تحت یک سیستم سه‌فاز سه‌سیمه می‌باشد که یک بار غیرخطی متشکل از یک یکسوساز پل دیودی سه‌فاز با بار RL را تغذیه می‌نماید شکل ۷. مشخصات سیستم تست و بار در جدول ۳ داده شده است. مشخصات سمت شبکه، از قبیل دامنه ولتاژ، فرکانس، نوع اغتشاش و مدت‌زمان اغتشاش برای هر سه ساختار در جدول ۴ آورده شده است. اغتشاشات مختلف ولتاژ از سمت شبکه به بار اعمال گردیده‌اند. نتایج شبیه‌سازی نشان می‌دهند که ولتاژ با عملکرد مناسب اینورترهای سری IUPQC در حضور اغتشاشات مختلف در سمت ولتاژ

www.SID.ir

Archive of SID

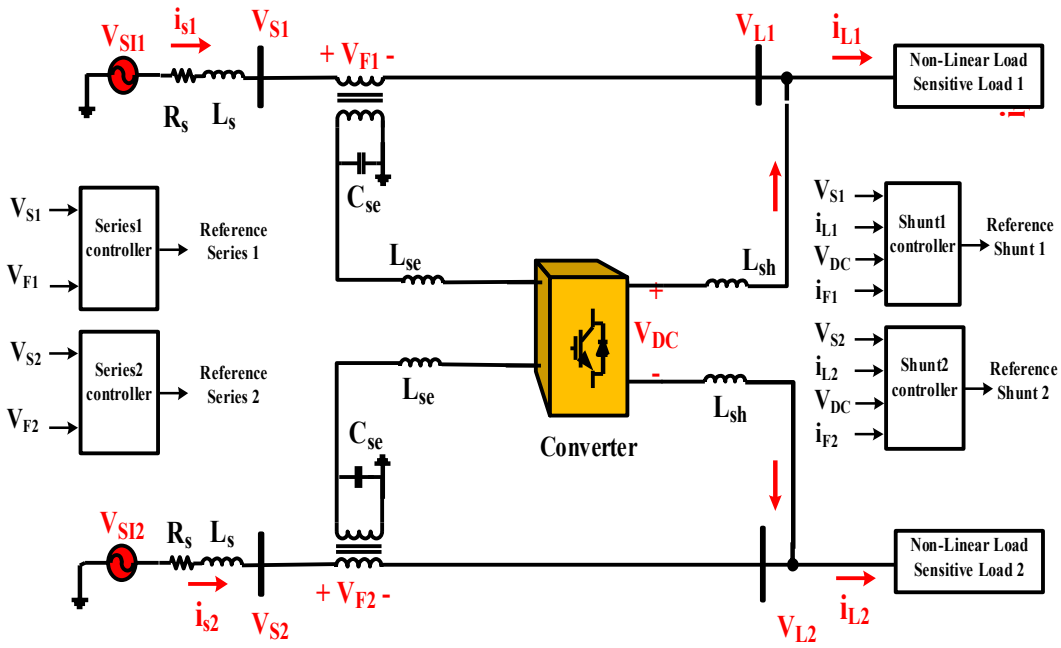
منبع، این اغتشاشات در ولتاژ سمت بار مشاهده نمی‌شوند (شکل‌های ۸، ۹ و ۱۰).

جدول ۳: پارامترهای سیستم موردمطالعه

پارامتر	مقدار
ولتاژ فازی منبع (rms)	$۲۲۰V$ / $۵۰Hz$
مقاومت بار (R_l)	۱۱Ω
اندوکتانس بار (L_l)	$۱۱mH$
ولتاژ لینک DC برای ساختارهای اول و دوم	$۲۱۰۰V$
ولتاژ لینک DC برای ساختار سوم	$۳۰۰۰V$
اندوکتانس اینورتر موازی (L_f)	$۳mH$
کاپاسیتانس اینورتر موازی(C_f)	$۱۰\mu f$
اندوکتانس اینورتر سری (L_s)	$۳mH$
کاپاسیتانس اینورتر سری (C_s)	$۱۵\mu f$
مقاومت اینورتر سری (R_s)	۱۲Ω
فرکانس کلیدزنی	$۷kHz$

جدول ۴: مشخصات اغتشاش‌های سمت شبکه

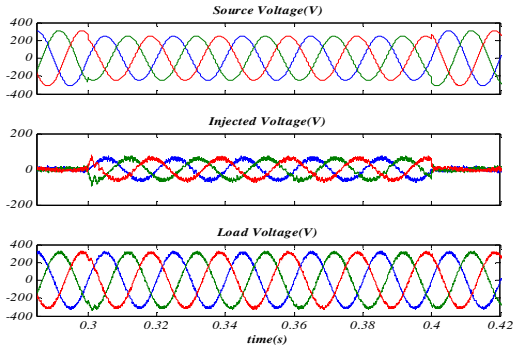
	فرکانس	دامنه ولتاژ اغتشاش	مدت زمان برای منبع ۲	مدت زمان برای منبع ۱	نوع اغتشاش
ساختارهای پیشنهادی ۱ و ۲	۵۰ Hz	۶۲ V	۰/۳۵-۰/۴۵ s	۰/۳-۰/۴ s	Sag
	۵۰ Hz	۶۲ V	۰/۵۵-۰/۶۵ s	۰/۵-۰/۶ s	Swell
	۲۰ Hz	۷۰ V	۰/۷۵-۰/۸۵ s	۰/۷-۰/۸ s	Flicker
	۲۵۰، ۳۵۰ و ۵۵۰ Hz	۳۰، ۵۰ و ۷۰ V	۰/۹۵-۱/۰۵ s	۰/۹-۱ s	harmonic
ساختار پیشنهادی ۳	۵۰ Hz	۶۲ V	۱/۱۵-۱/۲۵ s	۱/۱-۱/۲ s	Sag
	۵۰ Hz	۶۲ V	۱/۴۵-۱/۵۵ s	۱/۴-۱/۵ s	Swell
	۲۰ Hz	۷۰ V	۱/۷۵-۱/۸۵ s	۱/۷-۱/۸ s	Flicker
	۲۵۰، ۳۵۰ و ۵۵۰ Hz	۳۰، ۵۰ و ۷۰ V	۲/۰۵-۲/۱۵ s	۲-۲/۱ s	harmonic



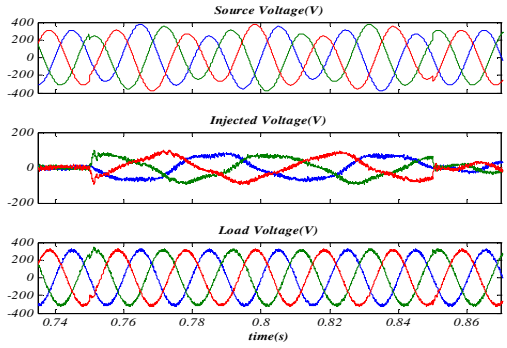
شکل ۷: سیستم موردمطالعه

www.SID.ir

Archive of SID

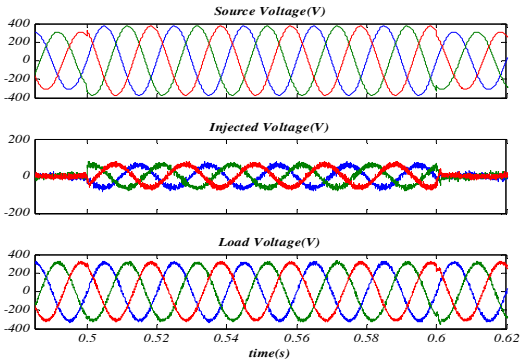


a) نتایج مربوط به خط ۱

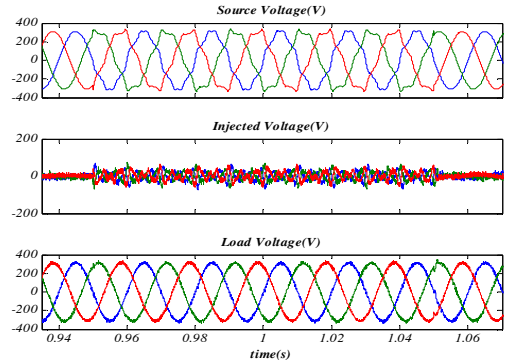


b) نتایج مربوط به خط ۲

شکل ۸: ولتاژ سمت شبکه، ولتاژ تزریقی به‌وسیله اینورترهای سری در ساختار پیشنهادی ۱ و ولتاژ سمت بار به ازای اغتشاش‌های مختلف در سمت شبکه

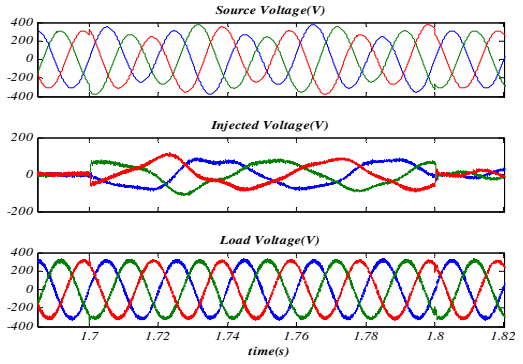


a) نتایج مربوط به خط ۱

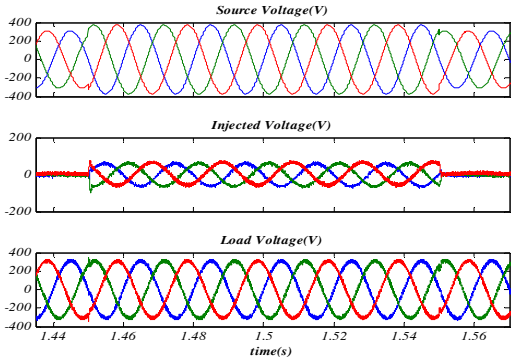


b) نتایج مربوط به خط ۲

شکل ۹: ولتاژ سمت شبکه، ولتاژ تزریقی به‌وسیله اینورترهای سری در ساختار پیشنهادی ۲ و ولتاژ سمت بار به ازای اغتشاش‌های مختلف در سمت شبکه



a) نتایج مربوط به خط ۱



b) نتایج مربوط به خط ۲

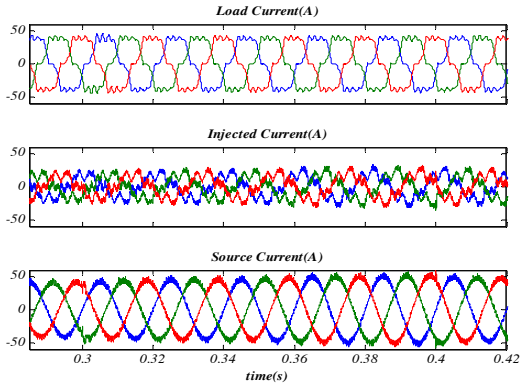
شکل ۱۰: ولتاژ سمت شبکه، ولتاژ تزریقی به‌وسیله اینورترهای سری در ساختار پیشنهادی ۳ و ولتاژ سمت بار به ازای اغتشاش‌های مختلف در سمت شبکه

برای نشان دادن عملکرد اینورتر موازی ۱ و ۲، دو بار غیرخطی که هر یک شامل یک یکسوکننده با THD جریان بیش از ۱۷٪ به شبکه ۱ و ۲ متصل و نتایج آن را بررسی می‌کنیم. جریان سمت منبع، جریان سمت بار و جریان تزریقی توسط اینورتر شنت ۱ و ۲ برای برخی از اغتشاشات در سمت ولتاژ منبع ۱ و ۲ در شکل‌های ۱۱، ۱۲و ۱۳ نشان داده شده است.

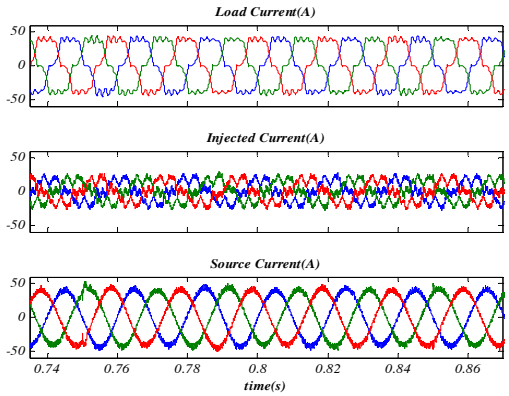
نتایج ارائه‌شده نشان می‌دهند که با عملکرد مناسب مبدل موازی ۱ و ۲ جریان سمت منبع ۱ و ۲ اصلاح شده‌اند و بدون هارمونیک و هم‌فاز با ولتاژ سمت منبع می‌باشند (شکل‌های ۱۴، ۱۵ و ۱۶). به‌عبارت‌دیگر، با جبران‌سازی توان راکتیو توسط IUPQC، از سمت منبع توان راکتیوی کشیده نمی‌شود و توان راکتیو موردنیاز بار از طریق IUPQC تأمین می‌گردد.

www.SID.ir

Archive of SID

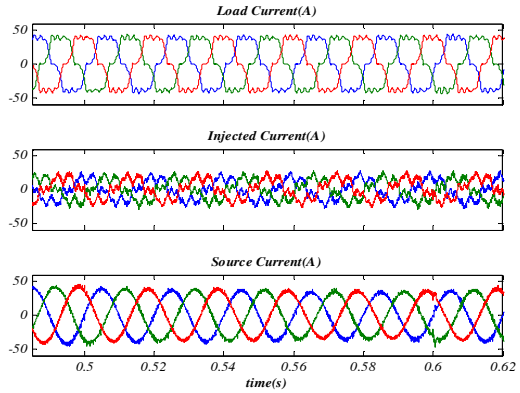


a) نتایج مربوط به خط ۱

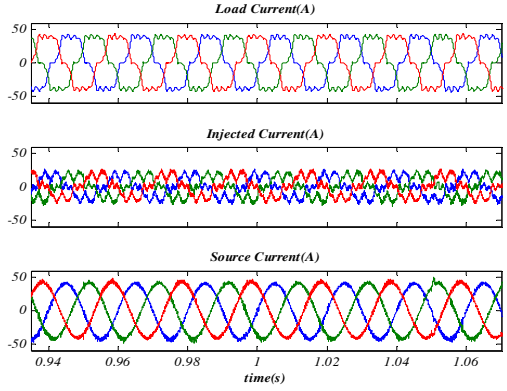


b) نتایج مربوط به خط ۲

شکل ۱۱: جریان سمت بار، جریان تزریقی به‌وسیله اینورترهای موازی در ساختار پیشنهادی ۱ و جریان سمت شبکه به ازای اغتشاش‌های مختلف در سمت شبکه

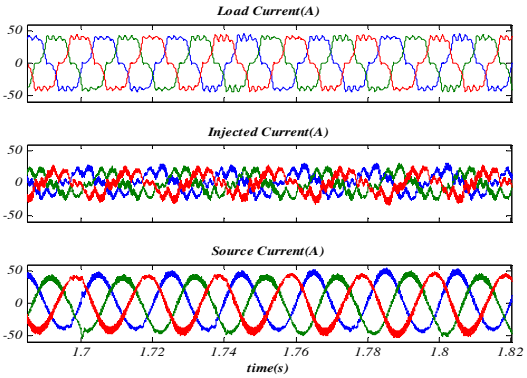


a) نتایج مربوط به خط ۱

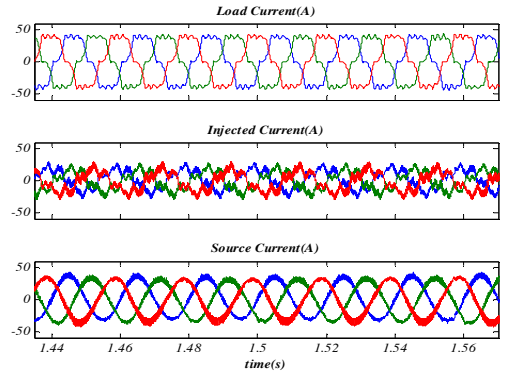


b) نتایج مربوط به خط ۲

شکل ۱۲: جریان سمت بار، جریان تزریقی به‌وسیله اینورترهای موازی در ساختار پیشنهادی ۲ و جریان سمت شبکه به ازای اغتشاش‌های مختلف در سمت شبکه

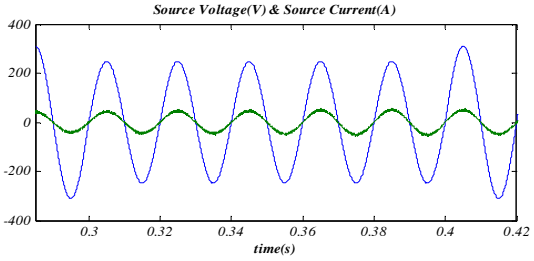


a) نتایج مربوط به خط ۱

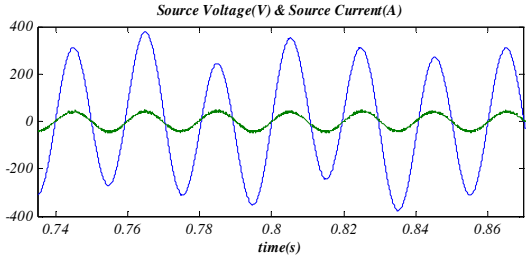


b) نتایج مربوط به خط ۲

شکل ۱۳: جریان سمت بار، جریان تزریقی به‌وسیله اینورترهای موازی در ساختار پیشنهادی ۳ و جریان سمت شبکه به‌ازای اغتشاش‌های مختلف در سمت شبکه



a) نتایج مربوط به خط ۱

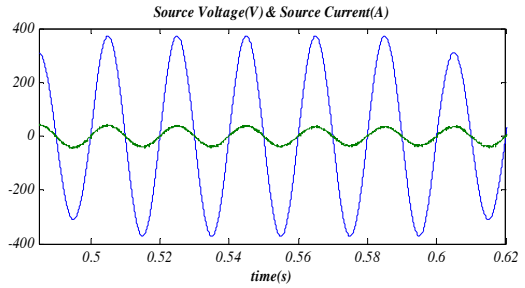


b) نتایج مربوط به خط ۲

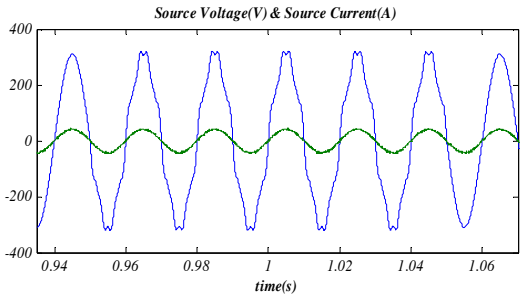
شکل ۱۴: ولتاژ و جریان خط ۱ و ۲ در ساختار پیشنهادی ۱

www.SID.ir

Archive of SID

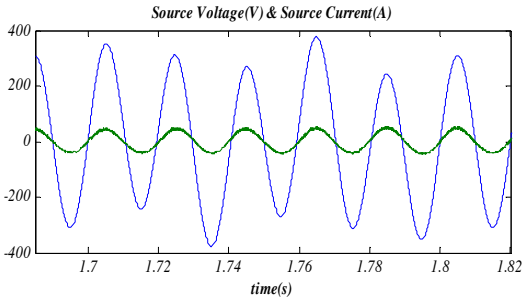


a) نتایج مربوط به خط ۱

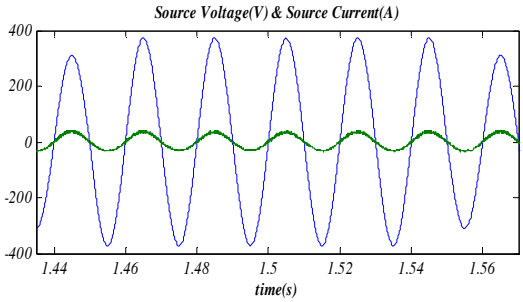


b) نتایج مربوط به خط ۲

شکل ۱۵: ولتاژ و جریان خط ۱ و ۲ در ساختار پیشنهادی ۲



a) نتایج مربوط به خط ۱

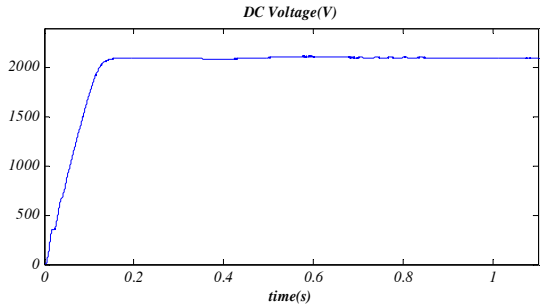


b) نتایج مربوط به خط ۲

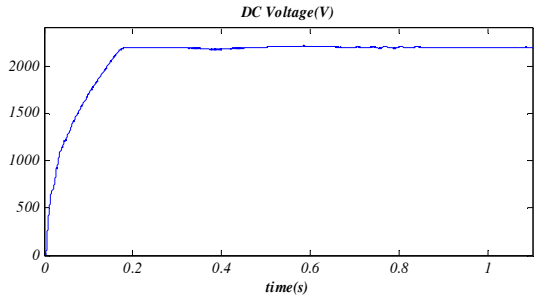
شکل ۱۶: ولتاژ و جریان خط ۱ و ۲ در ساختار پیشنهادی ۳

ولتاژ لینک DC در طول عملکرد هر سه ساختار پیشنهادی تحت اغتشاشات مختلف در شکل ۱۷ نشان داده شده است. دیده می‌شود که سیستم کنترلی سعی در حفظ ولتاژ لینک DC در بازه مرجع را دارد. در ساختارهای ۱ و ۲ ولتاژ لینک DC به‌خوبی تثبیت شده است و در طی اغتشاش‌ها تغییرات کمی را دارد. ولی در ساختار ۳، همان‌گونه که قبلا بیان شد به دلیل اینکه از سه عدد خازن سری به‌عنوان مقسم خازنی جهت ایجاد فاز سوم هر یک از خروجی‌ها استفاده شده است و ظرفیت هر یک از خازن‌ها $2000\mu f$ در نظر گرفته شده است باعث کاهش سرعت پاسخ دینامیکی سیستم و همچنین موجب نوسان ولتاژ لینک DC می‌گردد.

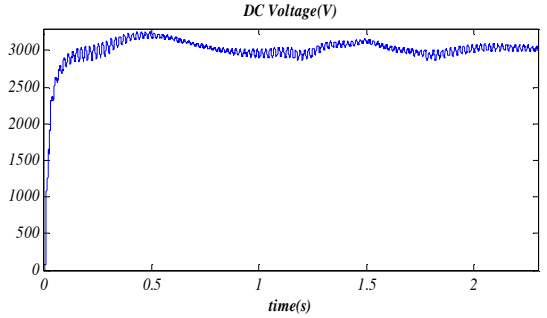
به‌منظور ایجاد ولتاژهای یکسان توسط مبدل‌های کاهش‌سوئیچ‌یافته در مقایسه با مبدل‌های مرسوم بایستی ولتاژ لینک DC افزایش داده شود.



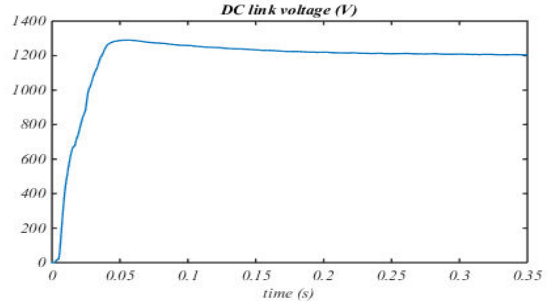
a) ولتاژ لینک **DC** ساختار پیشنهادی ۱



b) ولتاژ لینک **DC** ساختار پیشنهادی ۲



c) ولتاژ لینک **DC** ساختارپیشنهادی ۳

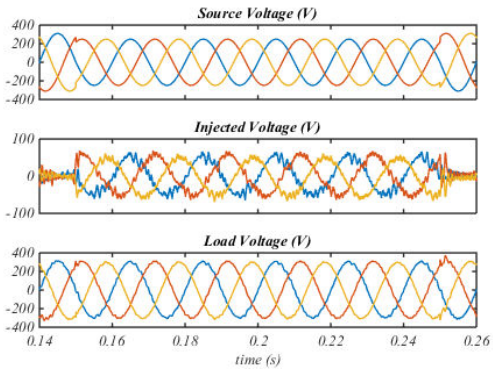


d) ولتاژ لینک **DC** ساختار پیشنهادی ۲

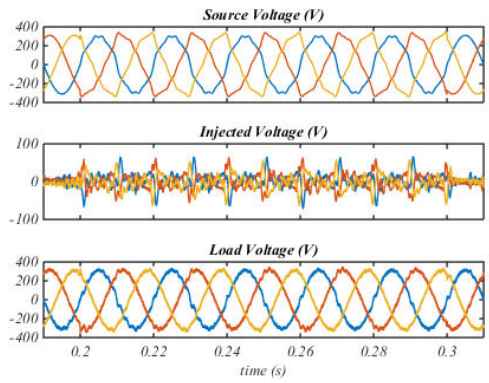
شکل ۱۷: ولتاژ لینک **DC** برای ساختارهای اول، دوم و سوم

www.SID.ir

Archive of SID

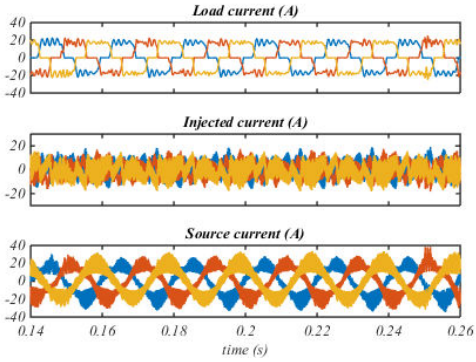


a) نتایج مربوط به خط ۱

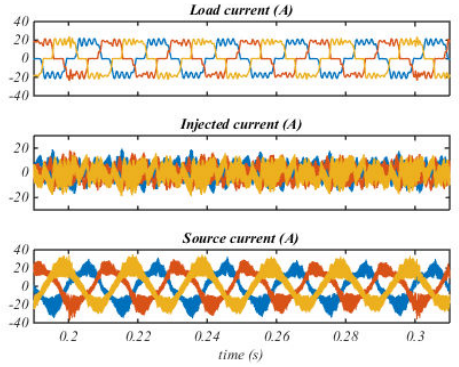


b) نتایج مربوط به خط ۲

شکل ۱۸: ولتاژ سمت شبکه، ولتاژ تزریقی به‌وسیله اینورترهای سری در ساختار پیشنهادی ۲ و ولتاژ سمت بار به ازای اغتشاش‌های مختلف در سمت شبکه



a) نتایج مربوط به خط ۱



b) نتایج مربوط به خط ۲

شکل ۱۹: جریان سمت بار، جریان تزریقی به‌وسیله اینورترهای موازی در ساختار پیشنهادی ۲ و جریان سمت شبکه به ازای اغتشاش‌های مختلف در سمت شبکه

در کاربرد UPQC چون یکی از مبدل‌ها به‌صورت سری و دیگری به‌صورت موازی در مدار قرار می‌گیرند و با توجه به این نکته که در UPQC و کلاً جبران‌سازهای سری ولتاژ تزریقی سری در حدود حداکثر ۰/۲ الی ۰/۳ پریونیت است لذا در چنین کاربردهایی با کاهش اندیس مدولاسیون مبدل سری می‌توان ولتاژ لینک DC را کاهش داد که نتایج آن برای مبدل پیشنهادی ۲ در فرکانس ۵ kHz و ولتاژ لینک DC برابر ۱۲۰۰ ولت در شکل‌های d-۱۷، ۱۸ و ۱۹ نشان داده شده‌اند. با توجه به اینکه شاخص THD ولتاژ بار و جریان شبکه از نظر مسائل کیفیت توان دارای اهمیت هستند، لذا در جداول ۵، ۶ و ۷ این شاخص‌ها به ازای اغتشاش‌های Sag، Swell، فلیکر و هارمونیک برای هر ساختار ارائه شده‌اند. نتایج تحلیل فوریه (FFT) نشان می‌دهند که THD جریان سمت منبع به مقداری در بازه ۵/۶۹-۳/۵۷، ۵/۶۵-۴/۱۹ و ۶/۳۱-۴/۱۸ درصد به ترتیب برای ساختار پیشنهادی ۱، ۲ و ۳ بسته به نوع اغتشاش می‌رسد و نسبت به THD جریان بار بهبود پیدا کرده‌اند. همچنین مقادیر مؤلفه اصلی جریان و ولتاژ در طی اغتشاشات که توسط مبدل جبران‌سازی شده‌اند آورده شده‌اند. از اطلاعات داده‌شده در این جدول مشاهده می‌شود مقدار THD و مؤلفه اصلی ولتاژ سمت بار و جریان سمت شبکه در محدوده استاندارد کیفیت توان قرار دارند [۱].

جدول ۵: **THD**، مؤلفه اصلی ولتاژ بار ۲، ۱ و جریان شبکه ۲، ۱ در اغتشاش‌های مختلف برای ساختار ۱

	شاخص	*Harmonic*	*Flicker*	*Swell*	*Sag*
ولتاژ بار۱	THD	%۲/۶۱	%۲/۹۱	%۲/۹۶	%۲/۸۸
	Fundamental	۳۱۰/۷ *V*	۳۱۱/۱ *V*	۳۰۹/۹ *V*	۳۱۲/۳ *V*
جریان شبکه ۱	THD	%۳/۵۷	%۵/۴۴	%۴/۵۳	%۴/۱۳
	Fundamental	۴۲/۰۲ *A*	۴۲/۱۷ *A*	۳۶/۲۳ *A*	۵۰/۰۵ *A*
ولتاژ بار۲	THD	%۳/۰۸	%۳/۸۳	%۲/۹۹	%۲/۸۸
	Fundamental	۳۱۰/۸ *V*	۳۱۰/۴ *V*	۳۰۹/۵ *V*	۳۱۲/۱ *V*
جریان شبکه ۲	THD	%۴/۸۶	%۵/۶۹	%۴/۷۴	%۴/۸۷
	Fundamental	۴۱/۹۷ *A*	۴۲/۹۳ *A*	۳۶/۵۵ *A*	۴۹/۸۲ *A*

www.SID.ir

Archive of SID

جدول ۶: **THD**، مؤلفه اصلی ولتاژ بار ۲، ۱ و جریان شبکه ۲، ۱ در اغتشاش‌های مختلف برای ساختار ۲

	شاخص	*Harmonic*	*Flicker*	*Swell*	*Sag*
ولتاژ بار۱	THD	% ۲/۳۰	%۲/۹۰	%۲/۴۴	% ۲/۵۶
	Fundamental	۳۰۹/۸ V	۳۱۰/۹ V	۳۱۱/۶ V	۳۰۸/۳ V
جریان شبکه ۱	THD	%۵/۴۳	%۵/۶۰	%۴/۵۹	%۴/۷۲
	Fundamental	۴۱/۶۴ A	۴۲/۲۲ A	۳۶/۸۱ A	۴۸/۱۱ A
ولتاژ بار۲	THD	%۲/۳۳	%۲/۵۴	%۲/۴۷	%۲/۴۳
	Fundamental	۳۱۰/۳ V	۳۰۹/۶ V	۳۱۱/۴ V	۳۰۸/۳ V
جریان شبکه ۲	THD	%۵/۵	%۵/۶۵	%۴/۳۱	%۴/۱۹
	Fundamental	۴۱/۵۸ A	۴۱/۹۵ A	۳۶/۳۹ A	۴۸/۵۷ A

جدول ۷: **THD**، مؤلفه اصلی ولتاژ بار ۲، ۱ و جریان شبکه ۲، ۱ در اغتشاش‌های مختلف برای ساختار ۳

	شاخص	*Harmonic*	*Flicker*	*Swell*	*Sag*
ولتاژ بار۱	THD	%۳/۱۱	%۳/۲۰	%۳/۱۸	%۳/۰۳
	Fundamental	۳۱۱/۸ V	۳۱۲/۲ V	۳۱۰/۷ V	۳۱۲/۳ V
جریان شبکه ۱	THD	%۶/۳۱	%۵/۹۵	%۴/۱۸	%۴/۹۰
	Fundamental	۳۸/۲۹ A	۴۴/۸۵ A	۳۳/۷۲ A	۴۷/۹۱ A
ولتاژ بار۲	THD	%۳/۴۸	%۳/۶۹	%۳/۵۱	%۳/۰۹
	Fundamental	۳۱۱/۸ V	۳۱۲/۲ V	۳۱۱/۳ V	۳۱۲/۷ V
جریان شبکه ۲	THD	%۶/۲۹	%۶/۶۰	%۴/۲۱	%۴/۸۳
	Fundamental	۳۸/۵۲ A	۴۴/۹۲ A	۳۳/۸۴ A	۴۷/۷۵ A

برای محاسبه تلفات کلیدزنی ساختارهای پیشنهادی، بلوک دیاگرام معادله (۲۵) در نرم‌افزار مطلب/سیمیولینک طراحی شد. سپس با نمونه‌برداری از جریان، ولتاژ و سیگنال گیت اعمال‌شده به هر کلید تلفات آن محاسبه گردید. پارامترهای مورداستفاده برای محاسبه این تلفات در [۲۴] ارائه شده اند. مقادیر تلفات کلیدزنی برای ساختارهای ۱، ۲ و ۳ در جدول ۸ آورده شده‌اند. این مقادیر کل تلفات کلیدهای مبدل می‌باشند. همچنین برای محاسبه تلفات خازن مقدار مقاومت ESR برابر $۲۰m\Omega$ در نظر گرفته شده است.

جدول ۸: محاسبه تلفات برای ساختارهای **MC-UPQC** و ساختارهای پیشنهادی

	ساختار پیشنهادی ۳	ساختار پیشنهادی ۲	ساختار پیشنهادی ۱	MC-UPQC
تلفات کلیدزنی	۸۰۰ W	۱۲۵۰ W	۲۸۰۰ W	۹۷۰ W
تلفات خازن	۱۸۷ W	۱۰ W	۳۲ W	۳۷ W

۷- نتیجه‌گیری

در این مقاله ساختارهای جدیدی برای IUPQC بر اساس مبدل‌های ۱۵ کلیدی ۳ ساق و ۱۵ کلیدی ۵ ساق و ۱۲ کلیدی ۴ ساق جهت بهبود کیفیت توان در دو فیدر مجاور هم پیشنهاد شدند که ساختارهای پیشنهادی نسبت به MC-UPQC مرسوم به ترتیب ۹ کلید، ۹ کلید و ۱۲ کلید کم‌تر نیاز دارند. همان‌گونه که اشاره شد در ساختارهای پیشنهادی با کاهش تعداد کلیدها، ضریب مدولاسیون کاهش می‌یابد. بنابراین برای جبران کاهش ضریب مدولاسیون ولتاژ لینک DC افزایش می‌یابد که خود موجب افزایش قیمت کلید می‌گردد. ازآنجایی‌که در شبکه بیش‌تر جبران‌سازی هارمونیکی جریان وجود دارد و همچنین ولتاژ لینک DC توسط مبدل موازی تثبیت می‌شود بنابراین می‌توان ضریب مدولاسیون مبدل موازی را بیش‌تر از مبدل سری انتخاب کرد. استفاده از مبدل‌های پیشنهادی می‌تواند به کاهش قیمت سیستم، کاهش تلفات توان، درنتیجه افزایش بازده و بهبود قابلیت اطمینان آن به دلیل کاهش تعداد عناصر مداری منجر گردد. نتایج شبیه‌سازی‌های انجام‌شده نشانگر درستی و صحت عملکرد مبدل‌ها و روش

www.SID.ir

Archive of SID

مدولاسیون و کنترل پیشنهادی در اصلاح اغتشاش‌های ولتاژ، تـوان راکتیو و هارمونیک جریان بار می‌باشند.

مراجع

[1] M.F. McGranaghan, R.C. Dugan, and H.W. Bety, *Electrical Power Systems Quality*, New York, McGraw-Hill, 1996.

[2] T.A. Short, *Electric Power Distribution Handbook*. Boca Raton, CRC Press, 2004.

[3] P. Heine, "Voltage sag distributions caused by power system faults," *IEEE Transactions, Power Systems*, vol. 18, no. 4, pp. 1367-1373, Nov. 2003.

[4] *IEEE Recommended Practices and Requirements for Harmonic Control in Electrical Power Systems*, IEEE Std. 519-1992, Apr. 9, 1993.

[5] A. Domijan, Jr., A. Montenegro, A.J.F. Keri, and K.E. Mattern, "Custom power devices: An interaction study," *IEEE Transactions, Power Systems*, vol. 20, no. 2, pp. 1111-1118, May 2005.

[6] B. Singh, K. Al-Haddad, and A. Chandra, "A review of active filters for power quality improvement," *IEEE Transactions, Industrial Electronics*, vol. 46, no. 5, pp. 960-971, Oct. 1999.

[7] H. Akagi, "New trends in active filters for power conditioning," *IEEE Transactions, Industrial Applications*, vol. 32, no. 6, pp. 1312-1320, Nov./Dec. 1996.

[8] J. Dixon, L. Morán, J. Rodríguez, and R. Domke, "Reactive power compensation technologies: State-of-the-art review," *Proc. IEEE*, vol. 93, no. 12, pp. 2144-2164, Dec. 2005.

[9] H. Fujita, and H. Akagi, "The unified power quality conditioner: The integration of series- and shunt-active filters," *IEEE Transactions, Industrial Electronics*, vol. 13, no. 1, pp. 315-322, Mar. 1998.

[10] H. Fujita, Y. Watanabe, and H. Akagi, "Control and analysis of a unified power flow controller," *IEEE Transactions, Power Electronics*, vol. 14, no. 6, pp. 1021-1027, Nov. 1999.

[11] C.A. Sepúlveda, J.R. Espinoza, L.A. Morán, and R. Ortega, "Analysis and design of a linear control strategy for three-phase UPQCs," *Industrial Electronics Society, IECON 30th Annual Conference of IEEE*, vol. 3, pp. 3060-3065, Nov. 2004.

[12] Vinod Khadkikar, "Enhancing electric power quality using UPQC: a comprehensive overview," *IEEE Transactions, Power Electronics*, vol. 27, no. 5, pp. 2284-2297, May. 2012.

[13] T. Kominami, and Y. Fujimoto, "A novel nine-switch inverter for independent control of two three-phase Loads," *Industry Applications Conference, 2007 42nd IAS Annual Meeting. Conference Record of the 2007 IEEE*, pp. 2346-2350, Sept. 2007.

[14] B. Francois, and A. Bouscayrol, "Control of two induction motors fed by a five-phase voltage-source inverter," *ELECTRIMACS' 99*, Lisboan, Portugal, vol. 3, pp.313-318, 1999.

[15] H.R. Mohammadi, A.Y. Varjani, and H. Mokhtari, "Multiconverter unified power quality conditioning system: MC-UPQC," *IEEE Transactions, Power Delivery*, vol. 24, no. 3 , pp. 1679-1686, July 2009.

[16] M. Shahparasti, A.H. Rajaei, A. Yazdian, and M. Mohamadian, "Interline unified power quality conditioner based on single stage nine switch inverter," *Power Electronics and Drive Systems Technology (PEDSTC)*, 2012 3rd, pp. 319-323, Feb. 2012.

[17] A.K. Jindal, A. Ghosh, and A. Joshi, "Interline unified power quality conditioner," *IEEE Transactions, Power Delivery*, vol. 22, no.1, pp. 364-372, Jan. 2007.

[18] D.D. Divate, and Y.N. Bhosale, "An improvement of power quality using nine-switch power conditioner with minimization of voltage sag," *Electrical, Electronics and Computer Science (SCEECS), 2014 IEEE Students' Conference on*, pp. 1-6, March 2014.

[19] M. Heydari, A.Y. Varjani, M. Mohamadian, and A. Fatemi, "Three-Phase dual-output six-switch inverter," *Power Electronics, IET*, vol. 5, no. 9, pp. 1634-1650, Nov. 2012.

[20] N. Mohan, T.M. Undeland, and W.P. Robbins, *Power Electronics: Converters, Applications, and Design*, New York, Wiley, 1995.

[21] B.W. Franca, L.F. Dasilva, and M. Aredes, "Comparison between alpha-beta and dq-PI controller applied to IUPQC operation," *Power Electronics Conference (COBEP)*, 2011 Brazilian, pp. 306-311, Sept. 2011.

[22] Fuji Electric Device Technology Co., Ltd, *Fuji IGBT Modules Application Manual*, Feb. 2004.

[23] G. Dušan, and P. Marco, Infineon Technologies AG, *IGBT Power Losses Calculation Using the Data-Sheet Parameters*, Jan. 2009.

[24] FGW40N120VD Datasheet, http://www.fujielectric.com/.

www.SID.ir