ترانزیستور اثر میدان فلز-نیمه‌هادی در تکنولوژی سیلیسیم روی عایق با استفاده از یک تکه اکسید اضافی در کانال برای کاربردهای توان و فرکانس بالا

علی‌اصغر اروجی[۱]، استاد، زینب رمضانی[۲]، دانشجوی دکتری، عاطفه رحیمی‌فر[۳]، دانشجوی دکتری
۱- دانشکده مهندسی برق و کامپیوتر - دانشگاه سمنان - سمنان - ایران - aliaorouji@semnan.ac.ir
۲- دانشکده مهندسی برق و کامپیوتر - دانشگاه سمنان - سمنان - ایران – ramezaniz@ymail.com
۳- دانشکده مهندسی برق و کامپیوتر - دانشگاه سمنان - سمنان - ایران – a-rahimifar@phdstu.scu.ac.ir

چکیده: در این مقاله یک ساختار جدید از ترانزیستور اثر میدانی فلز نیمه‌هادی در تکنولوژی SOI معرفی می‌شود که مشخصات DC و فرکانسی بهتری نسبت به ساختارهای متداول دارد. ایده اصلی مقاله بر مبنی تغییر چگالی حامل‌ها توسط یک تکه اکسید اضافی چسبیده به لایه مدفون اکسید در سمت درین است. بهبود عملکرد قطعه توسط شبیه‌ساز دوبعدی بررسی می‌شود. در ساختار پیشنهادی ولتاژ شکست از ۱۳V در ساختار متداول به ۱۹V در ساختار جدید افزایش یافته و بهبودی حدود ۴۷٪ داشته است لذا توان ماکزیمم ساختار از ۰/۱۹ W/mm به ۰/۲۵ W/mm بهبود یافته است. همچنین به دلیل کاهش خازن گیت-درین و خازن گیت-سورس مشخصه‌های فرکانسی ازجمله فرکانس قطع و ماکزیمم فرکانس نوسان و نویز بهبود یافته است. نتایج نشان می‌دهد که ساختار پیشنهادی مشخصه‌های توان و فرکانسی بهتری نسبت به ساختار متداول ترانزیستورهای اثر میدانی فلز-نیمه‌هادی در تکنولوژی SOI را دارا است.

واژه‌های کلیدی: ترانزیستور اثر میدانی فلز- نیمه‌هادی، سیلیسیم روی عایق، ناحیه اکسید اضافی، ماکزیمم توان خروجی، مشخصات فرکانسی.

A novel SOI MESFET by using an additional Oxide Region in channel for high power and high frequency applications

A. A. Orouji, professor[1], Z. Ramezani, Phd student[2], A. Rahimifar, Phd student[3]
1- Faculty of Electrical and Computer Engineering, University of semnan, semnan, Iran, Email: aliaorouji@semnan.ac.ir
2- Faculty of Electrical and Computer Engineering, University of semnan, semnan, Iran, Email: ramezaniz@ymail.com
3- Faculty of Electrical and Computer Engineering, University of semnan, semnan, Iran, Email: a-rahimifar@phdstu.scu.ac.ir

Abstract: In this paper a novel SOI MESFET presented which has better DC and frequency characteristics compared with conventional one. The key idea of this work is modifying carrier concentration by using an additional Oxide Region in channel (OR-SOI MESFET) which attach to buried oxide at drain side. In proposed structure break down voltage improves from 13V for Conventional SOI MESFET (C-SOI MESFET) to19V for OR-SOI MESFET by about 47% increasement, so P_{max} improved from 0.19 W/mm to 0.25 W/mm. also, frequency parameters such as cut-off frequency (f_t), Maximum oscillation frequency (f_{max}), and Minimum figure noise (F_{min}) improved as a result of decreasing gate-drain (C_{gd}) and gate-source (C_{gs}) Capacitances. Simulation results show that OR-SOI MESFET has better power and frequency parameters respect with C-SOI MESFET.

Keywords: Metal- semiconductor field effect transistor, silicon on insulator, an additional oxide, maximum output density, frequency parameters.

تاریخ ارسال مقاله: ۹۴/۹/۳
تاریخ اصلاح مقاله: ۹۴/۱۱/۷
تاریخ پذیرش مقاله: ۹۵/۲/۱۳
نام نویسنده مسئول: علی‌اصغر اروجی
نشانی نویسنده مسئول: ایران- سمنان- دانشگاه سمنان- دانشکده مهندسی برق و کامپیوتر.

Archive of SID
www.SID.ir

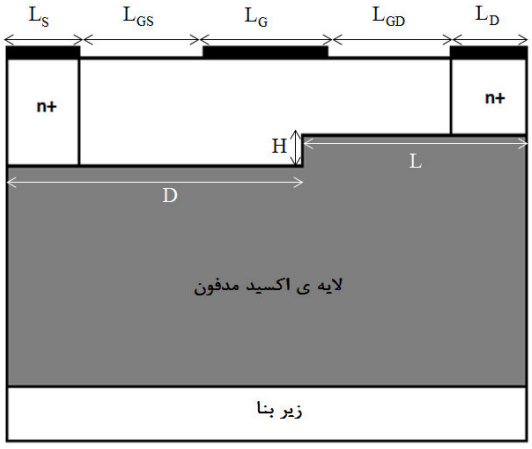
۱-مقدمه

از تکنولوژی سیلیسیم بر روی عایق[۱] به دلیل مزایای عمده آن مانند جریان نشتی کم، ایزولاسیون ایده‌آل، کاهش خازن‌ها و درنتیجه سرعت بالا و همچنین توانایی کارکردن در دمای محیطی بالا جهت ساخت قطعات قدرت استفاده می‌شود. بااین‌وجود قطعاتی که در تکنولوژی SOI ساخته می‌شوند از دو عیب عمده یعنی پایین بودن ولتاژ شکست و همچنین پدیده خودگرمایی رنج می‌برند. تاکنون روش‌های متعددی برای رفع این دو مشکل پیشنهاد شده است [۲-۱]. ساختار ترانزیستورهای اثر میدانی فلز-نیمه‌هادی[۲] بر روی تکنولوژی SOI یکی از بهترین انتخاب‌ها برای عملکردهای مناسب RF است. این ساختار به دلیل مزایای زیادی که دارد ازجمله مورداستفاده بودن در مدارات ULSI/VLSI در دهه اخیر موردتوجه تعداد بسیاری از محققین قرار گرفته است. ساختار ترانزیستورهای اثر میدانی فلز-نیمه‌هادی بر روی تکنولوژی سیلسیم بر روی عایق[۳] در مقایسه با ساختار معمولی MESFET دارای نویز کم‌تر، سرعت بالاتر و مشخصه‌های فرکانسی بهتری است [۳]. تاکنون کارهای بسیاری برای بهبود مشخصه‌های SOI MESFET انجام شده است [۸-۴]. در این مقاله هدف اصلی بهبود مشخصه‌های DC و فرکانسی این ترانزیستورها است. در ساختار جدید یک ناحیه اکسید اضافی در کانال زیر گیت نزدیک درین و چسبیده به لایه اکسید مدفون[۴] وجود دارد. این اکسید یک مانع در کانال بوده و باعث اصلاح چگالی حامل‌ها شده و بار را کاهش می‌دهد. بدین ترتیب توزیع میدان الکتریکی در طول ساختار تغییر کرده و ولتاژ شکست و در نتیجه توان بهبود می‌یابد. همچنین به دلیل کاهش حامل‌ها در کانال، خازن‌های گیت-درین[۵] و گیت-سورس[۶] کاهش می‌یابد و درنتیجه مشخصه‌های فرکانسی ازجمله فرکانس قطع[۷] و ماکزیمم فرکانس نوسان[۸] و نویز[۹] بهبود می‌یابند و باعث عملکرد بهتر ساختار پیشنهادی در کاربردهای توان بالا و فرکانس بالا می‌شود. در سال‌های اخیر استفاده از ادوات الکترونیک قدرت در موارد مختلف به ویژه در درایور ماشین الکتریکی افزایش چشمگیری داشته است و در طراحی و بهره‌برداری از سیستم‌های قدرت با حداکثر بازده حائز اهمیت است [۱۰-۹]. لذا می‌توان از ساختار پیشنهادی در کاربردهای ذکرشده استفاده کرد.

۲- ساختار ترانزیستور OR-SOI MESFET و پارامترهای شبیه‌سازی انجام‌شده

شکل ۱ ساختار پیشنهادی را نشان می‌دهد که در آن از ماده عایق اکسید سیلیسیم (SiO_2) در زیر گیت-درین چسبیده به لایه مدفون اکسید برای کنترل بار استفاده شده است. برای به دست آمدن بهترین نتایج، ابعاد و موقعیت اکسید اضافی در کانال بهینه‌سازی شده است. با تغییر مکان و ابعاد اکسید در کانال بهترین مکان برای آن تعیین شد. بهینه سازی با پارامتر ولتاژ شکست و جریان و ماکزیمم چگالی توان انجام شد. ازآنجایی‌که ولتاژ شکست در لبه گیت نزدیک درین اتفاق می‌افتد لذا وجود اکسید در جهت بهبود ولتاژ شکست در این ناحیه تاثیرگذار است. با این ایده بین جریان و ولتاژ شکست معاوضه وجود دارد. به ازای افزایش ولتاژ شکست کاهش جریان داریم لذا باید مکان اکسید بهینه شود. با افزایش طول اکسید اضافه‌شده از حد بهینه‌شده $L = 1\mu m$ در کانال اگرچه ولتاژ شکست را بهتر می‌کند اما ساختار جریان کم‌تری خواهد داشت که باعث می شود درنهایت ماکزیمم چگالی توان کاهش یابد. پس افزایش طول اکسید از حد بهینه‌ای که انتخاب کردیم اثر منفی دارد. همچنین با کاهش طول آن اثر بهبود ولتاژ شکست آن کاهش خواهد یافت. همچنین با تغییر عرض اکسید و جابه‌جایی آن در کانال به‌سمت سطح ساختار کنترل بر روی ناحیه تخلیه کم‌تر خواهد بود و ماکزیمم چگالی‌توان کم‌تری خواهد داشت. درنهایت بهترین مکان اکسید روی اکسید مدفون و زیر درین با طول و ارتفاع اکسید اضافی به ترتیب $L = 1\ \mu m$ و $H = 0/06\ \mu m$، فاصله بین لبه اکسید اضافه‌شده و سمت راست قطعه $D = 1/2\ \mu m$ به دست آمد.

دیگر پارامترهای ساختار و اکسید به شرح زیر می‌باشند: طول گیت (L_G) ۰/۳μm، طول درین (L_D) ۰/۳μm، طول سورس (L_S) ۰/۳μm، فاصله گیت-سورس (L_{GS}) ۰/۵μm، فاصله گیت-درین (L_{GD}) ۰/۵μm، ناخالصی سورس-درین (N_D) $10^{20}cm^{-3}$، ناخالصی کانال (N_D) cm^{-3} $10^{17} \times 1/5$ و ناخالصی بدنه (N_A) $10^{13}cm^{-3}$.



شکل ۱: شماتیک ساختار پیشنهادی

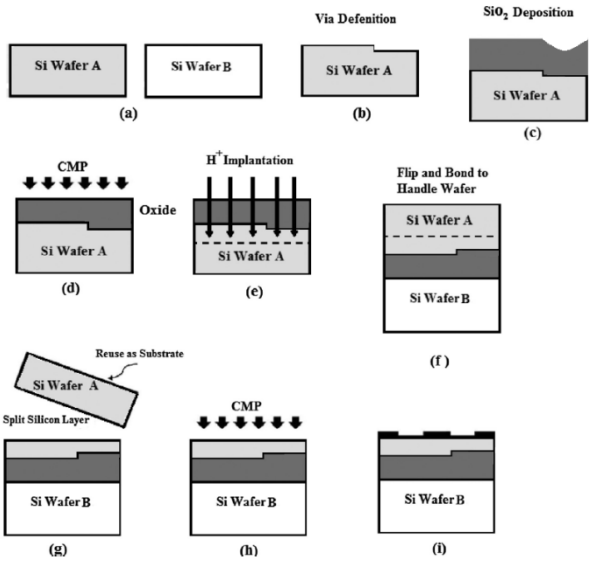
شبیه‌سازی به کمک نرم‌افزار ATLAS انجام شده است [۱۱] و برای تضمین صحت شبیه‌سازی و نزدیکی هرچه بهتر نتایج با واقعیت مدل‌های متفاوتی فعال شده‌اند که شامل مدل‌های زیر می‌باشند:

Shockley–Read–Hall recombination (SRH model) , parallel electric-field-dependent mobility (Fldmob model), incomplete ionization(incomplete model), band-to-band high electric field tunneling (BBT-STD model), Lombardi mobility(CVT Model) و Impact ionization (impact Selb model).

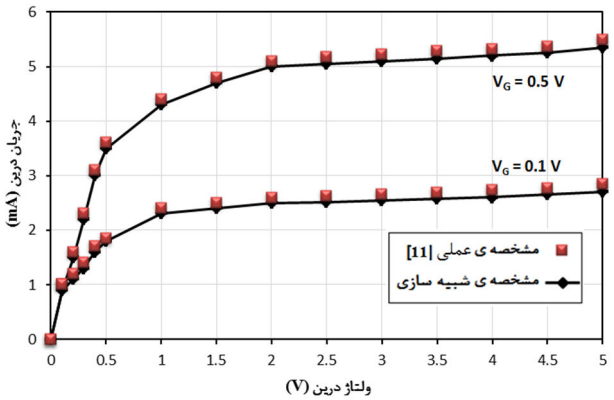
برای ساخت این افزاره می‌توان از روش Smart Cut به‌صورت زیر استفاده کرد که در شکل ۲ نمایش داده شده است. در این روش از دو

www.SID.ir

ویفر A و B مطابق شکل زیر استفاده می شود. ویفر A ماده نوع n و دارای جهت <۱۰۰> و ویفر B ماده‌ی نوع p و دارای جهت <۱۰۰> است (a). سپس قسمتی برای ایجاد اکسید اضافی در کانال قسمتی از ویفر A حذف می‌شود (b) و بعد SiO_2 روی آن رونشت می‌شود (c). ممکن است سیلیسیم رویی نامنظم و یا دارای پستی بلندی باشد که با استفاده از صیقل دادن شیمیایی مکانیکی[۱۰] آن را صاف می‌کنند (d). ابتدا روی ویفر A را اکسید می نماییم و ویفر B را دست نخورده باقی می‌گذاریم. قبل از قرار دادن ویفر A بر روی ویفر B و تشکیل پیوند بین این دو ویفر، روی ویفرA را توسط اتم‌های هیدروژن بمباران یونی می‌کنیم تا یون‌های هیدروژن وارد ویفر شوند (e). بعد از این مرحله ویفر A را بر روی ویفر B قرار می‌دهیم تا به یکدیگر بچسبند (f). هیدروژن واردشده در اثر افزایش دما و به دلیل گازی شکل بودن خواستار اشغال جای بیش‌تری بوده و درنتیجه باعث ایجاد ترک و شکاف بین اتم‌ها می‌شود (g). این شکاف و ترک سبب ایجاد نقص‌هایی در شبکه کریستالی خواهد شد و باعث جدا شدن ویفرها از یکدیگر شده و یک لایه سیلیسیم بر روی عایق ایجاد می‌کند. این امکان وجود دارد که سیلیسیم رویی نامنظم و یا دارای پستی بلندی باشد که با استفاده از صیقل دادن شیمیایی مکانیکی آن را صاف می‌کنند (g). میزان هیدروژن اعمال‌شده به ویفر در این روش به‌حدی تنظیم می‌شود که شکاف و ترک‌ها در محل موردنظر ایجاد شده تا ضخامت لایه سیلیسیم روی عایق به اندازه دلخواه باشد. درنهایت اتصالات سورس و درین و گیت را داریم (i) [۱۲]. لازم به ذکر است که شبیه‌ساز به وسیله نتایج یک ساختار که به‌صورت عملی ساخته شده است کالیبره شده و همان‌طور که در شکل ۳ مشخص است نتایج به‌دست‌آمده از شبیه‌سازی با نتایج عملی افزاره ساخته‌شده [۱۳] تطابق دارد.



شکل ۲: پروسه ساخت ساختار پیشنهادی



شکل ۳: مقایسه نتایج ساختار عملی و شبیه‌سازی شده

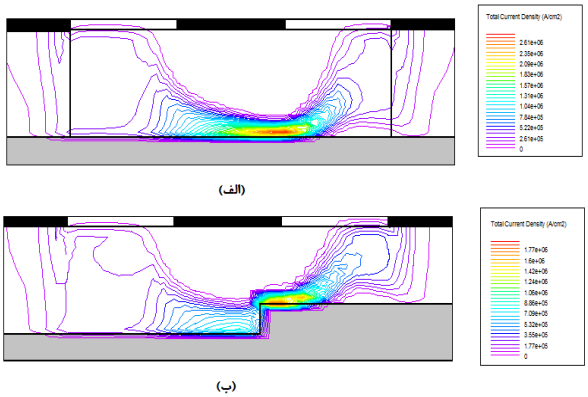
۳- نتایج و بحث

۳-۱- مشخصات DC

به‌طورکلی در ساختار مرسوم[۱۱] SOI MESFET در غیاب هرگونه بایاس، ناحیه تخلیه در زیر ناحیه گیت یکنواخت است. اگر بایاس گیت منفی و منفی‌تر شود ناحیه تخلیه درون کانال وسیع‌تر می‌گردد تا اینکه کانال از هرگونه حامل تخلیه شود. بنابراین با افزایش بایاس گیت به مقادیر منفی‌تر، کل بار موجود برای هدایت کاهش می‌یابد و کانال تنجیده می‌شود. در ابتدا افزاره مثل مقاومت اهمی عمل می‌کند اما با افزایش ولتاژ درین پهنای ناحیه تخلیه در طرف درین شروع به زیاد شدن می‌کند زیرا اختلاف پتانسیل بین گیت و انتهای کانال افزایش می‌یابد؛ بنابراین با بسته شدن کانال در سمت درین افزاره به جریان اشباع می‌رسد. سرانجام در مقادیر خیلی بزرگ بایاس درین حامل‌های عبوری تحت تأثیر میدان الکتریکی خیلی بزرگ قرار گرفته و پدیده یونیزاسیون و شکست رخ می‌دهد. تحت میدان‌های الکتریکی خیلی بزرگ الکترون می‌تواند به‌قدری انرژی کسب کند که ضمن پراکندگی از یک الکترون در نوار ظرفیت آن را به نوار هدایت براند. نتیجه نهایی این است که به جای آنکه تنها الکترون اولیه جریان را حمل کند، اینک دو الکترون در نوار هدایت و یک حفره در نوار ظرفیت این کار را به عهده می‌گیرد که این نتایج به چند برابر شدن جریان می‌انجامد و آهنگ یونیزاسیون برخوردی افزایش یافته و پدیده شکست رخ می‌دهد. V_{DS} که در آن پدیده شکست رخ می‌دهد ولتاژ شکست نامیده می‌شود. در ساختار OR-SOI MESFET یک تکه اکسید اضافی در کانال قرار داده شده است که باعث می‌شود این پروسه در ولتاژ درین بالاتری اتفاق بیفتد. اکسید دارای شکاف انرژی بزرگی است و به‌عنوان یک سد برای عبور حامل‌ها عمل می‌کند و باعث می‌شود که چگالی حامل‌ها در کانال کاهش یافته و ناحیه تخلیه تغییر کرده و درنهایت چگالی جریان در کانال تغییر کند. شکل ۴ شدت چگالی جریان در ساختار متداول و پیشنهادی در V_{GS} = -۱ V و V_{DS} = ۱۰ V را نمایش می‌دهد.

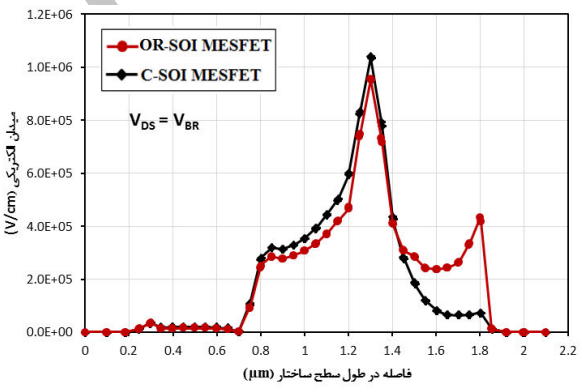
Archive of SID

www.SID.ir



شکل ۴: مقایسه چگالی جریان در؛ (الف) ساختار متداول و (ب) ساختار پیشنهادی

با کاهش حامل‌ها در ساختار پیشنهادی برخورد حامل نیز کم‌تر شده و درواقع نرخ یونیزاسیون کاهش می‌یابد و باعث می‌شود توزیع میدان در ساختار OR- SOI MESFET متفاوت از میدان الکتریکی در ساختار متداول باشد. شکل ۵ میدان الکتریکی هر دو ساختار را در ولتاژ شکست آن‌ها نمایش می‌دهد. همان‌طور که دیده می‌شود به دلیل وجود اکسید، در توزیع میدان یک پیک اضافی ایجاد شده است و افزایش پیک یکی از راه‌های افزایش ولتاژ شکست است.



شکل ۵: مقایسه میدان الکتریکی در دو ساختار

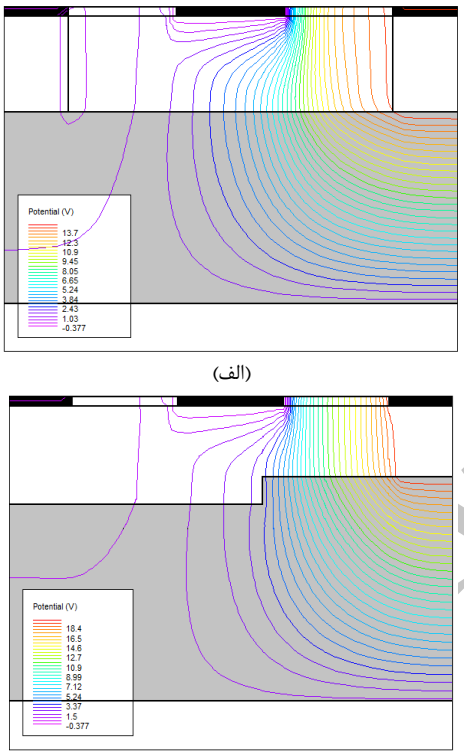
همچنین شکست در ساختار متداول در لبه‌گیت نزدیک درین اتفاق می‌افتد. لذا تجمع خطوط پتانسیل در این ناحیه زیاد است. در شکل ۶ خطوط پتانسیل برای هر دو ساختار نمایش داده شده است. همان‌طور که در شکل مشاهده می‌شود اکسید اضافی در کانال باعث پراکندگی خطوط پتانسیل می‌شود و در مقایسه با ساختار متداول که تجمع خطوط در لبه گیت نزدیک به درین است، این تجمع کاهش می‌یابد لذا ولتاژ شکست بالاتری خواهد داشت.

شکل ۷ ولتاژ شکست دو ساختار را نمایش می‌دهد. همان‌طور که دیده می‌شود V_{BR} از ۱۳V به ۱۹V ولت افزایش یافته است و افزایشی معادل۴۷٪ دارد. یکی از مهم‌ترین کاربردهای مهم افزاره‌های FET، تقویت سیگنال بزرگ برای تقویت‌کننده‌های توان است. به‌عنوان تقویت کننده توان، افزاره در ناحیه اشباع منحنی I-V کار می‌کند (کلاس A).

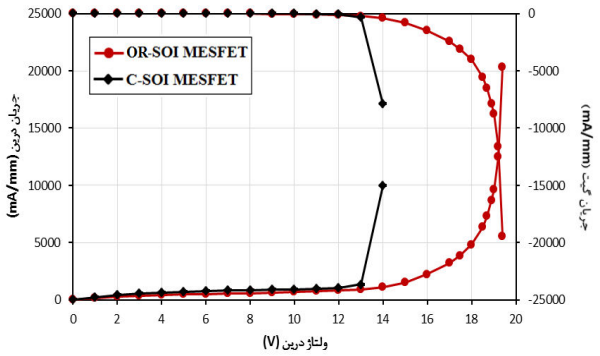
رابطه تئوری ماکزیمم توان در تقویت‌کننده کلاس A از رابطه زیر محاسبه می‌شود[۱۴].

$$P_{\max} = \frac{I_{Dsat}(V_{BR} - V_{Knee})}{8} \quad (۱)$$

که در آن I_{Dsat} جریان اشباع معکوس و V_{knee} ولتاژ زانوئی است. اگر چه در این ساختار به دلیل کاهش حامل‌ها جریان کاهش می‌یابد، اما افزایش V_{BR} بیش‌تراز کاهش جریان درین است. لذا توان در ساختار پیشنهادی بالاتر خواهد بود. توان در ساختار SOI MESFET از ۰/۱۹ W/mm به ۰/۲۵ W/mm در OR- SOI MESFET افزایش یافته و بهبودی حدود ۳۲ ٪ داشته است؛ بنابراین ساختار پیشنهادی یک کاندیدای بسیار مناسب برای کاربردهای توان بالا است.



شکل ۶: مقایسه خطوط پتانسیل در؛ (الف) ساختار متداول و (ب) ساختار پیشنهادی در ولتاژ شکست آن‌ها



شکل ۷: مقایسه ولتاژ شکست در دو ساختار

www.SID.ir

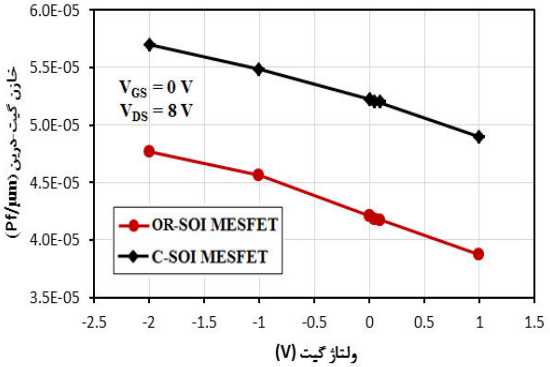
۲-۳- مشخصات فرکانسی

از MESFET در کاربردهای تقویت‌کننده کم‌نویز و کاربردهای منطقی سرعت بالا استفاده می‌شود. لذا بررسی مشخصات فرکانسی از جمله فرکانس قطع، ماکزیمم فرکانس نوسان و نویز مینیمم و حداکثر بهره قابل دسترسی مهم است. f_t و f_{max} طبق معادلات زیر محاسبه می‌شوند[۱۴].

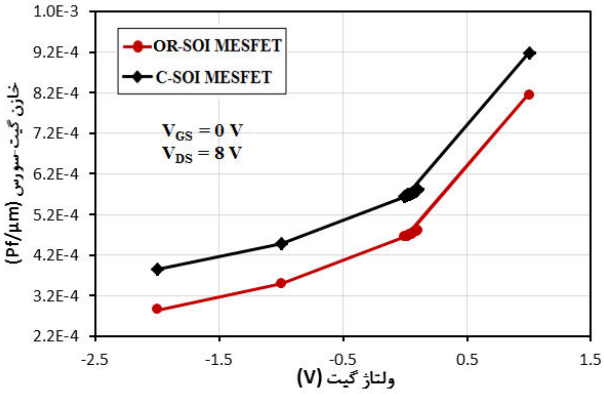
$$f_T = \frac{g_m}{2\pi(C_{GS}+C_{GD})} \quad (۲)$$

$$f_{max} = \frac{f_T}{2}\sqrt{\frac{R_{DS}}{R_G}} \quad (۳)$$

که در آن C_{GS} خازن گیت- سورس، C_{GD} خازن گیت-درین و g_m هدایت انتقالی و R_G, R_{DS} به ترتیب مقاومت کانال و مقاومت گیت می‌باشند. مقادیر f_t و f_{max} به مقدار خازن‌ها وابسته است. شکل ۸ و ۹ به ترتیب خازن گیت- درین و گیت- سورس را در ولتاژ $V_{DS}=8$ V و F =۱GHz را نمایش می‌دهد، همان‌طور که مشاهده می‌شود به دلیل کاهش بار، خازن C_{GS} و C_{GD} ساختار پیشنهادی حدود ۳۵٪ و ۱۸٪ درصد از خازن C_{GS} ,C_{GD} ساختار متداول کم‌تر است و این باعث بهبود مشخصه‌های فرکانسی f_t و f_{max} می‌شود.



شکل ۸: مقایسه خازن گیت- درین در SOI MESFET و OR- SOI MESFET

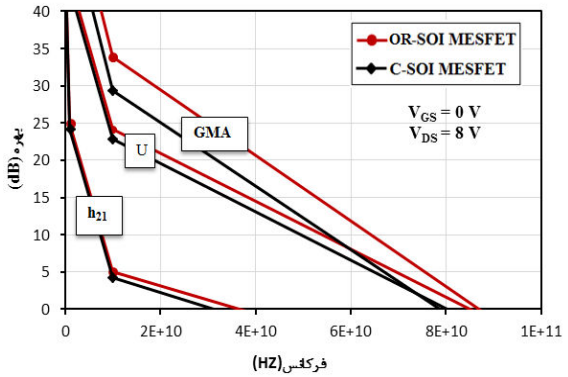


شکل ۹: مقایسه خازن گیت-سورس در SOI MESFET و OR- SOI MESFET

بهره شامل بهره توان یک‌طرفه[۱۲]، بهره جریان[۱۳]، ماکزیمم بهره قابل دسترسی[۱۴] در شکل ۱۰ نمایش داده شده است. بسامد قطع بهره جریان مستقیم f_t است که توسط اتصال‌کوتاه کردن خروجی اندازه‌گیری می‌شود بسامد f_t حداکثر بسامدی که در آن، بهره جریان واحد می‌شود را تعیین می‌کند و یکی از مهم‌ترین پارامترهای فرکانسی FETها است.

پارامتر مهم دیگر ماکزیمم فرکانس نوسان است که از عوامل محدود کننده آن می‌توان هم به تقویت ولتاژ و هم به تقویت جریان اشاره کرد، درصورتی‌که تنها عامل محدودکننده f_t، تقویت جریان است. بنابراین بسته به نوع افزاره f_{max} می تواند بزرگ‌تر یا کوچک‌تر از f_t باشد.

به‌طورکلی فرکانس قطع و ماکزیمم فرکانس نوسان دو عامل مهم در فرکانس‌های بالا محسوب می‌شوند و طبق معادلات ۲ و۳ محاسبه می شوند. همان‌طور که دیده می‌شود f_t و f_{max} از ۳۱ و ۸۰ گیگاهرتز در ساختار متداول به ۳۷ و ۸۵ گیگاهرتز در ساختار پیشنهادی رسیده است.



شکل ۱۰: مقایسه بهره های توان یک‌طرفه، بهره جریان، ماکزیمم بهره قابل دسترسی دو ساختار

همچنین ماکزیمم بهره قابل دسترسی که نشان‌دهنده ماکزیمم فرکانسی است که در آن تقویت‌کننده همچنان تقویت‌کنندگی دارد، بهبود یافته است. لذا ساختار OR- SOI MESFET، ساختار مناسب‌تری نسبت به ساختار متداول SOI MESFET برای کاربردهای سرعت بالا و فرکانس بالا می‌باشد. پارامتر فرکانسی مهم دیگر نویز مینیمم است. تأثیر نویز در مشخصه‌های MESFET در نوسانات جریان درین خود را نشان می‌دهد و معادل با نسبت سیگنال به نویز در ترمینال گیت به ترمینال درین است. F_{min} طبق رابطه زیر محاسبه می‌شود[۱۴]:

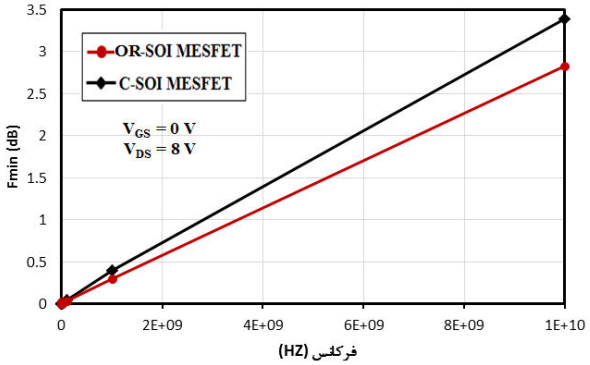
$$F_{min} = 1 + 2\pi C_1 f C_{GS}\sqrt{\frac{R_G + R_S}{g_m}} \quad (۴)$$

که در آن C_1 مقدار ثابت ۲/۵S/F است و R_S مقاومت سورس است. همان‌طور که ذکر شد با کاهش بار در کانال، خازن‌های کانال کاهش می‌یابد و طبق فرمول (۴) کاهش خازن گیت-سورس باعث کاهش F_{min} خواهد شد. شکل ۱۱ مشخصه نویز در دو ساختار در V_{DS} = ۸V و V_{GS} = ۰V را نمایش می‌دهد. همان‌طور که مشاهده می‌شود نویز در ساختار پیشنهادی ۲۰٪ نسبت به ساختار متداول کاهش یافته است؛

Archive of SID

www.SID.ir

بنابراین ساختار OR-SOI MESFET ساختار مناسبی برای طراحی تقویت‌کننده‌های کم‌نویز است.



شکل ۱۱: مقایسه نویز مینیمم در دو ساختار متداول و پیشنهادی

۴- نتیجه‌گیری

در این مقاله مشخصه‌های DC و RF ساختار جدیدOR-SOIMESFET بررسی شده است. با استفاده از یک لایه اکسید اضافی در کانال در سمت درین توزیع حامل‌ها و درنتیجه توزیع میدان تغییر کرده و باعث بهبود ولتاژ شکست می‌شود. ولتاژ شکست بهبود قابل‌توجهی از ۱۳V به ۱۹V داشته است و باعث بهبود توان ماکزیمم از ۰/۱۹ W/mm در ساختار متداول به ۰/۲۵ W/mm در ساختار پیشنهادی شده است. همچنین به دلیل کاهش بار، خازن‌ها در کانال کاهش می‌یابد و باعث بهبود مشخصه‌های فرکانسی ازجمله f_{max},F_{min},f_t می‌شود. لذا می‌توان از ساختار جدید در کاربردهای توان بالا و فرکانس بالا استفاده کرد.

مراجع

[1] A. A. Oruji, S. Sharbati, and M. Fathipour, "A new partial-solid MOSFET with modified electric field for break down voltage improvement," *IEEE Transaction on Devices and Materials Reliability*, vol. 9, no. 3, pp. 449-453, 2009.

[2] B. C. Jeon, D. Y. Kim, Y. S. Lee, and J. K. Oh, "Buried air gap structure for improving the break down voltage of SOI MESFETs," *Power Electronics and Motion Control Conference*, vol. 3, pp. 1061-1063, 2000.

[3] H. Amini Moghadam, A. A. Orouji, and A. Dideban, "A novel 4H–SiC SOI-MESFET with a modified breakdown voltage mechanism for improving the electrical performance," *Semiconductor Science and Technology*, vol. 27, no. 1, 2012.

[4] A. A. Orouji, Z. Ramezani, P. Keshavarzi, and A. H. Aminbeidokhti, "A novel high frequency SOI MESFET by modified gate capacitances," *Super lattices and Microstructures*, vol. 61, pp. 69-80, 2013.

[5] A. H. Aminbeidokhti, A. A. Orouji, S. Rahmaninezhad, and M. Ghasemian, "A novel high-breakdown-voltage SOI MESFET by modified charge distribution," *IEEE Transaction Electron Devices*, vol. 59, no. 5, 2012.

[6] W. Lepkowski, J. Ervin, S. J.Wilk, and T. J. Thornton, "SOI MESFETs fabricated using fully depleted CMOS technologies," *IEEE Electron Device Lett.*, vol. 30, no. 6, pp. 678-680, 2009.

[7] J. Y. Spann, J. Anderson, and R. Thornton, "High-frequency performance of sub threshold SOI MESFETs," *IEEE Electron Device Lett.*, vol. 25, no. 9, pp. 652-654, 2004.

[8] S. Jit, P. K. Pandeya, and P. K. Tiwaria, "Modeling of the sub threshold current and sub threshold swing of fully depleted short-channel Si–SOI MESFETs," *Solid-State Electron.*, vol. 53, no. 1, pp. 57-62, 2008.

[۹] محسن گیتی‌زاده و محسن کلانتر، «تعیین مقدار و موقعیت بهینه نصب ادوات FACTS با درنظرگرفتن تابع هدف چندمنظوره و ترکیب آب‌کاری فولاد با برنامه‌ریزی آرمانی،» مجله مهندسی برق دانشگاه تبریز، دوره ۳۹، شماره ۱، صفحه ۴۶-۳۷، ۱۳۸۸.

[۱۰] رضا رستمی‌نیا، محسن صنیعی و اصغر اکبری، «تاثیر پالس‌های ادوات الکترونیک قدرت بر وقوع تخلیه جزئی در عایق ماشین‌های الکتریکی با استفاده از مدل‌سازی به روش اجزاء محدود،» مجله مهندسی برق دانشگاه تبریز، دوره ۴۵، شماره ۱، صفحه ۲۸-۲۱، ۱۳۹۴.

[11] *Device Simulator Atlas, Atlas User's Manual*, Santa Clara, CA, Silvaco Int. Softw., 2012.

[12] M. Yoshimi, H. Hazama, M. Takahashi, S. Kambayashi, T. Wada, K. Kato, and H. Tango, "Two-dimensional simulation and measurement of high-performance MOSFETs made on a very thin SOI film," *IEEE Transaction. Electron Devices*, vol. 36, pp. 493-503, 1989.

[13] J. Ervin, A. Balijepalli, P. Joshi, V. Kushner, J. Yang, and T. J. Thornton, "CMOS-compatible SOI MESFETs with high breakdown voltage," *IEEE Transaction Electron Devices*, vol. 53, no. 12, pp. 3129-3135, 2006.

[14] S. M. Sze, and K. K. Ng, *Physics of Semiconductor Devices*, 3rd ed., Hoboken, NJ, Wiley, 2007.

زیرنویس‌ها

[1] Silicon On Insulator
[2] SOI MESFET
[3] MESFET
[4] Oxide Region in Channel of SOI MESFET (OR-SOI MESFET)
[5] Gate- Drain Capacitance
[6] Gate- Source Capacitance
[7] Cut-off frequency (f_t)
[8] Maximum Oscillation frequency (f_{max})
[9] Minimum Figure Noise (F_{min})
[10] Chemical mechanical polishing (CMP)
[11] Conventional Structure
[12] Unilateral Gain
[13] Current Gain
[14] Maximum available gain

Archive of SID

www.SID.ir