اینورتر منبع امپدانسی YZ

طلیعه بخشنده طالشانی[۱و۲]، دانشجوی کارشناسی‌ارشد، آلفرد باغرامیان[۳]، استادیار، سیدسعید محتوی‌پور[۴]، استادیار

۱- گروه مهندسی برق-قدرت - پردیس علوم و تحقیقات گیلان - دانشگاه آزاد اسلامی - رشت - ایران - Bakhshandeh.D@gmail.com
۲- گروه مهندسی برق-قدرت - واحد رشت - دانشگاه آزاد اسلامی - رشت - ایران
۳- گروه مهندسی برق - دانشکده فنی - دانشگاه گیلان - رشت - ایران - alfred@guilan.ac.ir
۴- گروه مهندسی برق - دانشکده فنی - دانشگاه گیلان - رشت - ایران - mohtavipour@guilan.ac.ir

چکیده: در این مقاله، ساختار پیشنهادی بر مبنای اینورتر منبع امپدانسی ارائه شده است. در ساختار پیشنهادی دو ترانسفورماتور با سه سیم‌پیچ جایگزین دو سلف اینورتر منبع امپدانسی کلاسیک، شده است. ساختار جدید، دارای ضریب تقویت بالاتری نسبت به سایر اینورترهای منبع امپدانسی، مستقل از مقدار D است. همچنین به‌منظور دست‌یابی به شکل‌موج خروجی با کیفیت بسیار بالا، شاخص مدولاسیون بسیار بزرگ (نزدیک به یک) در نظر گرفته شده که این امر باعث کاهش استرس ولتاژ در قطعات ساختار پیشنهادی می‌شود. روابط ارائه‌شده و همچنین نتایج شبیه‌سازی در سیمولینک نرم‌افزار MATLAB، کارایی ساختار پیشنهادی را نشان می‌دهد.

واژه‌های کلیدی: اینورتر منبع امپدانسی، اینورتر منبع امپدانسی TZ، اینورتر منبع امپدانسی ترانسفورماتوری، اینورتر منبع امپدانسی Y، بهره ولتاژ، شاخص مدولاسیون.

YZ Impedance Source Inverter

T. Bakhshandeh Taleshani, MSc[1, 2], A. Baghramian, Assistant professor[3], S.S. Mohtavipour, Assistant professor[4]

1- Department of Electrical Power Engineering, Guilan Science and Research Branch, Islamic Azad University, Rasht, Iran, Bakhshandeh.D@gmail.com
2- Dep. of Electrical Power Engineering, Rasht Branch, Islamic Azad University, Rasht, Iran.
3- Department of Electrical Engineering, Faculty of Engineering, University of Guilan, Rasht, Iran, alfred@guilan.ac.ir
4- Department of Electrical Engineering, Faculty of Engineering, University of Guilan, Rasht, Iran, mohtavipour@guilan.ac.ir

Abstract: In this paper a new topology based on "Z source inverters" is introduced. In the proposed structure, two inductors of the impedance network in conventional Z Source Inverter are replaced by two transformers with three windings. Voltage gain of the new inverter is higher than other Z Source networks with any duty cycle. In order to access high output power quality, the proposed inverter operates at a higher modulation index (near 1). Thereby, stress of switching devices is reduced. The performance of the proposed inverter is verified using the MATLAB/SIMULINK software.

Keywords: Z source inverter, TZ source inverter, trans Z source inverter, Y Z source inverter, voltage gain, modulation index

تاریخ ارسال مقاله: ۱۳۹۴/۰۹/۱۳
تاریخ اصلاح مقاله: ۱۳۹۵/۲/۱۲
تاریخ پذیرش مقاله: ۱۳۹۵/۲/۲۳
نام نویسنده مسئول: آلفرد باغرامیان
نشانی نویسنده مسئول: ایران -رشت- کیلومتر ۸ جاده تهران- دانشگاه گیلان- دانشکده فنی

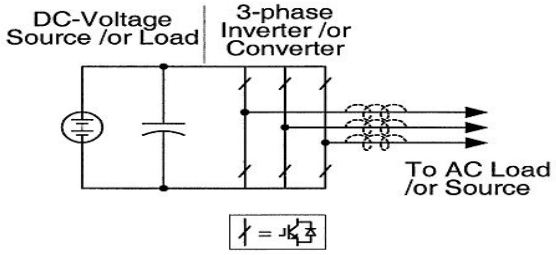
Archive of SID
www.SID.ir

۱- مقدمه

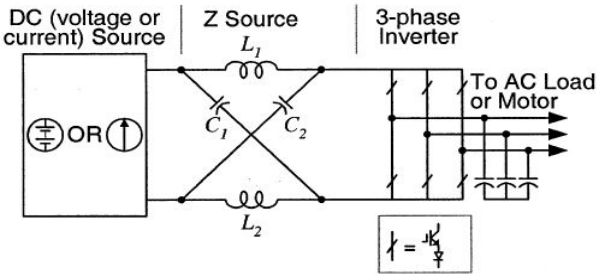
اینورترها امروزه در کاربردهای مختلفی مانند درایوها، تولید پراکنده [۱] و خودروهای هیبرید پیل سوختی [۲] مورداستفاده قرار می‌گیرند. اینورترهای منبع ولتاژی، شکل ۱ به‌طور گسترده‌ای در کاربردهای صنعتی مانند منبع تغذیه بدون وقفه (UPS)[۱]، وسایل نقلیه الکتریکی، سیستم‌های تجدیدپذیر مورداستفاده قرار می‌گیرد، اما دارای محدودیت‌هایی هستند. ولتاژ خروجی این اینورترها دارای مقدار کم و محدودی است و نمی‌تواند از ولتاژ لینک dc بیش‌تر شود، بنابراین اینورتر منبع ولتاژی، اینورتری کاهنده در تبدیل dc/ac است و در کاربردهایی که به مقدار بیش‌تری نیاز داشته باشیم و منبع ولتاژ در دسترس محدود باشد، از یک مبدل افزاینده dc/dc اضافی جهت به دست آوردن ولتاژ ac خروجی مطلوب استفاده می‌شود که طبقه اضافی تبدیل توان، هزینه سیستم را افزایش داده و کارایی آن را کاهش می‌دهد.

در یک مدار، تشکیل‌شده از کلیدهای قدرت مانند MOSFET یا IGBT، کلیدهای بالایی و پایینی هر فاز نباید، چه از طریق نویز الکترومغناطیسی و چه به‌عمد، همزمان باهم روشن شوند زیرا S.T[۲] اتفاق می‌افتد و به دستگاه آسیب می‌رساند و S.T بوجودآمده به دلیل نویز الکترومغناطیسی، تهدیدی جدی برای قابلیت اطمینان مدار است. بنابراین برای کلیدهای بالایی و پایینی ساق‌های مبدل منبع ولتاژی، باید (dead-time) در نظر گرفته شود که خود باعث اعوجاج شکل موج‌ها می‌شود.

اینورتر منبع امپدانسی پل سه‌فاز دارای نه حالت مجاز کلیدزنی است، برخلاف اینورتر منبع ولتاژی سه‌فاز که دارای هشت حالت بود. اینورتر منبع ولتاژی سه‌فاز کلاسیک دارای شش بردار اکتیو و دو بردار صفر است (که در آن ترمینال‌های بار به ترتیب توسط کلیدهای پایینی یا بالایی اتصال کوتاه می‌شوند). اینورتر پل سه‌فاز منبع امپدانسی، دارای یک بردار صفر اضافی است که به آن بردار صفر S.T می‌گویند و در آن ترمینال‌های بار توسط هر دو کلید بالا و پایین یک‌فاز، دوفاز از سه‌فاز و یا هر سه‌فاز اتصال‌کوتاه می‌شوند. این بردار صفر S.T در اینورترهای منبع ولتاژ کلاسیک، به‌علت ایجاد خطاهای S.T ممنوع بوده است. این بردار را می‌توان به هفت طریق متفاوت ایجاد کرد: هر کدام از سه‌فاز (۳ حالت)، دوفاز از سه‌فاز (۳ حالت) و هر سه‌فاز (۱ حالت). مشخصه منحصربه‌فرد افزاینده - کاهنده بودن این اینورتر به دلیل استفاده از حالت صفر S.T و شبکه امپدانسی امکان‌پذیر می‌گردد.



شکل ۱: اینورتر منبع ولتاژی [۳]



شکل ۲: اینورتر منبع امپدانسی [۳]

برای غلبه بر معایب و مشکلات مبدل‌های منبع ولتاژی ، اینورتر منبع امپدانسی شکل ۲ ارائه شد. ویژگی منحصربه‌فرد اینورتر منبع امپدانسی این است که بدون توجه و وابستگی به ولتاژ ورودی می‌تواند ولتاژ ac خروجی با هر مقداری بین صفر و بی‌نهایت تولید کند. یعنی اینورتر منبع امپدانسی یک اینورتر افزاینده - کاهنده است که دارای گستره وسیعی از ولتاژ قابل تولید است. اینورترهای منبع ولتاژی و منبع جریانی کلاسیک این ویژگی را نداشتند.

رابطه ضریب تقویت اینورتر منبع امپدانسی همان‌طور که در مرجع [۳] ارائه شده:

$$B = \frac{1}{1-2D} \qquad (۱)$$

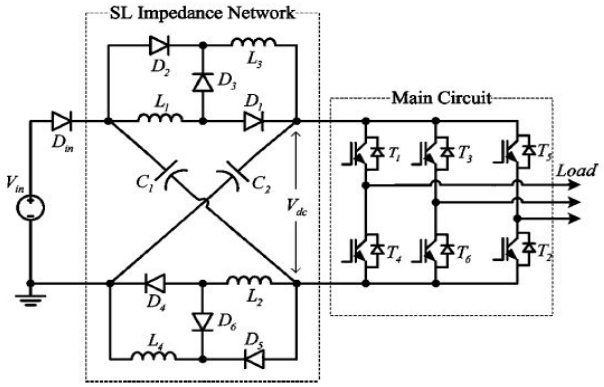
که در آن D مدت‌زمان S.T است. با توجه به رابطه (۱) مقدار D بین ۰ تا ۰/۵ محدود می‌شود. از رابطه (۱) مشخص است که به‌منظور دست‌یابی به بهره ولتاژ بالا، D باید افزایش یابد. اینورتر منبع امپدانسی کلاسیک، در حالت تئوری دارای بهره ولتاژی بی‌نهایت است، اما هرچه بهره ولتاژ بیش‌تر باشد باید شاخص مدولاسیون کوچک‌تری استفاده گردد و این مورد یکی از محدودیت‌های اینورتر منبع امپدانسی کلاسیک است. کم بودن شاخص مدولاسیون (M) و زیاد بودن (D) باعث مشکل در کیفیت توان خروجی، استرس ولتاژ بیش‌تر و ناتوانی سیستم می‌شود. رابطه بین D و M با استفاده از رابطه (۲) مشهود است.

$$0 < M < 1.15(1-D) \qquad (۲)$$

به دلیل مزایای اینورتر منبع امپدانسی، بعدها ساختارهای دیگری از این خانواده معرفی شدند مانند اینورتر شبه منبع امپدانسی [۴] که در آن استرس ولتاژ خازن در مقایسه با اینورتر منبع امپدانسی کلاسیک کم‌تر است، اما بهره ولتاژ افزایشی پیدا نکرده است. به‌منظور افزایش بهره ولتاژ، اینورتر منبع امپدانسی سویچ‌شده سلفی [۵]، شکل ۳ معرفی شد که بهره ولتاژ در آن افزایش بسیار زیادی داشت.

Archive of SID

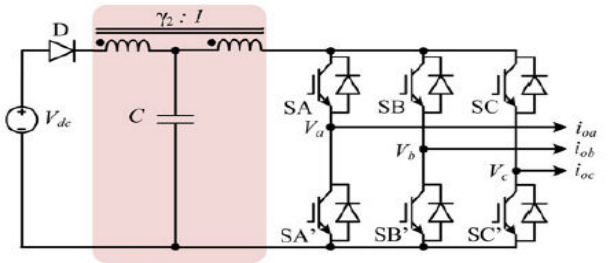
www.SID.ir



شکل ۳: اینورتر منبع امپدانسی سویچ‌شده سلفی [۵]

به‌منظور دست‌یابی به افزایش ولتاژ خروجی، روش استفاده‌شده در [۵]، در ساختار ارائه‌شده در [۴] به کار گرفته شد و ساختار [۶] ارائه شد. در [۷] با اضافه کردن چند المان پسیو به اینورتر شبه منبع امپدانسی، چندین اینورتر با بهره ولتاژ خروجی بالا ارائه شدند، اگرچه ولتاژ خروجی در اینورترهای [۷-۵] افزایش زیادی داشتند اما به‌علت استفاده از تعداد زیاد قطعات و درنتیجه افزایش هزینه، مورد استقبال قرار نگرفتند. در سال‌های اخیر، تعداد زیادی اینورتر منبع امپدانسی پیشنهاد شدند که از بین آن‌ها می‌توان به اینورتر منبع امپدانسی ترانسفورماتوری، شکل ۴ [۸] ، اشاره نمود. در اینورتر منبع امپدانسی ترانسفورماتوری، از یک ترانسفورماتور و یک خازن استفاده شده است. در رابطه (۳)، ضریب تقویت ولتاژ اینورتر منبع امپدانسی ترانسفورماتوری نشان داده شده که در آن n نسبت دور ترانسفورماتور است. با توجه به رابطه (۳) مشخص است که ضریب تقویت ولتاژ اینورتر منبع امپدانسی ترانسفورماتوری با افزایش نسبت دور ترانسفورماتور و یا کاهش D افزایش می‌یابد. بنابراین به‌منظور دست‌یابی به بهره ولتاژ بالا، نسبت دور بالای ترانسفورماتور لازم است که این امر منجر به افزایش هزینه می‌شود.

$$B = \frac{1}{1-(1+n)D} \qquad (۳)$$



شکل ۴: اینورتر منبع امپدانسی ترانسفورمری

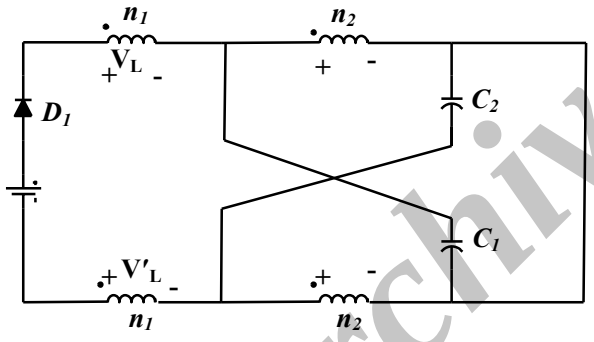
اینورتر منبع امپدانسی TZ [۹] که در شکل ۵ نشان داده شده، همانند اینورتر منبع امپدانسی کلاسیک ساختاری ضربدری شکل دارد اما به‌جای استفاده از دو سلف، در آن از دو ترانسفورماتور با دو سیم‌پیچ استفاده شده است.

بهره ولتاژ اینورتر منبع امپدانسی TZ از رابطه (۴) به دست می‌آید که در آن N_1 و N_2 نسبت دور ترانسفورماتور هستند.

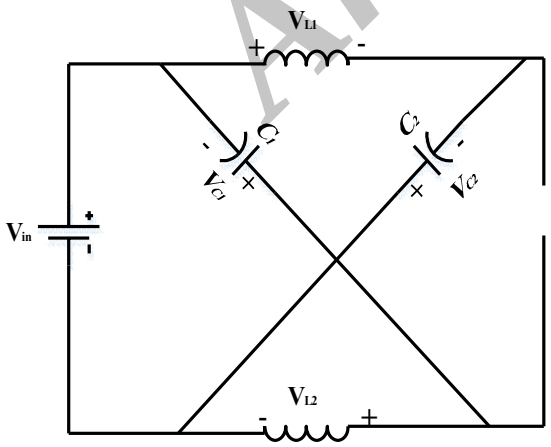
$$B = \frac{1}{1-(2+N_1+N_2)D} \qquad (۴)$$

در مرجع [۱۰] اینورتر منبع امپدانسی بهبودیافته که در شکل ۶ نشان داده شده معرفی شد، جریان هجومی این اینورتر در مقایسه با اینورتر منبع امپدانسی کلاسیک، به‌طور چشمگیری کاهش پیدا کرد، اما همانند اینورتر شبه منبع امپدانسی، بهره ولتاژ این ساختار تغییر نکرد.

در [۱۱] ساختار جدیدی از اینورتر منبع امپدانسی TZ معرفی شد که در آن برخلاف اینورتر منبع امپدانسی TZ، که در آن بهره ولتاژ با افزایش نسبت دور ترانسفورماتور افزایش پیدا می‌کرد، بهره ولتاژ با کاهش نسبت دور ترانسفورماتور افزایش می‌یابد که این امر موجب کاهش هزینه می‌شود. در [۱۳-۱۲] اینورتر منبع امپدانسی Y که در شکل ۷ نشان داده شده، با استفاده از یک ترانسفورماتور سه‌سیم‌پیچ در قسمت ورودی، یک اینورتر پل سه‌فاز و یک فیلتر در قسمت خروجی، بهره ولتاژ خروجی را افزایش داده است. این اینورتر همچنین نسبت به بقیه اینورترهای منبع امپدانسی از شاخص مدولاسیون بالاتری استفاده نموده که این امر باعث کاهش استرس ولتاژ خازن می‌شود.



شکل ۵ : اینورتر منبع امپدانسی **TZ** در حالت **ST** [۷]



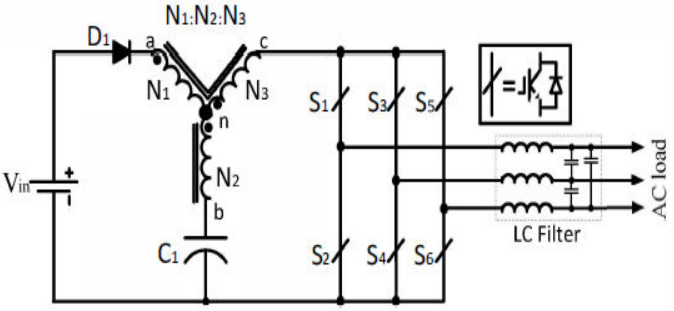
شکل ۶: اینورتر منبع امپدانسی بهبودیافته در حالت **S.T**

Archive of SID

www.SID.ir

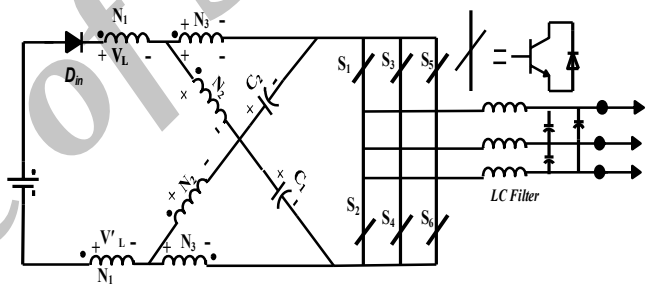
۲- اینورتر منبع امپدانسی YZ

در این بخش ساختار جدیدی از اینورتر منبع امپدانسی ارائه می‌شود که نسبت به اینورتر منبع امپدانسی TZ، یک سیم‌پیچ بیش‌تر دارد و این تغییر ساختار، تأثیر به‌سزایی در افزایش تقویت ولتاژ دارد. در ادامه، روابط به‌دست‌آمده و همچنین نتایج شبیه‌سازی نشان داده خواهد شد.



شکل ۷: اینورتر منبع امپدانسی Y

در مدار پیشنهادی در شکل ۸ دو ترانسفورماتور و همچنین دو خازن و یک دیود استفاده شده است و همانند دیگر اینورترهای منبع امپدانسی، این ساختار نیز دارای دو حالت کاری S.T و N.ST[۳] می‌باشد.



شکل ۸ : اینورتر منبع امپدانسی YZ

۲-۱- تحلیل مداری ساختار پیشنهادی

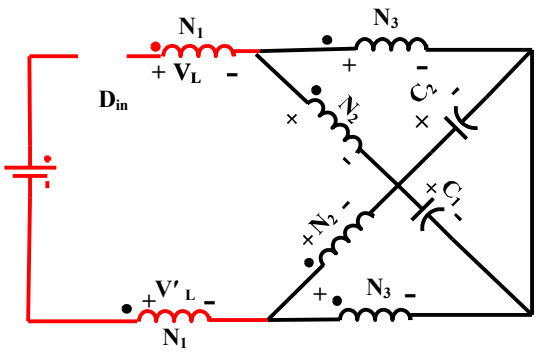
با فرض اینکه که نسبت دور ترانسفورماتورها و همچنین خازن‌های C_1 و C_2 به ترتیب دارای مقادیر یکسانی باشند، شبکه امپدانسی متقارن می‌گردد. در حالت S.T مطابق شکل ۹، پل اینورتر با روشن شدن همزمان کلیدهای بالایی و پایینی هر فاز، اتصال‌کوتاه می‌شود، در این حالت دیود ورودی بایاس معکوس شده و سیم‌پیچ‌های ترانسفورماتور در خود انرژی ذخیره می‌نمایند و خازن‌ها تخلیه می‌شوند.

شکل ۱۰ اینورتر پیشنهادی را در یکی از هشت حالت N.ST نشان می‌دهد که متشکل از شش حالت اکتیو و دو حالت صفر است، در این حالت دیود ورودی هدایت می‌کند، درنتیجه خازن‌ها شارژ شده و سیم‌پیچ‌های ترانسفورماتورها، انرژی دریافتی خود را از منبع به مدار تحویل می‌دهند.

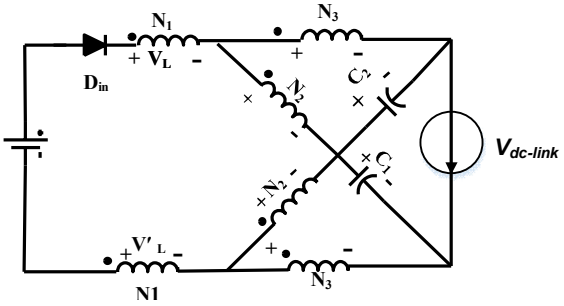
با توجه به اینکه ولتاژ متوسط هر یک از سیم‌پیچ‌های ترانسفورماتورها در طول یک دوره تناوب صفر است خواهیم داشت:

$$V_{L_{ST}} D + V_{L_{N.ST}} (1-D) = 0 \quad (۵)$$

$$V'_{L_{ST}} D + V'_{L_{N.ST}} (1-D) = 0 \quad (۶)$$



شکل ۹ : ساختار پیشنهادی در حالت S.T



شکل ۱۰: ساختار پیشنهادی در حالت N.ST

در رابطه (۵) $V_{L_{ST}}$ و $V_{L_{N.ST}}$ به ترتیب برابر با ولتاژ سیم‌پیچ شاخه بالایی در حالت ST و N.ST هستند، در رابطه (۶) $V'_{L_{ST}}$ و $V'_{L_{N.ST}}$ به ترتیب برابر با ولتاژ سیم‌پیچ شاخه پایینی در حالت ST و N.ST هستند، بنابراین با توجه به روابط (۵) و (۶) ولتاژ سیم‌پیچ‌ها در این حالت برابر است با:

$$V_{L_{N.ST}} = \frac{-DV_{L.ST}}{1-D} \quad (۷)$$

$$V'_{L_{N.ST}} = \frac{-DV'_{L.ST}}{1-D} \quad (۸)$$

با توجه به شکل ۸ در حالت S.T معادلات ولتاژ ترانسفورماتورها به‌صورت ذیل بیان می‌شوند که در آن V_{C1} و V_{C2} به ترتیب ولتاژ خازن‌های اول و دوم است:

$$n_{21}V_{L_{ST}} + V_{C_1} - n_{31}V_{L_{ST}} = 0 \quad (۹)$$

$$n_{21}V'_{L_{ST}} - V_{C_2} - n_{31}V'_{L_{ST}} = 0 \quad (۱۰)$$

با استفاده از معادلات (۹) و (۱۰) ولتاژ هر یک از سیم‌پیچ‌های ترانسفورماتور به‌صورت ذیل بیان می‌شوند:

$$n_{21} = \frac{N_2}{N_1} \quad V_{L_{ST}} = \frac{-V_{C_1}}{n_{21} - n_{31}} \quad (۱۱)$$

$$n_{31} = \frac{N_3}{N_1} \quad V'_{L.ST} = \frac{V_{C_2}}{n_{21} - n_{31}} \quad (۱۲)$$

Archive of SID

www.SID.ir

در روابط فوق N_1، N_2 و N_3 تعداد دور سیم‌پیچ‌های ترانسفورماتور هستند. با استفاده از روابط (۱۱) و (۱۲) در حالت N.ST با توجه به شکل ۹، معادلات ترانسفورماتورها به‌صورت ذیل بیان می‌شود:

$$V_{L_{N.ST}}(1+n_{21})+V_{C_1}-V'_{L_{N.ST}}(1+n_{31})=V_{in} \quad (۱۳)$$

$$V_{L_{N.ST}}(1+n_{31})+V_{C_2}-V'_{L_{N.ST}}(1+n_{21})=V_{in} \quad (۱۴)$$

با جایگذاری روابط (۷) و (۱۱) در معادله (۵) و همچنین (۸) و (۱۲) در معادله (۶) ولتاژ هر یک از خازن‌ها به دست می‌آید.

$$V_{C_1}=V_{C_2}=\frac{(1-D)V_{in}}{1-2D(\frac{N_1+N_3}{N_3-N_2})} \quad (۱۵)$$

ولتاژ لینک dc متناظر با پل اینورتر با استفاده از رابطه (۱۶) برابر است با:

$$n_{31}V_{L_{N.ST}}+V_{dc-link}-V_{C_1}-n_{21}V_{L_{N.ST}}=0 \quad (۱۶)$$

$$V_{dc-link}=\frac{V_{in}}{1-2D(\frac{N_1+N_3}{N_3-N_2})} \quad (۱۷)$$

با توجه به رابطه (۱۷)، ضریب تقویت طبق رابطه (۱۸) به دست می‌آید:

$$B=\frac{V_{dc-link}}{V_{in}}=\frac{1}{1-2D(\frac{N_1+N_3}{N_3-N_2})} \quad (۱۸)$$

اگر در رابطه (۱۸) شاخص K به‌صورت رابطه (۱۹) تعریف شود:

$$K=\frac{N_3+N_1}{N_3-N_2} \quad (۱۹)$$

رابطه ضریب تقویت به‌صورت رابطه (۲۰) بازنویسی می‌شود:

$$B=[1-2KD]^{-1} \quad (۲۰)$$

همچنین اگر در رابطه (۱۹) $K=\frac{N_3+N_1}{N_3-N_2}>2$ و مخرج عبارت ذکرشده نیز بزرگ‌تر از صفر باشد ($N_3-N_2>0$)، آنگاه شرط‌های (۲۱) و (۲۲) برقرار است.

$$N_1+2N_2>N_3 \quad (۲۱)$$

$$N_3>1 \text{ و } N_2<N_3 \quad (۲۲)$$

اگر شرایط ذکرشده رعایت شود، ضریب تقویت ساختار پیشنهادی از ضریب تقویت اینورتر منبع امپدانسی کلاسیک و دیگر ساختارهای ارائه‌شده تاکنون بالاتر خواهد شد.

ولتاژ خروجی هر فاز نیز با استفاده از رابطه (۲۳) حاصل می‌شود، که در آن M شاخص مدولاسیون است.

$$V_{ac}=\frac{1}{2}MBV_{in}=\frac{1}{2}MV_{in}[1-2KD]^{-1} \quad (۲۳)$$

بهره ولتاژ خروجی نیز طبق رابطه(۲۴) به دست می‌آید:

$$G=\frac{V_{ac}}{V_{in}}=\frac{1}{2}MB \quad (۲۴)$$

رابطه (۲۴) نشان می‌دهد که بهره ولتاژ ساختار پیشنهادی با تغییر نسبت دورهای مختلف ترانسفورماتور، تغییر می‌کند که نتایج آن در جدول ۱ ارائه شده است. این جدول نشان می‌دهد که ساختار پیشنهادی، خروجی مطلوبی را به ازای حالت‌های مختلفی از K تولید می‌کند و می‌تواند ولتاژ خروجی را افزایش یا کاهش دهد. همچنین متناظر با هر K ترکیب‌های مختلفی از نسبت دور ترانسفورماتور امکان‌پذیر است.

جدول ۱ : بهره ولتاژ اینورتر پیشنهادی با نسبت دورهای متفاوت ترانسفورماتور و ترانسفوماتور **D=۰/۱**

$K=\frac{N_1+N_3}{N_3-N_2}$	$B=\frac{V_{dc-link}}{V_{in}}$	$N_1:N_2:N_3$	$G=\frac{V_{ac}}{V_{in}}=0.5MB$
۲	۱/۶۶	۲:۱:۴ ۴:۲:۸ ۱:۲:۵	$\frac{0.5M}{(1-4D)}=0.75$
۳	۲/۵	۱:۱:۲ ۴:۴:۸ ۱:۳:۵	$\frac{0.5M}{(1-6D)}=1.125$
۴	۵	۵:۱:۳ ۴:۱۲:۱۶ ۱:۲:۳	$\frac{0.5M}{(1-8D)}=2.25$

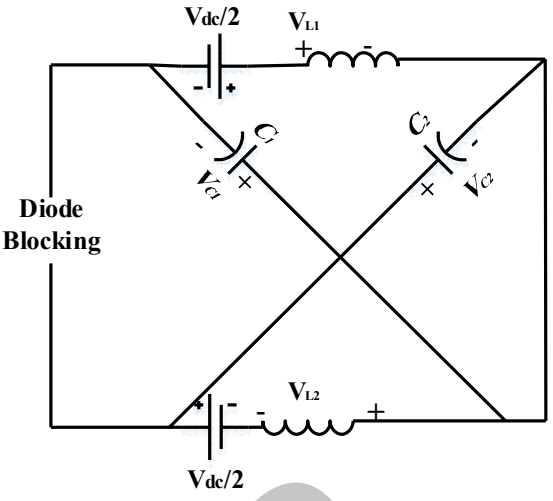
با توجه به جدول ۲، اینورتر منبع امپدانسی کلاسیک و اینورتر منبع امپدانسی ادغام شده [۱۴] شکل ۱۱ دارای بهره ولتاژ یکسانی هستند اما به دلیل استفاده از شاخص مدولاسیون بسیار کوچک، شکل‌موج خروجی این شبکه‌های امپدانسی از کیفیت چندان خوبی برخوردار نیست. اینورتر منبع امپدانسی سویچ‌شده سلفی به‌رغم اینکه دارای بهره ولتاژ خروجی بالایی است، به دلیل تعداد قطعات زیاد مورداستفاده مقرون‌به‌صرفه نیست. در اینورتر منبع امپدانسی ترانسفورماتوری و همچنین TZ به‌منظور دست‌یابی به بهره ولتاژ خروجی بالا، باید از نسبت دور بالای ترانسفورماتور استفاده شود. ساختار پیشنهادی به ازای نسبت دور کم‌تر ترانسفورماتور، بهره ولتاژ خروجی بیش‌تری ارائه می‌دهد.

۲-۲- مقایسه ساختار پیشنهادی با دیگر توپولوژی‌ها

در جدول ۲، بهره ولتاژ شبکه امپدانسی پیشنهادی با شبکه‌های دیگر از قبیل ZSI، اینورتر منبع امپدانسی ادغام‌شده، اینورتر منبع امپدانسی سویچ‌شده سلفی، اینورتر منبع امپدانسی ترانسفورماتوری، اینورتر منبع امپدانسی Y، اینورتر منبع امپدانسی TZ، ارائه شده است. اینورتر منبع امپدانسی Y، بالاترین بهره ولتاژ را نسبت به اینورترهای ارائه‌شده تاکنون ارائه می‌نمود، در جدول ۳ با توجه به رابطه (۲۳)، افزایش بهره ولتاژ ساختار پیشنهادی نسبت به اینورتر منبع امپدانسی Y ارائه شده است.

Archive of SID

www.SID.ir



شکل ۱۱: اینورتر منبع امپدانسی ادغام‌شده در حالت **S.T**

۲-۳- نتایج شبیه‌سازی ساختار پیشنهادی

برای شبیه‌سازی ساختار پیشنهادی از جدول ۴ استفاده شده است. در این جدول L_f و C_f و R_f به ترتیب سلف، خازن و مقاومت فیلتر پایین گذر و f_s فرکانس کلیدزنی هستند.

جدول ۲ : خلاصه‌ای از بهره ولتاژ شبکه‌های امپدانسی مختلف در مقایسه با بهره ولتاژ ساختار پیشنهادی

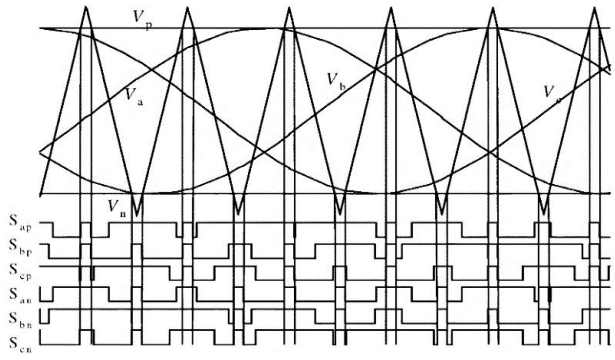
شبکه‌ی امپدانسی	$G=\frac{V_{ac}}{V_{in}}=0.5MB$
ZSI / embedded ZSI	$0.5M(1-2D)^{-1}$
Switched Inductor ZSI	$0.5M(\frac{1+D}{1-3D})$
Trans ZSI	$0.5M[1-(1+n)D]^{-1}$
T ZSI	$0.5M[1-(2+N_1+N_2)D]^{-1}$
Y Source Inverter	$0.5M[1-KD]^{-1}$
Proposed inverter	$0.5M[1-2KD]^{-1}$

جدول ۳: مقایسه بهره ولتاژ ساختار پیشنهادی با اینورتر منبع امپدانسی **Y** با **K=۴ و D=۰/۱**

Inverter	$B=\frac{V_{dc-link}}{V_{in}}$	$G=\frac{V_{ac}}{V_{in}}=0.5MB$
Y source Inverter	۲/۵	۱/۱۲۵
Proposed Inverter	۵	۲/۲۵

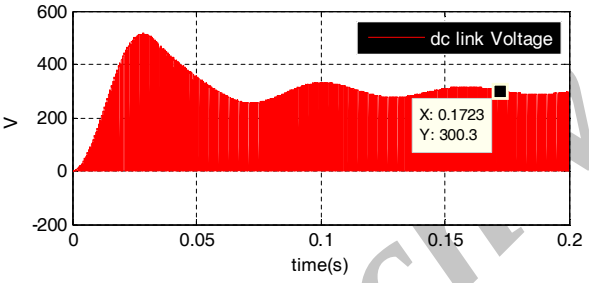
جدول ۴ : مقادیر موردنیاز برای شبیه‌سازی اینورتر پیشنهادی

کمیت	مقادیر
V_{in}	۶۰V
C_1=C_2	۱۰۰۰μF
M	0/9
f_s	10KHz
L_f	1mH
R_f	22μF
C_f	50Ω

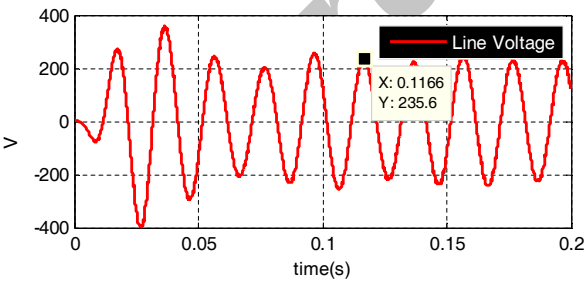


شکل ۱۲ : سیگنال‌های **S.T** اعمال‌شده به شش کلید در روش **SB**

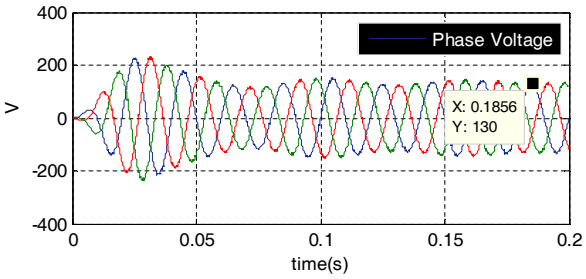
روش کنترلی در شبیه‌سازی ساختار پیشنهادی روش کنترلی تقویت ساده[۴] است، در این روش سیگنال S.T به همه بردارهای صفر در یک دوره کلیدزنی اعمال می‌شود و شش بردار فعال بدون تغییر باقی می‌مانند. مانند شکل ۱۲ دو خط مستقیم برای تشخیص سیکل کاری S.T استفاده می‌شود. از تلاقی دو خط مستقیم با سه موج مبنا، پالس‌های S.T تولید می‌شوند. هرگاه دامنه سیگنال حامل مثلثی بیش‌تر از دامنه خط مثبت مستقیم و یا کم‌تر از دامنه خط منفی مستقیم باشد، S.T رخ می‌دهد و این پالس‌ها به شش کلید اینورتر اعمال می‌شوند. در [۱۵] نتایج شبیه‌سازی در شکل ۱۳، ارائه شده است.



(الف)



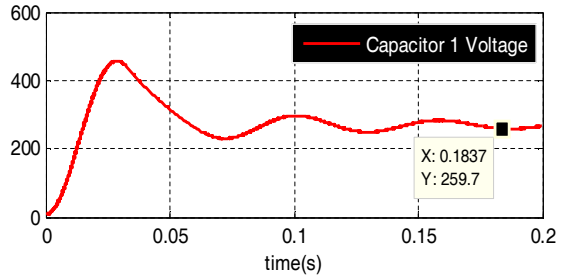
(ب)



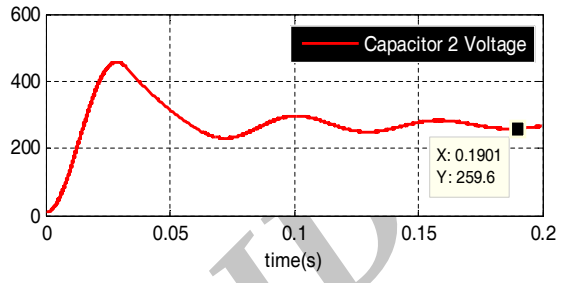
(ج)

Archive of SID

www.SID.ir

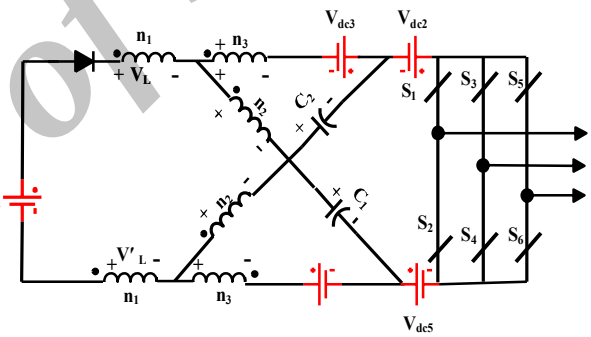


(د)



(ه)

شکل ۱۳: الف) ولتاژ لینک **dc** ، ب) ولتاژ خط **C**، ج) ولتاژ فاز، د) خازن V_{C1} ، ه) ولتاژ خازن V_{C2} اینورتر منبع امپدانسی پیشنهادی



شکل ۱۴: ساختار پیشنهادی با مکان‌های ممکن برای منبع ولتاژ dc

شکل ۱۴، مکان‌های ممکن برای منبع ولتاژ را نشان می‌دهد. طبق نتایج شبیه‌سازی، تمامی حالت‌ها بهره ولتاژ خروجی یک‌سانی تولید می‌کنند، اما استرس ولتاژ روی خازن‌ها در حالت‌های مختلف باهم فرق می‌کند که جزئیات آن طبق جدول ۵ ارائه شده است.

جدول ۵ : جزئیات استرس ولتاژ خازن‌ها با در نظر گرفتن منابع ولتاژ در مکان‌های مختلف

	V_{C1}	V_{C2}
V_{dc1}	۲۷۰V	۲۷۰V
V_{dc3}	۲۰۰V	۲۷۰V
V_{dc4}	۲۷۰V	۲۰۰V
$V_{dc2}=V_{dc5}$	۲۰۰V	۲۰۰V

۳- نتیجه

در این مقاله، یک ساختار جدید از اینورتر منبع امپدانسی ارائه شد. در اینورتر پیشنهادی از دو ترانسفورماتور با سه‌سیم‌پیچ به‌جای سلف‌های اینورتر منبع امپدانسی کلاسیک استفاده شده است. از ویژگی‌ها و مزایای اصلی ساختار پیشنهادی، می‌توان به شکل ظاهری ساختار پیشنهادی اشاره کرد که همانند ZSI کلاسیک به‌صورت X حفظ شده است. همچنین از لحاظ تعداد قطعات، در ساختار پیشنهادی، تنها از دو ترانسفورماتور استفاده شده و بهره ولتاژ بسیار بالایی با تغییر نسبت دور ترانسفورماتور به‌دست می‌آید. مدت‌زمان S.T بسیار کم در نظر گرفته شده که این امر موجب بالا بودن کیفیت شکل موج خروجی می‌گردد. اگرچه این اینورتر از بهره ولتاژ بالایی برخوردار است اما نسبت به بقیه اینورترهایی که بهره ولتاژ بالایی دارند تعداد دیودهایش افزایش نیافته که این امر منجر به کاهش سایز و همچنین کاهش هزینه و تلفات می‌شود.

اینورتر پیشنهادی، به‌منظور استفاده در پیل‌های سوختی و یا سیستم‌های فتوولتاییک، درجایی‌که ولتاژ ورودی بسیار کم باید به ولتاژ خروجی بالایی تبدیل شود مناسب است. همچنین ترانسفورماتور استفاده‌شده در ساختار پیشنهادی، به‌منظور بهبود کیفیت توان خروجی باید با اندوکتانس نشتی کمی طراحی شود. این مدار در حالت‌های مختلف dc/dc، dc/ac، ac/ac و ac/dc قابل استفاده است.

مراجع

[۱] سیما شاه‌محمدی، سیدحسین حسینی، ابراهیم بابایی، مهران صباحی و جابر فلاح، «آنالیز تحلیلی هارمونیک‌های خروجی اینورترهای چندسطحی در حالت کلیدزنی نامتقارن،» مجله مهندسی برق دانشگاه تبریز، دوره ۴۶، شماره ۱، صفحه ۲۱۹-۲۰۹، ۱۳۹۵.

[۲] مجید ولی‌زاده، محمدرضا فیضی، ابراهیم بابایی و مهران صباحی، «اینورتر امپدانسی دو خروجی برای درایو دو موتور القایی کنترل‌شده به روش DTC در خودرو هیبرید پیل سوختی،» مجله مهندسی برق دانشگاه تبریز، دوره ۴۴، شماره ۳، صفحه ۶۶-۵۴، ۱۳۹۲.

[3] F. Z. Peng, "Z-source inverter," *IEEE Trans. Ind. Appl.*, vol. 39, no. 2, pp. 504-510, 2003.

[4] J. Anderson, and F. Z. Peng, "A class of quasi-z-source inverters," *Proc. IEEE Ind. Appl. Soc.*, pp. 1-7, 2008.

[5] M. Zhu, K. Yu ,and F. L. Luo, "Switched inductor Z-source inverter," *IEEE Trans. Power Electron.*, vol. 25, no. 8, pp. 2150-2158, 2010.

[6] N. Minh-Khai, L. Young-cheol, and C. Geum-Bae, "Switched-inductor quasi-z-source inverter," *IEEE Trans. Power Electron*, vol. 26, no. 11, pp. 3183-3191, 2011.

[7] C. J. Gajanayake, F. L. Luo, H. Gooi, P. L. So, and L. K. Siow, "Extended-boost z-source inverters," *IEEE Trans. Power Electron.*, vol. 25, no. 10, pp. 2642-2652, 2010.

[8] Q. Wei, P. Fang-Zheng, and C. Honnyong, "Trans-z-source inverters," *IEEE Trans. Power Electron.*, vol. 26, no. 12, pp. 3453-3463, 2011.

[9] M. Nguyen, Y. Lim, and Y. Kim, "TZ-source inverters," *IEEE Trans. Ind. Appl.*, vol. 60, no. 12, pp. 5686-5695, 2013.

[10] Y. Tang, S. Xie, C. Zhan, and Z. Xu, "Improved z-source inverter with reduced z-source capacitor voltage stress and soft-start capability," *IEEE Trans. on Power Electron.*, vol. 24, no. 2, pp. 409-415, 2009.

[11] A. Mostaan, "Novel T-Z source inverter with High voltage

Archive of SID

www.SID.ir

gain and reduced transformer turn ratio," *Power Electronics, Drive Systems and Technologies (PEDSTC)*, *IEEE 6th International Conference on*, pp. 3-4, 2015.

[12] Y. P. Siwakoti, G. E. Town, P. C. Loh, and F. Blaabjerg, "Y-source inverter," *Power Electronics for Distributed Generation Systems (PEDG), IEEE 5th International Symposium on*, pp. 1-6, 2014.

[13] Y. P. Siwakoti, P. C. Loh, F. Blaabjerg, and G. E. Town, "Y-Source Impedance Network," *IEEE Trans. on Power Electronics,*, vol. 29, no. 7, pp. 3250-3254, 2014.

[14] P. C. Loh, F. Gao, and F. Blaabjerg, "Embedded EZ-source inverters," *IEEE Trans. Ind. Appl.*, vol. 46, no. 1, pp. 256-267, 2010.

[15] M. Shen, J. W. J. Wang, A. Joseph, F. Z. Peng, L. M. Tolbert, and D. J. Adams, "Maximum constant boost control of the Z-source inverter," *Conf. Rec. 2004 IEEE Ind. Appl. Conf. 2004. 39th IAS Annu. Meet.*, vol. 1, pp. 142-147, 2004.

زیرنویس‌ها

[1] Uninterruptible Power Supply

[2] Shoot through

[3] Non Shoot Through

[4] Simple Boost Control method

Archive of SID

www.SID.ir