

## مدار دینامیکی جدید برای طراحی مقایسه‌کننده نشانه توان پایین

محمد آسیایی، استادیار

دانشکده فنی و مهندسی - دانشگاه دامغان - دامغان - ایران - m.asyaei@du.ac.ir

**چکیده:** در این مقاله یک مدار دینامیکی جدید برای کاهش توان مصرفی مقایسه‌کننده‌های نشانه پیشنهاد می‌شود. برای کاهش توان مصرفی در مدار دینامیکی پیشنهادی از ترانزیستورهای NMOS برای پیش‌بار کردن گره دینامیکی استفاده شده است. بدین طریق دامنه تغییرات ولتاژ گره دینامیکی کم شده و توان مصرفی کاهش می‌یابد. شبیه‌سازی گیت‌های OR عریض و مقایسه‌کننده‌های نشانه ۴۰ بیتی با استفاده از نرم‌افزار HSPICE در فناوری ۹۰ نانومتر CMOS انجام شده است. نتایج شبیه‌سازی گیت‌های OR ۳۲ بیتی در تأخیر یکسان، ۴۲٪ کاهش توان و ۱/۶۸ برابر بهبود مصونیت در برابر نویز را نسبت به مدار دینامیکی متداول نشان می‌دهند. همچنین نتایج شبیه‌سازی بیانگر ۵۲٪ و ۱۶٪ کاهش به ترتیب در توان مصرفی و تأخیر مقایسه‌کننده نشانه پیشنهادی نسبت به نوع متداول آن تحت مصونیت در برابر نویز یکسان است.

**واژه‌های کلیدی:** مقایسه‌کننده نشانه، مدارهای دینامیکی، جریان نشتی، مصونیت در برابر نویز.

## New Dynamic Circuit for Low Power Tag Comparator Design

M. Asyaei, Assistant Professor

School of Engineering, Damghan University, Damghan, Iran, Email: m.asyaei@du.ac.ir

**Abstract:** In this paper, a new dynamic circuit is proposed to reduce power consumption of tag comparators. To reduce the power consumption in the proposed dynamic circuit, NMOS transistors are used to precharge the dynamic node. In this way, voltage swing on the dynamic node is decreased and hence the power consumption is reduced. Simulation of wide fan-in OR gates and 40-bit tag comparators are done using HSPICE simulator in a 90nm CMOS technology model. Simulation results exhibit 42% power reduction and 1.68× noise-immunity improvement at the same delay compared to the conventional dynamic circuit for 32-bit OR gates. Moreover, simulation results demonstrate 52% and 16% reduction in the power consumption and delay of the proposed tag comparator, respectively, at the same noise immunity compared to the conventional one.

**Keywords:** Tag comparator, dynamic circuits, leakage current, noise immunity.

تاریخ ارسال مقاله: ۱۳۹۶/۰۳/۱۵

تاریخ اصلاح مقاله: ۱۳۹۶/۰۶/۰۵

تاریخ پذیرش مقاله: ۱۳۹۶/۰۸/۱۱

نام نویسنده مسئول: محمد آسیایی

نشانی نویسنده مسئول: ایران - دامغان - میدان دانشگاه - دانشگاه دامغان - دانشکده فنی و مهندسی

۱- مقدمه

که منجر به افزایش توان مصرفی می‌شود. اگر انطباقی یافت شد و سیگنال برد<sup>۱</sup> (که متمم سیگنال باخت است) تولید شود، کلمه داده مرتبط با نشانه از SRAM داده خوانده می‌شود تا مورد استفاده ریزپردازنده قرار گیرد. در غیر این صورت با استفاده از الگوریتم‌های جایگزینی (مانند LRU<sup>۱</sup>) یک ردیف از حافظه نهان با مقدار جدیدی جایگزین می‌شود.

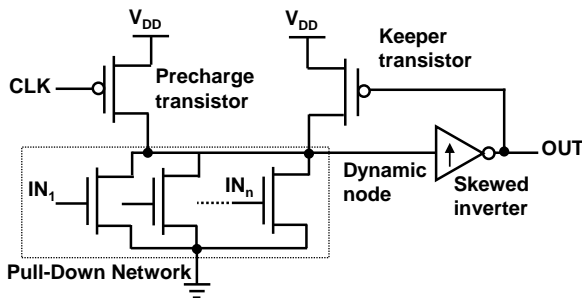
مقایسه‌کننده‌های نشانه متداول با استفاده از مدارهای دینامیکی پیاده‌سازی می‌شوند، اما با افزایش فضای آدرس فیزیکی و در نتیجه تعداد بیت نشانه در هر نسل ریزپردازنده‌ها، تأخیر و توان مصرفی مقایسه‌کننده‌های نشانه به شدت زیاد می‌شود. از سوی دیگر، جهت افزایش نرخ برد تعداد مقایسه‌کننده‌های نشانه در حافظه‌های نهان زیاد می‌شود که در نتیجه توان مصرفی بسیار افزایش می‌یابد. افزایش توان مصرفی و کاهش مصونیت در برابر نویز مخصوصاً در فناوری‌های بسیار زیر میکرون (DSM)<sup>۱۱</sup> که جریان نشتی افزایش قابل توجهی دارد، حادث‌تر نیز می‌شود؛ بنابراین روش‌های مدار جدیدی برای حل این مشکلات لازم است.

در این مقاله، یک روش مداری برای کاهش توان مصرفی و افزایش مصونیت در برابر نویز گیت‌های عریض مورد استفاده در مقایسه‌کننده‌های نشانه پیشنهاد می‌شود که مبتنی بر کاهش دامنه تغییرات ولتاژ گره دینامیکی است.

ساختار مقاله به شرح زیر است. پس از مرور کارهای پیشین در بخش ۲، مدار دینامیکی پیشنهادی در بخش ۳ توصیف می‌شود. در بخش ۴ نتایج شبیه‌سازی‌ها ارائه و تحلیل می‌شوند و در بخش ۵ یک مقایسه‌کننده نشانه ۴۰ بیتی با استفاده از مدار پیشنهادی طراحی می‌شود. در نهایت در بخش ۶ به جمع‌بندی مقاله پرداخته می‌شود.

۲- مرور کارهای پیشین

مدار دینامیکی متداول در شکل ۲ نشان داده شده است که یک گیت OR عریض (با تعداد درون‌دهی<sup>۱۲</sup> بالا) با استفاده از آن پیاده‌سازی شده است. وجود تعداد زیاد شاخه‌ها در گره دینامیکی باعث کاهش سرعت، کاهش نویز و افزایش توان مصرفی می‌شود. در بدترین حالت ممکن برای الگوی ورودی، فقط یکی از ترانزیستورهای NMOS در شکل ۲ روشن شدن و گره دینامیکی را دشارژ می‌کند. جهت افزایش مصونیت در برابر نویز می‌توان اندازه ترانزیستور نگه‌دارنده<sup>۱۳</sup> را نسبت به اندازه



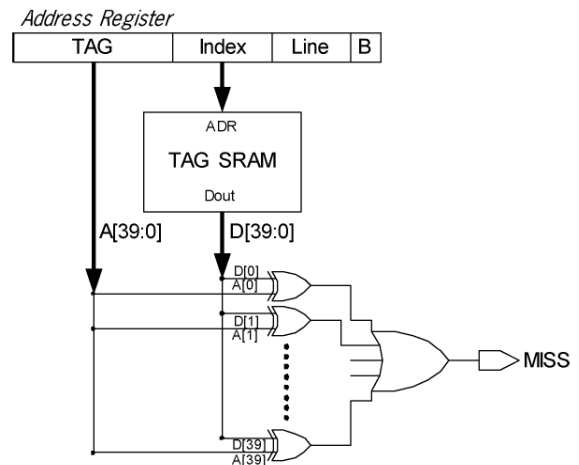
شکل ۲: مدار دینامیکی متداول

حافظه‌های نهان<sup>۱</sup> یکی از قسمت‌های پرکاربرد در مسیر داده ریزپردازنده‌های جدید می‌باشند که توان مصرفی و سرعت آن‌ها به علت ارجاعات زیاد از اهمیت خاصی برخوردار است. این حافظه‌ها نقش مهمی در جبران سرعت پایین حافظه اصلی (خارج تراشه) در مقابل سرعت بالای ریزپردازنده به عهده دارند؛ بنابراین برای رسیدن به عملکرد بالا با استفاده از موازی‌سازی در سطح دستورالعمل و استفاده از محلی بودن<sup>۲</sup> ارجاعات به حافظه، به کارگیری حافظه‌های نهان بزرگ ضروری است تا بتوان مسیرهای داده مربوط به واحدهای پردازش مختلف را از نظر برداشت و ذخیره‌سازی داده پشتیبانی کرد [۱].

از سوی دیگر، کاهش توان مصرفی مخصوصاً برای وسایل قابل حمل (به دلیل تأثیر مستقیم توان روی عمر باتری) به یک موضوع مهم تبدیل شده است. حافظه‌های نهان از جمله قطعاتی هستند که توان قابل توجهی را مصرف می‌کنند [۴-۲]. از سوی دیگر، اکثر انرژی مصرفی در حافظه‌های نهان صرف مقایسه نشانه<sup>۳</sup> موجود در ثبات آدرس و نشانه‌های موجود در حافظه حاوی نشانه‌ها می‌شود بدین ترتیب بیشتر توان در مقایسه‌کننده‌های نشانه مصرف می‌گردد.

مقایسه‌کننده‌های عریض که بیت‌های زیادی را باهم مقایسه می‌کنند علاوه بر حافظه‌های نهان، در صف‌های ذخیره - بارگذاری (LSQ)<sup>۴</sup>، بافرهای انشعاب هدف (BTB)<sup>۵</sup>، بافرهای TLB<sup>۶</sup> و بافرهای مرتب‌سازی مجدد (ROB)<sup>۷</sup> نیز استفاده می‌شوند [۵]؛ بنابراین مقایسه‌کننده‌ها که با گیت‌های عریض پیاده‌سازی می‌شوند از منابع عمده توان مصرفی در ریزپردازنده‌ها می‌باشند.

در شکل ۱ حافظه نشانه و مقایسه‌کننده نشانه ۴۰ بیتی برای ریزپردازنده ۶۴ بیتی با آدرس فیزیکی ۵۰ بیتی نشان داده شده است. مقایسه‌کننده نشانه با استفاده از گیت‌های XOR دو ورودی و گیت OR ۴۰ ورودی پیاده‌سازی می‌شود [۶]. با توجه به شکل ۱، ۴۰ بیت نشانه از ثبات آدرس با ۴۰ بیت نشانه موجود در SRAM مقایسه می‌شوند تا در صورت تطابق سیگنال باخت<sup>۸</sup> صفر شود. از آنجائی که سرعت موضوع حیاتی است، مقایسه همه نشانه‌ها به‌طور موازی انجام می‌گردد



شکل ۱: مقایسه‌کننده نشانه و SRAM حاوی نشانه [۶]

مدار آینه جریان آنالوگ که المثنی جریان نشتی شبکه پایین کش است، انجام می‌شود. اگرچه تأخیر انتشاری این روش، انحراف معیار کمی دارد و فقط از یک ترانزیستور طولی در هر گیت و یک آینه جریان مشترک استفاده می‌کند، اما همچنان دچار معایبی همچون مصونیت در برابر نویز پایین مخصوصاً در گیت‌های با ورودی زیاد است.

مدار دومینو قسمت شده دیودی (DPD) از دیودهای ارتقاء یافته برای تقسیم شبکه پایین کش به چندین شبکه کوچک تر استفاده می‌کند تا تأخیر گیت‌های با ورودی زیاد را کم کند [۶]. گیت این دیودها نسبت به دیودهای NMOS معمولی ولتاژ بیشتری دارند تا ولتاژ دو سر آن‌ها بتواند به صفر برسد. با استفاده از این روش مداری، خازن پارازیتی گره دینامیکی گیت‌های با ورودی زیاد کاهش می‌یابد و می‌توان از ترانزیستورهای نگه‌دارنده با اندازه کوچک‌تر استفاده کرد.

در روش مداری دیگر که دومینو مبتنی بر مقایسه ولتاژ (VCD) نام دارد از مقایسه ولتاژهای دو سر شبکه پایین کش برای بهبود عملکرد گیت‌های عریض استفاده شده است [۱۱]. با به‌کارگیری یک تقویت‌کننده سنش، مقایسه این ولتاژها انجام می‌شود. مزیت این روش کاهش توان مصرفی به دلیل کاهش دامنه تغییرات دو سر شبکه پایین کش است و از معایب آن می‌توان به تعداد ترانزیستور زیاد و جریان ایستای بالا اشاره کرد.

دومینو مبتنی بر شارژ تغییر یافته (MCSD) مدار دیگری است که با روشی متفاوت گره دینامیکی را شارژ می‌کند تا توان مصرفی کم شود [۱۲]. برای این منظور از ترانزیستورهای NMOS به جای ترانزیستورهای PMOS برای پیش بار استفاده می‌کند. همچنین شبکه پایین کش را به شبکه‌های کوچک‌تر تقسیم می‌کند تا سرعت بهبود یابد. باین حال به دلیل نحوه عملکرد متفاوت با مدارهای دینامیکی معمول، طراحی آن دشوارتر است.

مدار دومینو مبتنی بر مقایسه جریان ارتقاء یافته (ECCD) از مقایسه جریان شبکه ارزیابی با جریان مرجع جهت کاهش توان استفاده شده است [۱۳]. در این روش مداری به علت استفاده از دو طبقه مداری، سطح مصرفی مدار افزایش می‌یابد.

### ۳- مدار دینامیکی پیشنهادی

مدار دینامیکی پیشنهادی در شکل ۳ و شکل موج‌های مربوط به آن در شکل ۴ نشان داده شده است. در مدار دینامیکی پیشنهادی برای کاهش توان مصرفی از مقایسه ولتاژ گره دینامیکی با ولتاژ مرجع برای تولید خروجی مناسب استفاده شده است. جهت کاهش توان کلیدزنی در مدار دینامیکی پیشنهادی، از ترانزیستور NMOS به عنوان ترانزیستور پیش‌بار استفاده شده است تا دامنه تغییرات گره دینامیکی کاهش یابد. در ادامه به بررسی عملکرد و چگونگی بهبود پارامترهای طراحی در مدار پیشنهادی پرداخته می‌شود.

ترانزیستورهای شبکه پایین کش افزایش داد. با توجه به تأثیر اندازه ترانزیستور نگه‌دارنده روی پارامترهای طراحی، نسبت نگه‌دارنده (K) به صورت زیر تعریف می‌شود [۷]:

$$K = \frac{\mu_p \left(\frac{W}{L}\right)_{Keeper-transistor}}{\mu_n \left(\frac{W}{L}\right)_{Pull-Down-Network}} \quad (1)$$

که  $W$  طول و  $L$  عرض ترانزیستور،  $\mu_p$  و  $\mu_n$  به ترتیب قابلیت تحرک الکترون و حفره می‌باشند. افزایش اندازه ترانزیستور نگه‌دارنده یک روش معمول جهت بهبود استحکام مدارهای دینامیکی است. باین حال افزایش اندازه ترانزیستور نگه‌دارنده، تنازع<sup>۱۴</sup> بین شبکه پایین کش و ترانزیستور نگه‌دارنده را در فاز ارزیابی زیاد می‌کند که به نوبه خود باعث افزایش توان مصرفی و کاهش سرعت مدار می‌گردد؛ بنابراین بهبود مصونیت در برابر نویز به وسیله افزایش اندازه ترانزیستور نگه‌دارنده، روش مناسبی برای مدارهای دینامیکی نیست و باید از روش‌های مداری دیگری استفاده کرد.

به منظور بهبود پارامترهای طراحی، روش‌های مداری مختلفی در متون علمی معرفی شدند. هدف کلی این روش‌های مداری، افزایش استحکام مدار، بهبود تأخیر و یا کاهش توان مصرفی گیت‌های عریض است که در ادامه به طور مختصر بررسی می‌شوند.

منطق دومینو با نگه‌دارنده شرطی (CKD) یکی از این روش‌های مداری است که از تأخیر ساعت برای کنترل ترانزیستور نگه‌دارنده استفاده می‌کند [۸]. این مدار شامل یک ترانزیستور نگه‌دارنده کوچک و یک ترانزیستور نگه‌دارنده بزرگ است. بدین ترتیب حالت گره دینامیکی در ابتدای فاز ارزیابی توسط ترانزیستور نگه‌دارنده کوچک و در مابقی این فاز توسط ترانزیستور نگه‌دارنده بزرگ حفظ می‌شود. باین وجود مدار CKD دارای یک سری معایب از قبیل محدودیت در کاهش تأخیر معکوس‌کننده‌ها و گیت NAND جهت بهبود مصونیت در برابر نویز است. افزایش اندازه معکوس‌کننده‌های ایجادکننده تأخیر، مصونیت در برابر نویز را بهبود می‌دهد اما در عوض منجر به افزایش توان تلفاتی چشمگیری می‌گردد.

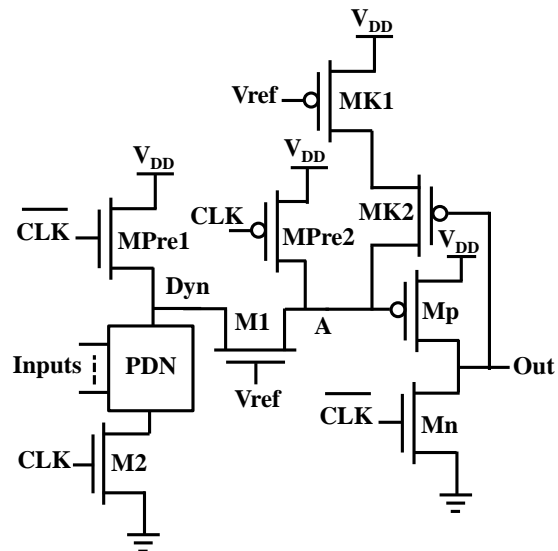
منطق دومینو با سرعت بالا (HSD) مدار دیگری است که دارای طرح متفاوتی برای کنترل نگه‌دارنده با استفاده از تأخیر ساعت است [۹]. در این حالت اگر گره دینامیکی در طی فاز ارزیابی در سطح بالا باقی مانده باشد، ترانزیستور نگه‌دارنده روشن و در غیر این صورت خاموش می‌شود. عیب بزرگ روش مداری HSD این است که در ابتدای فاز ارزیابی ترانزیستور نگه‌دارنده خاموش بوده و گره دینامیکی شناور است. اگرچه با این کار سرعت زیاد شود اما هرگونه نویزی در ابتدای فاز ارزیابی می‌تواند باعث دشوارتر گره دینامیکی گردد.

منطق دومینو با المثنی جریان نشتی (LCR) دارای ترانزیستور نگه‌دارنده با المثنی جریان نشتی است تا بتواند تغییرات فرآیند، ولتاژ و دما را دنبال نماید [۱۰]. میزان هدایت ترانزیستور نگه‌دارنده در این مدار با توجه به گوشه‌های فرآیند کنترل می‌شود. این کار از طریق یک

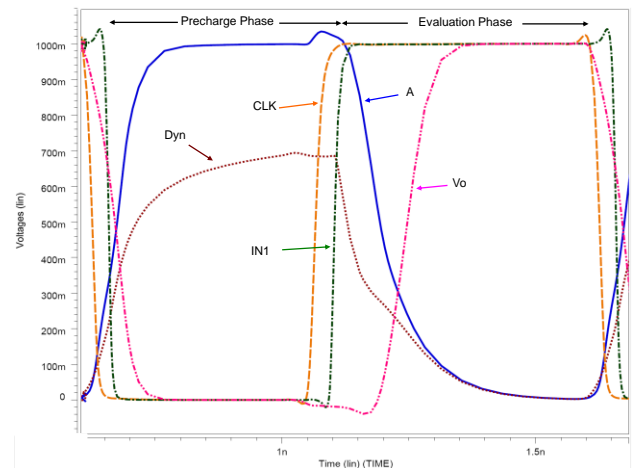
۳-۴ بررسی عملکرد مدار پیشنهادی

با توجه به شکل ۳، در مدار دینامیکی پیشنهادی از دو ترانزیستور  $M_{Pre1}$  و  $M_{Pre2}$  به ترتیب جهت پیش‌بار گره‌های Dyn و A استفاده شده است. ترانزیستور  $M_2$  در فاز ارزیابی شبکه پایین‌کش را به زمین متصل می‌کند و این امکان را در فاز پیش‌بار فراهم می‌آورد که ورودی‌ها بتوانند در هر سطح سیگنالی باشند. ترانزیستورهای  $M_p$  و  $M_n$  معکوس‌کننده خروجی را تشکیل می‌دهند.

به دلیل استفاده از ترانزیستور  $M_1$  در مدار دینامیکی پیشنهادی، اختلاف ولتاژ مرجع ( $V_{ref}$ ) و ولتاژ گره دینامیکی تعیین‌کننده خروجی در مدار پیشنهادی است. اگر ولتاژ گره دینامیکی تا مقدار  $V_{ref} - V_{m1}$  و کمتر از آن کاهش یابد (که  $V_{m1}$  ولتاژ آستانه ترانزیستور  $M_1$  است)، ترانزیستور  $M_1$  روشن شده و با دشارژ گره A، خروجی تا  $V_{DD}$  شارژ می‌شود. در غیر این صورت گره A در سطح  $V_{DD}$  و خروجی در سطح صفر باقی می‌ماند؛ بنابراین با کاهش  $V_{ref}$  در مدار پیشنهادی، ولتاژ گره دینامیکی باید بیشتر دشارژ شود تا سطح خروجی تغییر کند که در نتیجه آن مصنوعیت در برابر نویز افزایش ولی سرعت کاهش می‌یابد.



شکل ۳: مدار دینامیکی پیشنهادی



شکل ۴: شکل موج‌های مربوط به مدار دینامیکی پیشنهادی

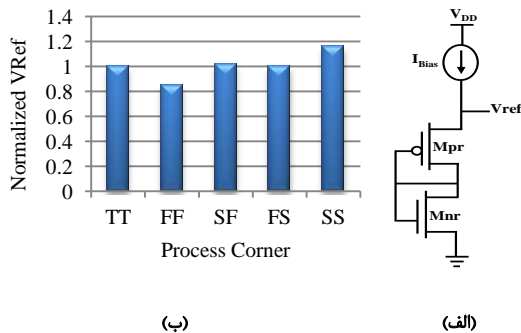
در مدار پیشنهادی، ترانزیستورهای  $M_{K1}$  و  $M_{K2}$  ترانزیستورهای نگه‌دارنده هستند که وظیفه آن‌ها جلوگیری از کاهش ناخواسته ولتاژ گره A در اثر منابع مختلف نویز است. ترانزیستور  $M_{K2}$  برای قطع جریان ترانزیستور  $M_{K1}$  در حالتی که گره A تا صفر دشارژ می‌شود، استفاده شده است. ترانزیستور  $M_{K1}$  نیز برای تولید جریان نگه‌دارنده متناسب با هر گیت، به کار گرفته شده است. اندازه این ترانزیستور با توجه به مصنوعیت در برابر نویز موردنیاز و جریان نشستی شبکه پایین‌کش تعیین می‌گردد تا تنازع بین ترانزیستورهای نگه‌دارنده و شبکه پایین‌کش به حداقل برسد. جریان نشستی شبکه پایین‌کش نیز به تعداد شاخه‌های موازی آن بستگی دارد.

جهت تولید ولتاژ مرجع می‌توان از مدار پیشنهادی در شکل ۵ (الف) استفاده کرد که شامل ترانزیستورهای  $M_{Pr}$ ،  $M_{nr}$  و منبع جریان است. همچنین مقدار ولتاژ مرجع در فرآیند نوعی (TT) برابر با  $0.7/5 \cdot V_{DD}$  است. از آنجایی که مدار مرجع برای همه گیت‌ها مشترک است سطح مصرفی تراشه را افزایش نمی‌دهد.

ولتاژ مرجع باید با تغییرات فرآیند به‌طور مناسبی تغییر نماید تا اثرات مربوط به این تغییرات کاهش یابد. برای عملکرد درست مدار و کاهش تغییرات فرآیند، ولتاژ مرجع باید در گوشه FF کمترین و در گوشه SS بیشترین مقدار را داشته باشد. اثر تغییر فرآیند روی ولتاژ مرجع در شکل ۵ (ب) نشان داده شده است. در این شکل، ولتاژ مرجع در چهار گوشه فرآیند به ولتاژ مرجع در حالت TT نرمالیزه شده است.

با توجه به شکل ۳، عملکرد مدار پیشنهادی در دو فاز پیش‌بار و ارزیابی به شرح زیر است. در فاز پیش‌بار، سیگنال ساعت در سطح صفر و مکمل آن در سطح یک قرار دارد ( $CLK = '0', \overline{CLK} = '1'$ )؛ بنابراین گره‌های Dyn و A به وسیله ترانزیستورهای  $M_{Pre1}$  و  $M_{Pre2}$  به ترتیب تا  $V_{DD} - V_m$  شارژ می‌شوند. همچنین گره Out به وسیله ترانزیستور  $M_n$  در معکوس‌کننده خروجی در سطح صفر قرار می‌گیرد؛ بنابراین ترانزیستورهای  $M_{K1}$ ،  $M_{K2}$ ،  $M_{Pre1}$ ،  $M_{Pre2}$  و  $M_n$  روشن و ترانزیستورهای  $M_p$ ،  $M_1$  و  $M_2$  خاموش هستند.

در فاز ارزیابی، سیگنال ساعت در سطح یک و مکمل آن در سطح صفر قرار دارد ( $CLK = '1', \overline{CLK} = '0'$ ) و ترانزیستور  $M_2$  روشن و ترانزیستورهای  $M_{Pre1}$ ،  $M_{Pre2}$  و  $M_n$  خاموش می‌باشند. با توجه به سیگنال‌های ورودی، ولتاژ گره‌های Dyn و A ممکن است کاهش یافته یا در سطح پیش‌بار شده باقی بمانند؛ بنابراین ترانزیستورهای  $M_p$  و  $M_1$  با توجه به سطح ولتاژ سیگنال‌های ورودی ممکن است روشن بشوند یا



شکل ۵: (الف) مدار مرجع پیشنهادی، (ب) اثر تغییر فرآیند روی ولتاژ مرجع نرمالیزه شده

$V_{th}$  از ولتاژ آستانه ترانزیستورهای NMOS با ولتاژ سورس صفر ولت بیشتر است.

$$V_t = V_{t0} + \gamma(\sqrt{\phi_s + V_{sb}} - \sqrt{\phi_s}) \quad (5)$$

که در آن ولتاژ سورس-بدنه،  $V_{sb} = 2V_T \ln \frac{N_A}{n_i}$  پتانسیل سطحی و  $\gamma$  ضریب اثر بدنه است [۱۴].

به دلیل این که در گیت‌های عریض ظرفیت خازنی مربوط به گره Dyn از ظرفیت خازنی گره‌های A و Out بیشتر است می‌توان رابطه ۴ را به صورت زیر تقریب زد:

$$P_{Switching-Proposed} \approx \alpha_{0 \rightarrow 1} C_{Dyn} V_S V_{DD} f_{Clk} \quad (6)$$

نسبت توان کلیدزنی مدار پیشنهادی به توان مدار دینامیکی متداول (با فرض یکسان بودن شبکه پایین‌کش و  $C_{Dyn}$  آن‌ها) برابر خواهد شد با:

$$\frac{P_{Switching-Proposed}}{P_{Switching-Conv.}} \approx \frac{V_S}{V_{DD}} = \frac{V_{DD} - V_m}{V_{DD}} = 1 - \frac{V_m}{V_{DD}} \quad (7)$$

بنابراین کاهش توان مصرفی مدار پیشنهادی در مقایسه با مدار متداول برابر با  $\frac{V_m}{V_{DD}}$  است.

با توجه به اهمیت توان نشتی ( $P_{leakage}$ ) در فناوری‌های مقیاس نانومتر، کاهش این مؤلفه از توان مصرفی نقش بسزایی در کاهش توان کل مدار دارد. این توان ناشی از جریان نشتی است و هنگامی که همه ترانزیستورهای شبکه پایین‌کش خاموش هستند باعث اتلاف توان می‌شود. جریان نشتی به‌طور چشم‌گیری با کوچک‌شدن طول کانال در فناوری‌های جدید و نیز افزایش تعداد شاخه‌های موازی در شبکه پایین‌کش زیاد می‌شود که در نتیجه آن مصونیت در برابر نویز مدار کم می‌شود [۱۵].

جریان نشتی غالب در فناوری‌های مدرن، جریان زیر آستانه ترانزیستورهای خاموش است و از رابطه زیر محاسبه می‌شود [۱۶]:

$$I_{sub} = I_0 \left(1 - e^{-\frac{V_{GS} - V_t + nV_{DS}}{nV_T}}\right) e \quad (8)$$

و  $I_0$  برابر است با:

$$I_0 = \mu_0 C_{OX} \frac{W}{L} (n-1) V_T^2 \quad (9)$$

که  $V_{GS}$  ولتاژ گیت-سورس،  $V_{DS}$  ولتاژ درین-سورس،  $n$  ثابت ضریب نوسان<sup>۱۶</sup> زیرآستانه و تابعی از فرآیند ساخت است،  $V_t$  ولتاژ آستانه،  $V_T$  ولتاژ حرارتی ( $KT/q$ )،  $\eta$  ضریب کاهش سد به‌وسیله درین (DIBL)<sup>۱۷</sup>،  $\mu_0$  قابلیت تحرک در بایاس صفر،  $C_{OX}$  ظرفیت خازنی اکسید گیت،  $W$  و  $L$  هم به ترتیب عرض و طول ترانزیستور می‌باشند.

در مدار پیشنهادی به دلایل زیر توان نشتی کاهش می‌یابد. نخست آنکه ترانزیستور پیش‌بار  $M_{Pre1}$  از نوع NMOS است و ولتاژ گیت-سورس آن در فاز ارزیابی برابر با  $V_m - V_{DD}$  می‌شود که یک مقدار

خاموش بمانند. ترانزیستورهای  $M_{K1}$  و  $M_{K2}$  نیز ممکن است خاموش شده یا روشن بمانند.

بنابراین در فاز ارزیابی با توجه به سیگنال‌های ورودی دو حالت کاری ممکن است رخ دهد. (۱) هیچ مسیر هدایتی در شبکه پایین‌کش وجود نداشته باشد که در این صورت تنها جریان موجود در شبکه پایین‌کش، جریان نشتی است. در این حالت، اختلاف ولتاژ مرجع و ولتاژ گره Dyn از ولتاژ آستانه ترانزیستور  $M_1$  کم‌تر است که در نتیجه خروجی تغییر نمی‌کند. (۲) اگر حداقل یک مسیر هدایت وجود داشته باشد، گره خروجی به دلیل دشارژ گره‌های Dyn و A تا  $V_{DD}$  شارژ می‌شود.

### ۴-۳ بهبود توان مصرفی و مصونیت در برابر نویز در مدار پیشنهادی

هدف اصلی مدار پیشنهادی، کاهش همه مؤلفه‌های توان مصرفی مدارهای دینامیکی است. در مدارهای دینامیکی توان مصرفی شامل سه قسمت عمده است که با توجه به روابط زیر مشخص می‌شوند [۱]:

$$P_{Avg/gate} = P_{Switching} + P_{Short-circuit} + P_{Leakage} \quad (2)$$

$$P_{Avg/gate} = \alpha_{0 \rightarrow 1} C_L V_{Swing} V_{DD} f_{Clk} + I_{SC} V_{DD} + I_{Leakage} V_{DD} \quad (3)$$

که در آن  $P_{Switching}$  توان کلیدزنی است که به  $C_L$  ظرفیت خازنی، دامنه تغییرات ولتاژ،  $\alpha_{0 \rightarrow 1}$  فاکتور فعالیت گذر از صفر به یک گره و  $f_{Clk}$  فرکانس ساعت وابسته است. مؤلفه دوم ( $P_{Short-circuit}$ ) مربوط به توان اتصال کوتاه ناشی از ایجاد مسیر مستقیم بین منبع ولتاژ و زمین است. در نهایت توان نشتی ( $P_{leakage}$ ) نیز ناشی از جریان نشتی ( $I_{Leakage}$ ) است. جریان نشتی نیز که عمدتاً توسط ملاحظات فناوری ساخت تعیین می‌شود شامل جریان‌های نشتی گیت، زیرلایه و زیرآستانه است [۱].

در مدار پیشنهادی دامنه تغییرات ولتاژ گره دینامیکی (Dyn) کم می‌شود تا با توجه به معادله (۳) توان کلیدزنی کاهش یابد. بدین منظور برای پیش‌بار گره دینامیکی از ترانزیستور نوع NMOS ( $M_{Pre1}$ ) به جای نوع PMOS در مدار متداول استفاده می‌شود. بدین ترتیب حداکثر ولتاژ گره دینامیکی  $V_{DD} - V_m$  خواهد بود که در آن  $V_{th}$  ولتاژ آستانه ترانزیستور  $M_{Pre1}$  است؛ بنابراین کاهش توان کلیدزنی مخصوصاً در گیت‌های عریض به دلیل ظرفیت خازنی بالای گره دینامیکی قابل توجه خواهد بود.

توان کلیدزنی در مدار پیشنهادی با توجه به کاهش دامنه تغییرات ولتاژ برابر خواهد بود با:

$$P_{Switching-Proposed} = \alpha_{0 \rightarrow 1} C_{Dyn} V_S V_{DD} f_{Clk} \quad (4)$$

$$+ \alpha_{0 \rightarrow 1} (C_{Out} + C_A) V_{DD}^2 f_{Clk}$$

که  $C_{Out}$  و  $C_A$ ،  $C_{Dyn}$  به ترتیب ظرفیت خازنی مربوط به گره‌های A، Dyn و Out می‌باشند. همچنین دامنه تغییرات ولتاژ روی گره Dyn است. حداکثر مقدار ولتاژ این گره برابر  $V_{DD} - V_m$  است که  $V_m$  ولتاژ آستانه ترانزیستور  $M_{Pre1}$  است. به دلیل اثر بدنه<sup>۱۵</sup> طبق رابطه زیر

می‌باشند که جهت مقایسه با یکدیگر شبیه‌سازی می‌شوند. شبیه‌سازی‌ها با استفاده از نرم‌افزار HSPICE و مدل فت‌آوری ۹۰ نانومتر CMOS انجام شدند. ترانزیستورهای به‌کاررفته در این مقاله از نوع ترانزیستورهای با عملکرد استاندارد است. از ولتاژ تغذیه ۱۷ و دمای کاری ۱۱۰ °C استفاده شده است. گیت‌های OR با ۸، ۱۶، ۳۲ و ۶۴ ورودی به‌ترتیب با تأخیرهای ۷۰، ۸۰، ۹۰ و ۱۱۰ پیکوثانیه با استفاده از مدارهای مورد مطالعه و مدار پیشنهادی پیاده‌سازی شدند. از قالب کاری مورد استفاده در [۱۸] به‌عنوان معیاری جهت پیاده‌سازی و شبیه‌سازی مدارها استفاده شده است. همچنین خازن بار خروجی معادل با اتصال چهار معکوس‌کننده در خروجی (FO4) قرار داده شده است.

اندازه‌گیری توان مصرفی و تأخیر بین سیگنال ورودی تا سیگنال خروجی در حالتی اندازه‌گیری می‌شود که فقط یک ورودی تغییر کرده و سایر ورودی‌ها در حالت قبلی خود باقی می‌مانند. عرض ترانزیستورهای شبکه پایین‌کش در همه مدارها کم‌ترین مقدار ممکن یعنی  $W_{min} = 2L_{min}$  قرار داده شده است که  $L_{min}$  هم ۹۰nm است. نسبت عرض ترانزیستورهای PMOS به NMOS در معکوس‌کننده‌ها برابر ۲ قرار داده شده است. اندازه همه ترانزیستورها برابر با مقادیر حداقل قرار داده شده است و جهت رسیدن به تأخیر مورد نظر به شرح ذیل تغییر داده شده‌اند.

اندازه ترانزیستور نگه‌دارنده در مدار دینامیکی متداول، از ۰/۱ تا ۱ برابر اندازه ترانزیستورهای شبکه پایین‌کش تغییر داده می‌شود (تغییر نسبت  $K$  در معادله (۱)) تا تأخیر دلخواه به‌دست آید. با روشی مشابه و با تغییر اندازه ترانزیستور نگه‌دارنده بزرگ در مدار CKD و ترانزیستور نگه‌دارنده در مدار LCR می‌توان به تأخیر مورد نظر در این مدارها دست یافت.

جهت رسیدن به تأخیرهای مورد نظر در مدار HSD، اندازه معکوس‌کننده‌های ایجادکننده تأخیر و عرض ترانزیستور نگه‌دارنده تغییر داده می‌شود.

در مدار DPD، شبکه پایین‌کش به شبکه‌های کوچک‌تر با چهار شاخه موازی تقسیم شده است تا بهترین نتیجه به‌دست آید [۶]. تأخیر مطلوب با تغییر اندازه ترانزیستورهای نگه‌دارنده و پیش‌بار به‌دست می‌آید.

به‌منظور رسیدن به تأخیر مطلوب در مدار VCD، اندازه ترانزیستورهای ورودی در تقویت‌کننده سنجش تغییر داده می‌شود. روش مشابه با آنچه برای مدار LCR استفاده شد، برای گیت‌هایی که با مدار ECCD پیاده‌سازی شدند، استفاده می‌شود.

در مدار MCSD جهت رسیدن به تأخیر مورد نظر، از شبکه‌های پایین‌کش کوچک‌تر با هشت شاخه موازی استفاده می‌شود [۱۲]. همچنین نسبت عرض به طول ترانزیستورهای نگه‌دارنده برابر با یک قرار داده می‌شود.

منفی است. با توجه به رابطه (۸)، کاهش ولتاژ گیت-سورس ( $V_{GS}$ ) جریان نشتی را کم می‌کند.

دلیل دوم این‌که کاهش دامنه تغییرات ولتاژ گره دینامیکی باعث کاهش ولتاژ درین-سورس ( $V_{DS}$ ) ترانزیستورهای شبکه پایین‌کش می‌شود. با توجه به رابطه (۸)، کاهش ولتاژ درین-سورس ( $V_{DS}$ ) باعث کاهش جریان نشتی در مدار پیشنهادی مخصوصاً در گیت‌های عریض می‌گردد.

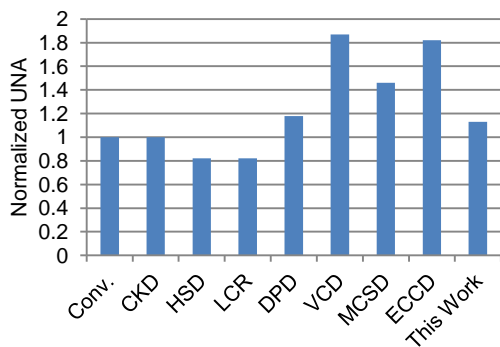
به‌منظور کاهش توان اتصال کوتاه ( $P_{Short-circuit}$ ) که عمدتاً ناشی از معکوس‌کننده و تنازع بین ترانزیستور نگه‌دارنده و شبکه پایین‌کش است، اقدامات زیر در مدار پیشنهادی صورت پذیرفته است. با توجه به شکل (۳)، گیت ترانزیستور NMOS در معکوس‌کننده به‌جای آنکه مانند مدار متداول به گیت ترانزیستور PMOS وصل شود، به مکمل سیگنال ساعت متصل شده است. بدین ترتیب از روشن شدن هم‌زمان دو ترانزیستور معکوس‌کننده در هنگام گذر سیگنال A جلوگیری می‌شود. بعلاوه جهت کاهش تنازع بین ترانزیستور نگه‌دارنده و شبکه پایین‌کش، جریان ترانزیستورهای نگه‌دارنده با استفاده از ولتاژ مرجع و اندازه ترانزیستور  $M_{K1}$  متناسب با نشتی شبکه پایین‌کش کنترل می‌شود [۱۷]. بدین ترتیب توان اتصال کوتاه در مدار پیشنهادی کاهش می‌یابد.

با توجه به مطالب ذکرشده، توان مصرفی مدار پیشنهادی با کاهش دامنه تغییرات ولتاژ گره Dyn، کاهش جریان‌های نشتی و اتصال کوتاه به‌طور قابل‌توجهی کم می‌شود.

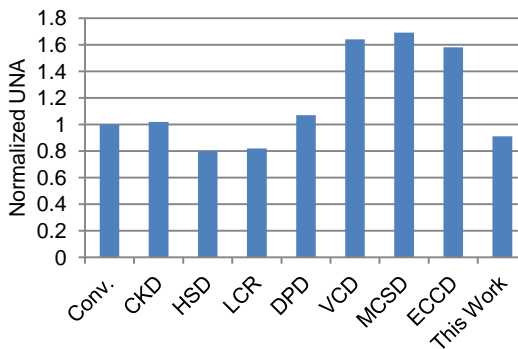
همچنین به دلایل زیر مصونیت در برابر نویز مدار پیشنهادی بهبود می‌یابد. اول آنکه، یکی از منابع عمده نویز در فناوری‌های جدید جریان‌های نشتی می‌باشند که با توجه به مطالب و توضیحات داده‌شده، جریان نشتی شبکه پایین‌کش در مدار پیشنهادی کاهش یافته و بدین ترتیب مصونیت در برابر نویز آن افزایش می‌یابد. دلیل دوم آنکه، به‌دلیل استفاده از ترانزیستور  $M_1$  جهت مقایسه ولتاژ مرجع با ولتاژ گره دینامیکی، حداقل ولتاژ لازم برای روشن شدن ترانزیستور PMOS در معکوس‌کننده خروجی ( $M_p$ ) به مقدار  $V_{ref} - V_{m1}$  کاهش یافته است. این بدان معناست که نویز قوی‌تری باید به مدار اعمال شود تا بتواند ولتاژ گره دینامیکی را به این مقدار ولتاژ برساند. باید توجه داشت که این ولتاژ در مدار دینامیکی متداول برابر با  $V_{DD} - V_{tp}$  است. بدین ترتیب مصونیت در برابر نویز در مدار پیشنهادی بهبود می‌یابد.

#### ۴- نتایج شبیه‌سازی

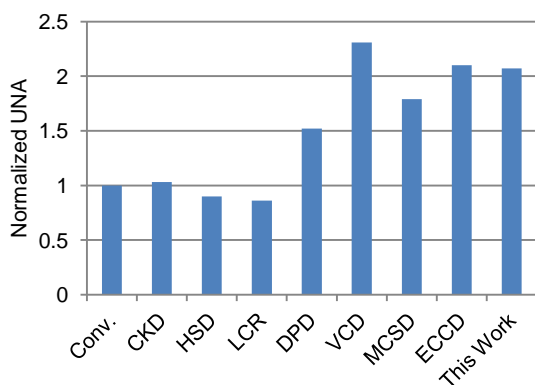
مدارهای مورد بررسی شامل: مدار دینامیکی متداول، دومینو با نگه‌دارنده شرطی (CKD) [۸]، دومینو با سرعت بالا (HSD) [۹]، نگه‌دارنده با المثنی جریان نشتی (LCR) [۱۰]، دومینو قسمت‌شده دیودی (DPD) [۶]، دومینو مبتنی بر مقایسه ولتاژ (VCD) [۱۱]، دومینو مبتنی بر شارژ تغییر یافته (MCSD) [۱۲]، دومینو مبتنی بر مقایسه جریان ارتقاء یافته (ECCD) [۱۳] و مدار دینامیکی پیشنهادی



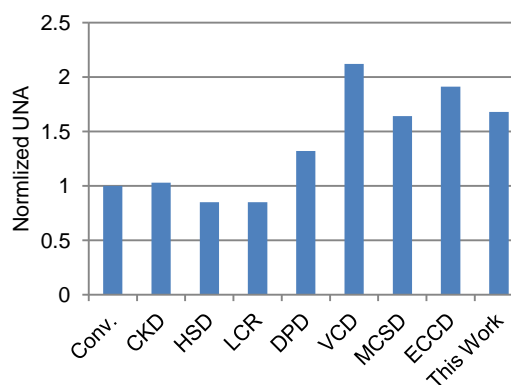
(ب)



(الف)



(د)



(ج)

شکل ۶: مقایسه UNA مدارهای مورد بررسی در تأخیر یکسان به ازای درون‌دهی‌های (الف) ۸، (ب) ۱۶، (ج) ۳۲، (د) ۶۴

با توجه به شکل ۷، کاهش توان مصرفی مدار پیشنهادی نسبت به مدار حداکثر ۴۸٪ است.

با توجه به اهمیت توان نشتی در فناوری‌های مقیاس نانومتر، کاهش این قسمت از توان مصرفی نقش بسزایی در کاهش توان کل دارد. به همین دلیل توان نشتی مدارهای مورد بررسی در فناوری ۹۰ نانومتر در حالتی که همه ورودی‌ها در سطح صفر قرار دارند، اندازه‌گیری شده و در جدول ۱ آورده شده است. با توجه به این جدول، مدار پیشنهادی به دلایل ذکر شده در بخش ۳ دارای کمترین توان نشتی است.

### ۵- مقایسه‌کننده نشانه پیشنهادی

با توجه به شکل ۱، برای مقایسه ۴۰ بیت نشانه یک گیت AND-OR لازم است که ۸۰ شاخه موازی دارد زیرا هر گیت XOR دوبیتی از دو شاخه موازی تشکیل شده است. اتصال تعداد زیاد شاخه‌ها به گره دینامیکی، ظرفیت خازنی را افزایش می‌دهد که منجر به افزایش تأخیر و توان مصرفی می‌گردد. در بدترین حالت ممکن برای الگوی ورودی، فقط یکی از ۸۰ شاخه موازی هدایت کرده و گره دینامیکی را تا زمین دشارژ می‌کند که باعث کاهش سرعت و افزایش توان مصرفی می‌شود.

یک مقایسه‌کننده نشانه k بیتی معمولاً با استفاده از ساختار مداری دو طبقه شامل مقایسه‌کننده n بیتی و گیت m OR بیتی پیاده‌سازی می‌گردد (به طوری که  $m \times n = k$ ) چراکه ساختار چندطبقه نسبت به یک

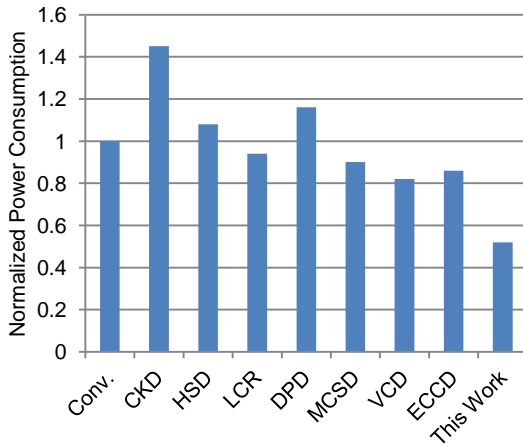
همچنین برای رسیدن به تأخیر مطلوب در مدار پیشنهادی، اندازه ترانزیستور  $M_p$  در شکل ۳ تغییر داده می‌شود. برای مقایسه مصنویت در برابر نویز مدارها از متوسط نویز واحد (UNA) استفاده می‌شود [۱۱]. طبق تعریف UNA برابر است با دامنه ولتاژ نویز ورودی که باعث می‌گردد متوسط ولتاژ نویز خروجی برابر با متوسط ولتاژ نویز ورودی شود.

$$UNA = \{V_m : Vnoise_{Avg} = Voutput_{Avg}\} \quad (10)$$

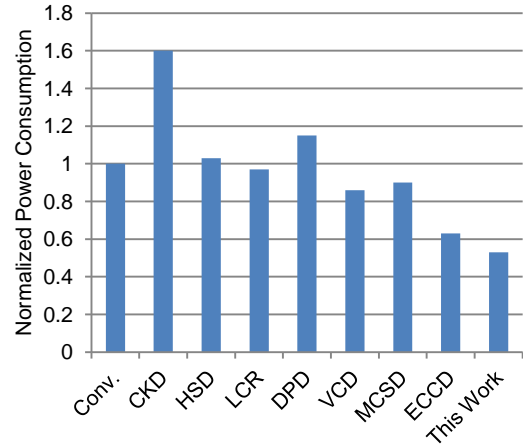
برای اندازه‌گیری UNA، دامنه پالس‌های نویز ورودی در بدترین حالت ممکن افزایش داده می‌شود تا جایی که متوسط ولتاژ نویزهای ورودی و خروجی باهم برابر شوند. بدترین حالت برای اندازه‌گیری مصنویت در برابر نویز نیز حالتی است که پالس‌های نویز ورودی به همه ترانزیستورهای شبکه پایین‌کش اعمال شوند.

در شکل ۶ مقادیر به دست آمده برای UNA نشان داده شده است که همگی نسبت به UNA مدار متداول نرمالیزه شده‌اند. همه شبیه‌سازی‌ها در تأخیر یکسان و برای درون‌دهی‌های مختلف انجام گرفته است. نتایج شبیه‌سازی بیانگر حداکثر ۲/۰۷ برابر بهبود در UNA مدار پیشنهادی نسبت به مدار متداول است.

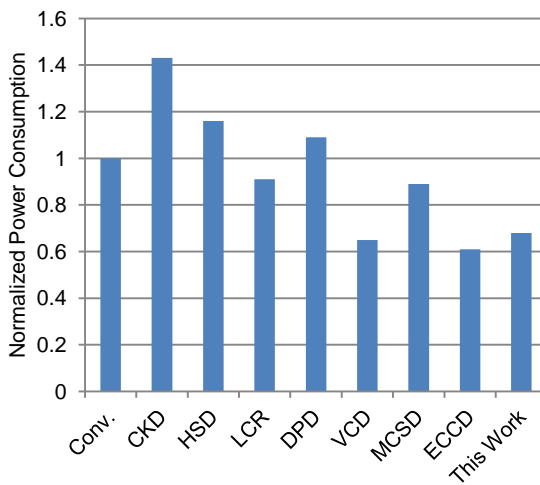
توان مصرفی مدارهای مورد بررسی برحسب تعداد درون‌دهی در شکل ۷ نشان داده شده است. توان مصرفی مدارها در تأخیر یکسان به دست آمده‌اند و همگی به توان مصرفی مدار متداول نرمالیزه شده‌اند.



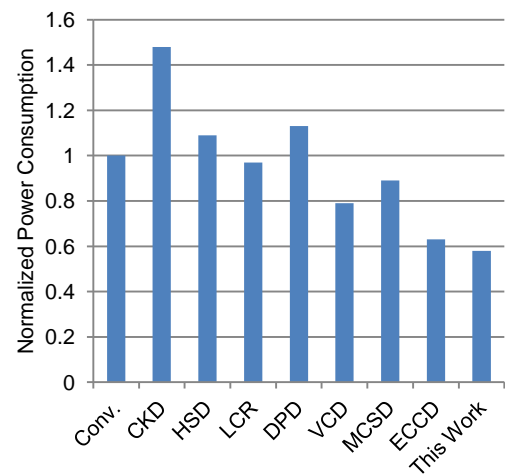
(ب)



(الف)



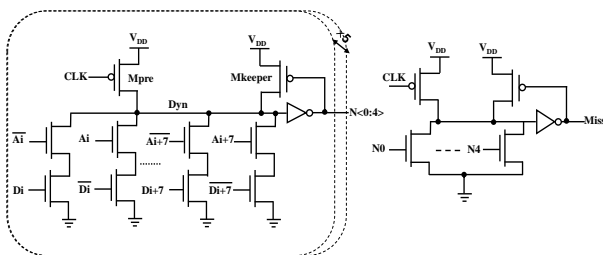
(د)



(ج)

شکل ۷: مقایسه توان مصرفی مدارهای مورد بررسی در تأخیر یکسان به ازای درون‌دهی‌های (الف) ۸، (ب) ۱۶، (ج) ۳۲، (د) ۶۴

در جدول ۲، FOM و سایر پارامترهای مقایسه‌کننده پیشنهادی فهرست شده‌اند که همگی از شبیه‌سازی پس از جانمایی به‌دست آمده‌اند. همه پارامترها به نظایر آن‌ها در مقایسه‌کننده متداول نرمالیزه شده‌اند تا بهبود به‌دست‌آمده مشهود باشد. نتایج نشان می‌دهند که مقایسه‌کننده پیشنهادی به دلیل داشتن تأخیر، مساحت و توان مصرفی کمتر، از FOM نرمالیزه‌شده بالایی برخوردار است. همچنین جدول ۲ نشان می‌دهد در شرایط مصونیت در برابر نویز یکسان، توان مصرفی و تأخیر مربوط به مقایسه‌کننده پیشنهادی



شکل ۸: مقایسه‌کننده نشانه ۴۰ بیتی با استفاده از مدار دینامیکی متداول

طبقه (با تعداد ورودی بسیار زیاد) تأخیر کمتری دارد [۶]. در طراحی مقایسه‌کننده نشانه ۴۰ بیتی با استفاده از مدار متداول و مدار پیشنهادی،  $n$  و  $m$  به ترتیب ۸ و ۵ انتخاب شدند. مقایسه‌کننده نشانه متداول در شکل ۸ و مقایسه‌کننده پیشنهادی در شکل ۹ رسم شده‌اند. با توجه به شکل ۹، به دلیل حذف گیت OR در مقایسه‌کننده پیشنهادی، مساحت مصرفی کاهش یافته است. در شکل ۱۰ نیز جانمایی<sup>۱۸</sup> مربوط به مقایسه‌کننده پیشنهادی نشان داده شده است.

به منظور مقایسه منصفانه مقایسه‌کننده پیشنهادی و مقایسه‌کننده متداول با در نظر گرفتن هم‌زمان پارامترهای نویز، تأخیر، سطح مصرفی، توان کلیدزنی و توان نشتی از معیار شایستگی (FOM) زیر استفاده می‌شود [۱۹].

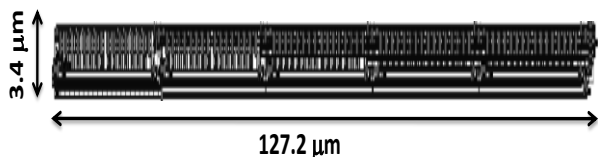
$$FOM = \frac{UNA_{norm}}{P_{Switch-norm} \times P_{Leak-norm} \times t_{P-norm}^2 \times A_{norm}} \quad (11)$$

که  $UNA_{norm}$ ،  $P_{Switch-norm}$ ،  $P_{Leak-norm}$  و  $t_{P-norm}$  به ترتیب متوسط نویز واحد، توان کلیدزنی، توان نشتی، تأخیر انتشار و سطح مصرفی مدار می‌باشند. همچنین هرکدام از پارامترها به پارامترهای مربوط به مقایسه‌کننده متداول نرمالیزه می‌شوند.



جدول ۱: مقایسه توان نشتی نرمالیزه مدارهای مورد بررسی در فناوری ۹۰ نانومتر

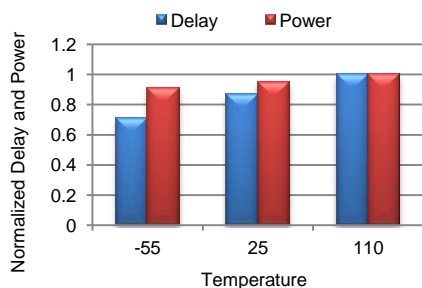
مدار پیشنهادی	ECCD [۱۳]	MCS D [۱۲]	VCD [۱۱]	DPD [۶]	LCR [۱۰]	HSD [۹]	CKD [۸]	مدار متداول	درون‌دهی
۰/۳	۱	۵۸/۳	۸۱	۱/۶	۱	۳۸/۹	۷۲/۲	۱	۸
۰/۱	۱/۶	۳۲/۳	۴۶/۶	۱/۴	۰/۹	۲۲/۵	۴۱/۶	۱	۱۶
۰/۰۶	۰/۹	۲۰/۸	۲۵/۴	۱/۵	۱	۱۲/۵	۲۳	۱	۳۲
۰/۰۶	۰/۵	۱۲	۱۳/۸	۱/۸	۱	۷/۸	۱۲	۱	۶۴



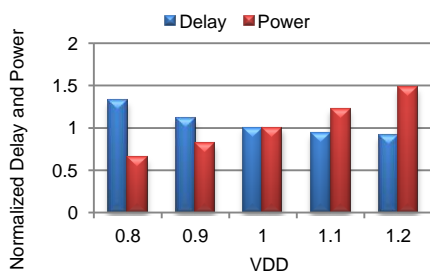
شکل ۱۰: جانمایی مربوط به مقایسه‌کننده نشانه پیشنهادی

جدول ۲: FOM و سایر مشخصات مقایسه‌کننده نشانه پیشنهادی

مقادیر نرمالیزه شده	پارامتر
۰/۸	مساحت
۰/۴۸	توان مصرفی
۰/۸۴	تأخیر انتشاری
۱	مصونیت در برابر نویز
۰/۵۲	توان نشتی
۷/۱	FOM



شکل ۱۱: اثر تغییر دما روی تأخیر و توان مقایسه‌کننده پیشنهادی



شکل ۱۲: اثر تغییر ولتاژ تغذیه روی تأخیر و توان مقایسه‌کننده پیشنهادی

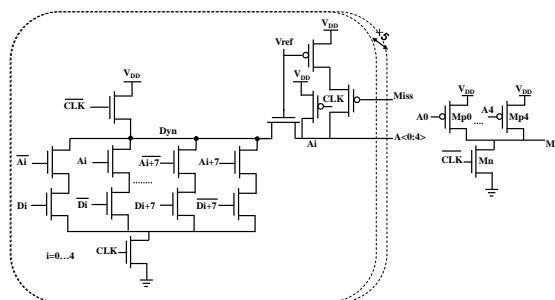
به ترتیب ۵۲٪ و ۱۶٪ کمتر از نوع متداول آن است که منجر به ۷/۱ برابر بهبود در FOM مقایسه‌کننده پیشنهادی نسبت به مقایسه‌کننده متداول می‌شود.

شبه‌سازی‌ها برای مقایسه‌کننده پیشنهادی در چهارگوشه فرآیند و سه دمای مختلف و ولتاژهای تغذیه ( $V_{DD}$ ) متغیر بین ۰/۸۷ تا ۱/۲۷ انجام شد تا اثر تغییرات فرآیند، ولتاژ و دما روی تأخیر و توان مصرفی مقایسه‌کننده پیشنهادی بررسی گردد. جهت مقایسه بهتر، نتایج به دست آمده به پارامترهای مشابه آن‌ها در فرآیند نوعی (tPtN)، ولتاژ تغذیه ۱۷ و دمای ۱۱۰ °C نرمالیزه شدند.

نتایج مربوط به تأخیر و توان مصرفی نرمالیزه شده به ازای سه دمای مختلف در فرآیند نوعی با ولتاژ تغذیه ۱۷ در شکل ۱۱ و به ازای ولتاژ تغذیه ( $V_{DD}$ ) متغیر بین ۰/۸۷ تا ۱/۲۷ در دمای ۱۱۰ °C در شکل ۱۲ رسم شده است.

همچنین اثر تغییر فرآیند روی مقادیر نرمالیزه شده تأخیر، توان مصرفی، مصونیت در برابر نویز و نیز حاصل ضرب تأخیر در توان (PDP) مقایسه‌کننده پیشنهادی در چهارگوشه فرآیند (fPfn, sPfn, sPsn) و fPsn) با ولتاژ تغذیه ۱۷ و دمای ۱۱۰ °C در جدول ۳ نشان داده شده است. با توجه به جدول ۳، PDP مقایسه‌کننده پیشنهادی در گوشه‌های مختلف حداکثر ۱۷٪ افزایش داشته است.

همچنین مقایسه‌کننده پیشنهادی با سایر مقایسه‌کننده‌هایی که اخیراً منتشر شده‌اند [۱۲، ۲۱-۲۰]، مقایسه شده است. برای مقایسه بهتر، نتایج گزارش شده در مقالات و نتایج حاصل از شبه‌سازی مقایسه‌کننده پیشنهادی در جدول ۴ فهرست شده‌اند. از آنجایی که نتایج مندرج در هر مقاله تحت شرایط متفاوتی (مانند فناوری ساخت، دما و فرکانس کاری) به دست آمده‌اند، بدین منظور از مقادیر نرمالیزه شده پارامترهای طراحی در این جدول استفاده شده است تا مقایسه بهتری صورت گیرد. به همین دلیل پارامترهای گزارش شده در هر مقاله به مقادیر مدار متداول در همان مقاله نرمالیزه شده‌اند.



شکل ۹: مقایسه‌کننده نشانه ۴۰ بیتی پیشنهادی

## مراجع

- [1] J. Rabaey, A. Chandrakasan and B. Nicolice, *Digital Integrated Circuits: A Design Perspective*, 2nd Edition, Englewood Cliffs, NJ: Prentice Hall, 2003.
- [2] M. K. Gowan, L. L. Biro and D. B. Jackson, "Power considerations in the design of the Alpha 21264 microprocessor," in *Proc. Conf. Des. Automation (DAC)*, 1998.
- [3] S. Santhanam, A. J. Baum, D. Bertucci, M. Braganza, K. Broch, T. Broch, J. Burnette, E. Chang, C. Kwong-Tak, D. Dobberpuhl, P. Donahue, J. Grodstein, K. Insung, D. Murray, M. Pearce, A. Silveria, D. Souydalay, A. Spink, R. Stepanian, A. Varadharajan, V. R. Van Kaenel and R. Wen, "A low-cost, 300-MHz, RISC CPU with attached media processor," *IEEE Journal of Solid-State Circuit*, vol. 33, no. 11, pp.1829–1838, Nov. 1998.
- [4] N. P. Jouppi, P. Boyle, J. Dion, M. J. Doherty, A. Eustace, R. W. Haddad, R. Mayo, S. Menon, L. M. Monier, D. Stark, S. Turrini, J. L. Yang, R. Hamburgren, J. S. Fitch, and R. Kao, "A 300-MHz 115-W 32-B bipolar ECL microprocessor," *IEEE Journal of Solid-State Circuits*, vol. 28, no. 11, pp. 1152–1166, Nov. 1993.
- [5] D. Ponomarev, G. Kucuk, O. Ergin and K. Ghose, "Power Efficient Comparators for Long Arguments in Superscalar Processors," in *Proc. Int. Symp. Low Power Electronics and Design (ISLPED)*, pp. 378-383, 2003.
- [6] H. Suzuki, C. H. Kim and K. Roy, "Fast tag comparator using diode partitioned domino for 64-bit microprocessors," *IEEE Transaction on Very Large Scale Integration (VLSI) Systems*, vol. 54, no. 2, Feb. 2007.
- [7] P. Gronowski, *Issues in dynamic logic design, in Design of High-Performance Microprocessor Circuits*, A. Chandrakasan, W. J. Bowhill and F. Fox, Eds. Piscataway, NJ: IEEE Press, 2001, ch. 8, pp. 140–157.
- [8] A. Alvandpour, R. Krishnamurthy, K. Sourrty and S. Y. Borkar, "A sub-130-nm conditional-keeper technique," *IEEE Journal Solid-State Circuits*, vol. 37, no. 5, pp. 633-638, May 2002.
- [9] M. H. Anis, M. W. Allam and M. I. Elmasry, "Energy-efficient noise-tolerant dynamic styles for scaled-down CMOS and MTCMOS technologies," *IEEE Transaction on Very Large Scale Integration(VLSI) Systems*, vol. 10, no. 2, pp. 71-78, April. 2002.
- [10] Y. Lih, N. Tzartanis and W. W. Walker, "A leakage current replica keeper for dynamic circuits," *IEEE Journal Solid-State Circuits*, vol. 42, no. 1, pp. 48–55, Jan. 2007.
- [11] M. Asyaei, "A new leakage-tolerant domino circuit using voltage-comparison for wide fan-in gates in deep sub-micron technology," *Integration, the VLSI Journal*, vol. 51, pp. 61-71, Sep. 2015.
- [12] M. Nasseian, M. Kafi-Kangi, M. Meymandi-Nejad and F. Moradi, "A low-power fast tag comparator by modifying charging scheme of wide fan-in dynamic OR gates," *Integration, the VLSI Journal*, vol. 52, no. 3, pp. 129-141, Jan. 2016.
- [۱۳] م. آسیایی، «دومینو مبتنی بر مقایسه جریان ارتقاء یافته برای طراحی گیت‌های عریض توان پایین»، *مجله مهندسی برق دانشگاه تبریز*، جلد ۴۷، شماره ۱، صفحه ۱–۱۰، ۱۳۹۶.
- [14] D. L. Ding and P. Mazumder, "On circuit techniques to improve noise immunity of CMOS dynamic logic," *IEEE Transaction on Very Large Scale Integration (VLSI) Systems*, vol. 12, pp. 910–925, Sep. 2004.

## جدول ۳: بررسی تغییر فرآیند روی پارامترهای نرمالیزه مقایسه‌کننده

پیشنهادی					
FF	SS	SF	FS	TT	
۰/۸۶	۱/۲۶	۱/۰۲	۰/۹۹	۱	تأخیر
۱/۳۶	۰/۹۳	۱/۰۷	۱	۱	توان
۱/۱۷	۱/۱۷	۱/۰۹	۰/۹۹	۱	PDP
۰/۶	۱/۴۸	۰/۷۹	۱/۲	۱	UNA

## جدول ۴: مقایسه پارامترهای مدارهای مختلف با استفاده از نتایج مندرج در

مقالات				
مقایسه کننده پیشنهادی	[۲۱]	[۲۰]	[۱۲]	
۹۰	۲۲	۱۸۰	۱۸۰	فناوری ساخت (nm)
۱	۰/۸	۱/۸	۱/۸	ولتاژ تغذیه (V)
۴۰	۶۴	۶۴	۴۰	تعداد بیت
۰/۴۸	۰/۴۹	۱/۴۷	۰/۵۷	توان نرمالیزه
۰/۸۴	۰/۷	۰/۳۵	۰/۸۹	تأخیر نرمالیزه
۰/۴	-	-	۰/۲۵	UNA/V <sub>DD</sub>
۰/۸	-	-	۰/۹۶	مساحت نرمالیزه

## ۶ نتیجه‌گیری

توان مصرفی حافظه‌های نهان که یکی از ماژول‌های بحرانی در ریزپردازنده‌های مدرن به حساب می‌آیند، عمدتاً ناشی از توان مصرفی مقایسه‌کننده‌های نشانه آن‌ها است که وظیفه مقایسه نشانه‌ها را به عهده دارند؛ بنابراین کاهش توان مصرفی مقایسه‌کننده‌های نشانه که با گیت‌های عریض پیاده‌سازی می‌شوند، می‌تواند به‌طور چشمگیری توان کلی حافظه‌های نهان را کم کند.

در این مقاله، یک مدار دینامیکی جدید برای کاهش توان مصرفی مقایسه‌کننده‌های نشانه پیشنهاد گردید که در آن از مقایسه ولتاژ گره دینامیکی با ولتاژ مرجع برای تولید خروجی مناسب استفاده شده است. جهت کاهش توان کلیدزنی در مدار دینامیکی پیشنهادی، از ترانزیستور NMOS به‌عنوان ترانزیستور پیش‌بار استفاده شده است تا دامنه تغییرات گره دینامیکی کاهش یابد.

مقایسه‌کننده پیشنهادی و مقایسه‌کننده متداول با استفاده از یک مدل فناوری ۹۰ نانومتر CMOS شبیه‌سازی و مقایسه شدند. همچنین از یک معیار شایستگی (FOM) که پارامترهای مهم طراحی را در برمی‌گیرد استفاده شد. با توجه به نتایج شبیه‌سازی‌ها، مقایسه‌کننده پیشنهادی توان و مساحت مصرفی کمتری نسبت به مقایسه‌کننده متداول دارد که منجر به FOM بالاتری برای مقایسه‌کننده پیشنهادی می‌شود. از این‌رو استفاده از مقایسه‌کننده پیشنهادی برای کاهش توان مصرفی و افزایش سرعت حافظه‌های نهان مناسب است.

- Integration (VLSI) Systems*, vol. 18, no. 5, pp. 697-710, May. 2010.
- [19] A. Peiravi and M. Asyaei, "Robust Low Leakage Controlled Keeper by Current-Comparison Domino for Wide Fan-in Gates," *Integration, the VLSI Journal*, vol. 45, no. 1, pp. 22-32, Jan. 2012.
- [20] L. M. Koshya and J. Chandran, "Low leakage and high performance tag comparator 180nm CMOS technology," *Procedia Computer Science* vol. 46, pp. 1261-1267, 2015.
- [21] A. Manikandan, J. Ajayan, C. Kavin Arasan, S. Karthick and K. Vivek, "High Speed Low Power 64-Bit Comparator Designed Using Current Comparison Based Domino Logic," *2nd International Conference on Electronics and Communication Systems (ICECS)*, pp. 155-161, 2015.
- [15] K. Roy, S. Mukhopadhyay and H. Mahmoodi, "Leakage current mechanisms and leakage reduction techniques in deep-submicrometer CMOS circuits," in *Proc. the IEEE*, vol. 91, no. 2, pp. 305-327, Feb. 2003.
- [16] S. Fisher, A. Teman, D. Vaysman, A. Gertsman, O. Yadid-Pecht and A. Fish, "Digital subthreshold logic design—motivation and challenges," *IEEE 25th Convention of Electrical and Electronics Engineers*, pp. 702-706, 2008.
- [17] H. F. Dadgour and K. Banerjee, "A novel variation-tolerant keeper architecture for high-performance low-power wide fan-in dynamic OR gates," *IEEE Transaction on Very Large Scale Integration (VLSI) Systems*, vol. 99, pp.1-12, 2010.
- [18] M. Alioto, G. Palumbo and M. Pennisi, "Understanding the effect of process variations on the delay of static and domino logic," *IEEE Transaction on Very Large Scale*

## زیرنویس‌ها

- 
- <sup>1</sup> cache  
<sup>2</sup> locality  
<sup>3</sup> tag  
<sup>4</sup> Load-Store Queue  
<sup>5</sup> Branch-Target Branch  
<sup>6</sup> Translate-Lookaside Buffer  
<sup>7</sup> Reordered Buffer  
<sup>8</sup> Miss signal  
<sup>9</sup> Hit signal  
<sup>10</sup> Least Recently Used  
<sup>11</sup> Deep Sub-Micron  
<sup>12</sup> fan-in  
<sup>13</sup> keeper transistor  
<sup>14</sup> contention  
<sup>15</sup> body effect  
<sup>16</sup> swing  
<sup>17</sup> Drain-Induced Barrier Lowering  
<sup>18</sup> Layout