Archive of SID

یک سوئیچ آنالوگ جدید برای مدارهای خازن سوئیچ‌شده دقت بالا

سعید نقوی[۱]، کارشناسی ارشد؛ سید ادیب ابریشمی‌فر[۲]، دانشیار

۱- دانشکده مهندسی برق - دانشگاه علم و صنعت ایران - تهران - ایران – Saeed_naghavi@elec.iust.ac.ir
۲- دانشکده مهندسی برق - دانشگاه علم و صنعت ایران - تهران - ایران – Abrishamifar@iust.ac.ir

چکیده: عملکرد مدارهای خازن سوئیچ‌شده به میزان قابل توجهی به سوئیچ‌های آنالوگ مورد استفاده در آن‌ها وابسته است. خطاهای تزریق بار کانال، نفوذ کلاک و نشتی حالت خاموش اصلی‌ترین عوامل محدودکننده دقت این سوئیچ‌های آنالوگ هستند. در این مقاله روشی نوین برای کمینه‌کردن این خطاها با استفاده از ساختاری بسیار ساده معرفی شده است. برای ارزیابی عملکرد سوئیچ پیشنهادی، شبیه‌سازی‌ها با استفاده از فن‌آوری ۰/۱۸µm انجام شده است. نتایج شبیه‌سازی‌ها نشان می‌دهند مقاومت روشن سوئیچ پیشنهادی در سراسر محدوده سیگنال ورودی کم‌تر از ۵۶۰Ω می‌باشد که این میزان مقاومت مشخصات موردنیاز پهنای‌باند دنباله‌روی سوئیچ را به‌طور کامل برآورده می‌سازد. به‌علاوه، از آنجایی‌که مقاومت خاموش سوئیچ پیشنهادی بسیار زیاد (چند گیگااهم) است، جریان نشتی آن بسیار ناچیز می‌باشد. هم‌چنین شبیه‌سازی‌ها نشان می‌دهند که خطاهای ناشی از سوئیچ با استفاده از روش پیشنهادی به‌طور قابل ملاحظه‌ای کاهش یافته است. میزان بار خطای ایجاد شده در خروجی ناشی از تزریق بار و نفوذ کلاک در محدوده وسیعی از تغییرات ورودی کم‌تر از ۱/۶fC می‌باشد. هم‌چنین سوئیچ پیشنهادی به ازای ورودی سینوسی با فرکانس ۲/۵MHz و دامنه ۸۰۰mV و نیز فرکانس کلاک ۲۰۰MHz با ولتاژ تغذیه ۱/۸V دارای SNDR برابر با ۸۰/۵۵dB، ENOB برابر با ۱۳/۰۸، THD برابر با ۸۱/۴۱dB- و SFDR برابر با ۸۷/۷dB می‌باشد.

واژه‌های کلیدی: سوئیچ آنالوگ، تزریق بار کانال، نفوذ کلاک، جریان زیر آستانه، مدارهای خازن سوئیچ‌شده.

A Novel Analog Switch for High Precision Switched-Capacitor Applications

Saeed Naghavi[1], Msc; Adib Abrishamifar[2], Associate professor

1- School of Electrical Engineering, Iran University of Science and Technology , Tehran, Iran, Email:Saeed_naghavi@elec.iust.ac.ir
2- School of Electrical Engineering, Iran University of Science and Technology, Tehran, Iran, Email: Abrishamifar@iust.ac.ir

Abstract: The performance of a switched capacitor circuit strongly depends on its analog switches. This paper introduces a new technique to design a high precision analog MOS switch for switched-capacitor applications. To satisfy the accuracy requirements of the switch, a novel technique is proposed to minimize the charge injection and clock feed-through errors by using a very simple structure. Moreover, an innovative approach to increase the off-resistance of the switch and consequently minimizing its leakage current is presented. In order to evaluate the performance of the proposed switch, simulations are done in a 18µm standard CMOS technology. The on-resistance of the proposed switch is less than 560Ω over entire input signal range which completely satisfies the tracking bandwidth requirements. In addition, since the proposed switch provides an ultra-high off-resistance in the range of several GΩs, the leakage current of the proposed switch is negligible. Simulation results also show that switch induced errors are significantly eliminated by using the proposed cancellation technique. The output error charge due to charge injection and clock feed-through over a wide range of the input signal variation is less than 1.6fC. Moreover, simulation results show that the proposed switch achieves signal to noise plus distortion ratio (SNDR) of 80.55dB, effective number of bits (ENOB) of 13.08, total harmonic distortion (THD) of -81.41dB and spurious-free dynamic range (SFDR) of 87.7dB for a 2.5MHz sinusoidal input of 800mv peak-to-peak amplitude at 200MHz sampling rate with a 1.8V supply voltage.

Keywords: Analog switch, channel charge injection, clock feed-through, sub-threshold leakage, switched capacitor circuit.

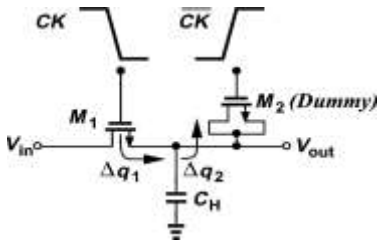
تاریخ ارسال مقاله: ۱۳۹۶/۰۴/۲۱
تاریخ اصلاح مقاله: ۱۳۹۶/۰۷/۲۶
تاریخ پذیرش مقاله: ۱۳۹۶/۱۰/۱۹
نام نویسنده مسئول: سیدادیب ابریشمی‌فر.
نشانی نویسنده مسئول: ایران - تهران – میدان رسالت – خیابان هنگام - خیابان دانشگاه - دانشگاه علم و صنعت ایران - دانشکده مهندسی برق.

www.SID.ir

Archive of SID

۱ -مقدمه

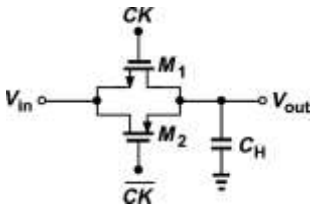
تقریبا تمامی سیستم‌های نوین پردازش سیگنال برخی توابع پردازشی آنالوگ پایه را بر روی سیگنال‌های آنالوگ دریافتی و پیش از تبدیل آن‌ها به دیجیتال انجام می‌دهند. این رویکرد علاوه بر ساده‌تر کردن طراحی مبدل‌های داده آنالوگ به دیجیتال طبقات بعدی، پیچیدگی محاسباتی الگوریتم‌های پردازش سیگنال دیجیتال را نیز کاهش می‌دهد. مدارهای خازن سوئیچ‌شده[۱] نقش بسیار مهمی را در مجموعه وسیعی از واحدهای پیش‌پردازش آنالوگ ذکر شده ایفا می‌کنند. هم‌چنین این مدارها اجزای اصلی زیرسیستم‌های واسط بین دنیای آنالوگ و دیجیتال را تشکیل می‌دهند [۱]. سازگاری با فن‌آوری استاندارد CMOS، توان مصرفی کم، دقت ثابت‌زمانی، خطینگی، ویژگی‌های دمایی مناسب، قابلیت پیکربندی مجدد برخی از مزایای روش‌های خازن سوئیچ‌شده می‌باشند. با این وجود این مدارها مشکلاتی نیز دارند. مشخصات یک مدار خازن سوئیچ‌شده به شدت به عملکرد سوئیچ‌های آنالوگ آن وابسته است. به همین دلیل به منظور جلوگیری از تأثیر منفی بر عملکرد سیستم، این سوئیچ‌های آنالوگ باید به دقت طراحی شوند. تزریق بار کانال[۲] و نفوذ کلاک[۳] مهم‌ترین خطاهای ناشی از سوئیچ می‌باشند که باید در طراحی سوئیچ‌های MOS آنالوگ مورد استفاده در مدارهای خازن‌سوئیچ‌شده در نظر گرفته شوند. به‌علاوه، افت ولتاژ ناشی از جریان نشتی[۴] حالت خاموش نیز می‌تواند عملکرد سوئیچ‌های آنالوگ در مدارهای خازن سوئیچ‌شده را تحت تاثیر قرار دهد.



شکل ۱: افزودن ترانزیستور کمکی

در سال‌های اخیر روش‌های متعددی برای کاهش خطاهای ناشی از سوئیچ‌های آنالوگ توسعه داده شده‌اند. استفاده از ترانزیستور کمکی[۵] یکی از نخستین روش‌هایی است که برای این منظور مورد استفاده قرار گرفته است [۲، ۳]. همان‌طور که در شکل ۱ نشان داده شده است، با استفاده از یک ترانزیستور کمکی بار تزریق‌شده از کانال سوئیچ اصلی توسط سوئیچ کمکی جذب می‌شود. در این روش فرض بر این است که با خاموش شدن ترانزیستور M_1 بار کانال آن به‌طور مساوی بین سورس و درین تقسیم خواهد شد. در عمل، فرض تقسیم برابر بار بین سورس و درین معتبر نمی‌باشد و نسبت تقسیم بار به عوامل متعددی مانند امپدانس دیده شده از پایانه‌های سورس و درین تا زمین و فرکانس کلاک بستگی دارد [۴، ۵]. به همین دلیل این روش دقت قابل قبولی در حذف خطاهای ناشی از سوئیچ نخواهد داشت.

راه‌حل دیگری که برای کاهش اثر تزریق بار و نفوذ کلاک سوئیچ می‌تواند موثر واقع شود استفاده موازی از هر دو نوع ترانزیستور NMOS و PMOS (ساختار مکمل[۶]) است به طوری‌که بارهای هر یک توسط دیگری خنثی شوند (شکل ۲). در این رویکرد بسته‌های بار با علامت‌های مخالف اثر هم‌دیگر را خنثی می‌کنند [۶]. محدوده پویایی بیش‌تر و مقاومت روشن کم با استفاده از این روش قابل دست‌یابی می‌باشد. با این وجود در عمل به علت تفاوت ولتاژهای آستانه ترانزیستورهای NMOS و PMOS خاموش شدن ترانزیستورها در زمان‌های متفاوتی رخ می‌دهد و در نتیجه مقداری تزریق بار ناخواسته غیر قابل اجتناب می‌باشد. حتی با فرض برابر بودن ولتاژهای آستانه ترانزیستورها حذف اثر تزریق بار فقط به ازای یک سطح ولتاژ ورودی انجام می‌پذیرد.



شکل ۲: ساختار سوئیچ مکمل

علاوه بر روش‌های ذکر شده در بسیاری از مقالات از روش نمونه‌برداری صفحه زیرین[۷]، نخست برای حذف وابستگی اثر تزریق بار کانال به سطح سیگنال ورودی و سپس برای حذف آفست باقی‌مانده با استفاده از روش‌های تفاضلی استفاده می‌شود [۷، ۸]. هم‌چنین در بعضی دیگر از مقالات ساختارهای تفاضلی برای کاهش اعوجاج هارمونیکی و نویز حالت مشترک مورد استفاده قرار گرفته‌اند [۹، ۱۰]. روش بوت‌استرپ[۸] روش دیگری است که برای کاهش مشکل تغییر مقاومت حالت روشن سوئیچ، هدایت ضعیف و نشتی زیر آستانه سوئیچ‌های نمونه‌بردار استفاده می‌شود [۱۳-۱۱] . اگرچه سوئیچ‌های بوت‌استرپ آثار غیرخطی ناشی از تغییر مقاومت حالت روشن سوئیچ را با ثابت نگه‌داشتن ولتاژ گیت-سورس کاهش می‌دهد ولی آثار غیرخطی ناشی از بدنه[۹] هم‌چنان وجود خواهد داشت [۱۴]. روش‌های متعددی برای جبران این موضوع در مقالات مختلف پیشنهاد شده است [۱۵، ۱۶]. به‌علاوه سوئیچ‌های بوت‌استرپ مشکلات قابلیت اطمینان را به همراه خواهند داشت. به غیر از بوت‌استرپ، در بسیاری از مقالات پشته کردن ترانزیستورها[۱۰] [۱۷] و سوئیچ‌های آنالوگ مدل T [۱۸] برای کاهش مشکلات جریان زیرآستانه در مدارهای آنالوگ مبتنی بر بار مانند خازن سوئیچ‌شده استفاده شده است.

با توجه به مطالب بیان شده، روش‌های متعددی برای کاهش خطاهای ناشی از سوئیچ ارائه داده شده است. ولی اکثر این روش‌ها برای دست‌یابی به دقت و سرعت مناسب باعث افزایش پیچیدگی و سطح مصرفی سوئیچ می‌شوند. در میان ساختارهای معرفی شده، سوئیچ‌های کمکی و مکمل دارای ساختاری ساده و کوچک می‌باشند.

www.SID.ir

Archive of SID

ولی همان‌طور که بیان شد، این روش‌ها نیز مشکلات خود را دارند و نمی‌توانند فرآیند حذف خطاهای ناشی از سوئیچ را به‌طور مناسبی انجام دهند.

در این مقاله ساختار جدیدی از سوئیچ‌های آنالوگ برای استفاده در مدارهای خازن سوئیچ‌شده معرفی شده است. سوئیچ پیشنهادی با استفاده از ساختاری بسیار ساده خطاهای تزریق بار و نفوذ کلاک را به میزان قابل ملاحظه‌ای کاهش می‌دهد. هم‌چنین، سازوکار کنترل نشتی در سوئیچ پیشنهادی با استفاده از ساختاری ابتکاری و با افزایش قابل ملاحظه‌ای در مقاومت خاموش سوئیچ انجام می‌گیرد. به‌علاوه سوئیچ آنالوگ پیشنهادی دارای محدودیت‌های ذکر شده سوئیچ‌های مکمل و کمکی نمی‌باشد.

۲ -خطاهای ناشی از سوئیچ

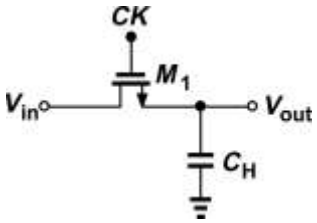
در این بخش سازوکار خطای‌های عمده ناشی از سوئیچ‌های آنالوگ (تزریق بار کانال، نفوذ کلاک، جریان نشتی و اثر بدنه) با جزئیات بیش‌تری مورد بررسی قرار خواهند گرفت.

۲ ۱ -تزریق بار

ساختار یک مدار نمونه‌بردار و نگه‌دار متشکل از یک سوئیچ MOS ساده در شکل ۳ نشان داده شده است. در این ساختار تا زمانی که ترانزیستور M1 روشن باشد بارها را در کانال خود نگه خواهد داشت. میزان کل باری که ترانزیستور در زمان روشن بودن می‌تواند در کانال خود نگه دارد، با استفاده از رابطه ۱ به‌دست می‌آید.

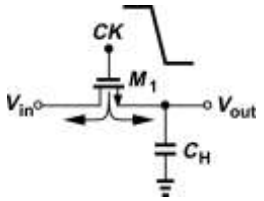
$$Q_{ch} = W_1 L_1 C_{ox}\left(V_{DD} - V_{in} - V_{th}\right) \qquad (۱)$$

که در رابطه ۱، W_1 و L_1 به ترتیب برابر عرض و طول مؤثر کانال سوئیچ MOS، C_{ox} خازن واحد سطح گیت و V_{th} ولتاژ آستانه ترانزیستور NMOS می‌باشند.



شکل ۳: ساختار یک مدار نمونه‌بردار و نگه‌دار ساده

با صفر شدن سیگنال کلاک اعمالی به گیت سوئیچ خاموش می‌شود. از آن‌جایی که دیگر نیروی نگه‌دارنده‌ای برای جذب بارها در کانال ترانزیستور وجود ندارد، این بارها به سمت پایانه‌های سورس و درین روانه خواهند شد. بار تزریقی به سمت پایانه درین سوئیچ شکل ۴ توسط منبع ولتاژ ورودی جذب خواهد شد و بنابراین خطایی در خازن نگه‌دارنده ایجاد نخواهد کرد. از سویی دیگر، بار تزریقی به سمت پایانه سورس مقدار ذخیره شده در خازن نگه‌دارنده را تحت تاثیر قرار خواهد داد و باعث ایجاد ولتاژ خطا در آن می‌شود.



شکل ۴: تزریق بار وقتی سوئیچ خاموش می‌شود

در صورتی که فرض شود α برابر بار کل کانال Q_{ch} در خازن نگه‌دارنده ذخیره شود، ولتاژ خطای ناشی از اثر تزریق بار کانال از رابطه ۲ قابل محاسبه خواهد بود.

$$\Delta V_{CI} = \frac{\alpha Q_{ch}}{C_H} = \frac{\alpha W_1 L_1 C_{ox}(V_{DD} - V_{in} - V_{th})}{C_H} \qquad (۲)$$

با توجه به رابطه ۲ ملاحظه می‌شود که خطای تزریق بار کانال به سیگنال ورودی وابسته می‌باشد و می‌تواند باعث ایجاد ناخطینگی شود. در سوئیچ‌های NMOS خطای تزریق بار کانال معمولا به صورت یک پله منفی در خروجی ظاهر می‌شود.

در عمل نسبت تقسیم بار کانال بین سورس و درین تابع بسیار پیچیده‌ای از عوامل مختلف نظیر امپدانس دیده شده از هر پایانه تا زمین و نرخ کلاک نمونه‌برداری می‌باشد [۴، ۵]. این امر باعث ایجاد اعوجاج غیرخطی در سیگنال ورودی در اثر پارامترهای وابسته به سیگنال نظیر α، V_{gs} و V_{th} می‌شود. هم‌چنین ذکر این نکته حائز اهمیت می‌باشد که پارامتر α به نرخ تغییر حالت کلاک نیز وابسته می‌باشد [۱۹].

۲ ۲ -نفوذ کلاک

علاوه بر اثر تزریق بار کانال، خطای دیگری به نام اثر نفوذ کلاک نیز عملکرد سوئیچ‌های MOS را تحت تاثیر قرار می‌دهد. یک سوئیچ MOS به دلیل وجود خازن‌های هم‌پوشانی گیت-درین و گیت-سورس جهش‌های کلاک را به خازن نگه‌دارنده منتقل می‌کند. همان‌طور که در شکل ۵ نشان داده شده است این پدیده باعث ایجاد خطا در خروجی می‌شود. با فرض ثابت بودن خازن‌های هم‌پوشانی می‌توان خطای نفوذ کلاک را از رابطه ۳ محاسبه کرد.

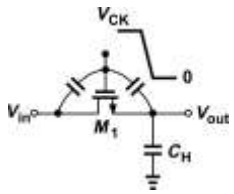
$$\Delta V = V_{clk}\frac{C_{ov}}{C_{ov} + C_H} \qquad (۳)$$

که در رابطه ۳، C_{ov} خازن هم‌پوشانی گیت-سورس می‌باشد. همان‌طور که از رابطه ۳ می‌توان نتیجه گرفت، خطای ناشی از نفوذ کلاک با سطح سیگنال ورودی ارتباطی ندارد و بنابراین اثر آن بر روی خازن

www.SID.ir

Archive of SID

نگه‌دارنده به صورت خطی خواهد بود. با توجه به موارد ذکر شده مقدار آف‌ستی ظاهر خواهد شد که رابطه مستقیمی با دامنه سیگنال کلاک اعمالی به گیت سوئیچ دارد. بدیهی است که این آف‌ست ایجاد شده به سادگی با استفاده از ساختارهای تفاضلی قابل جبران می‌باشد.



شکل ۵: نفوذ کلاک در مدار نمونه‌بردار

۲ ۳ -جریان نشتی

جریان‌های نشتی در مدت زمانی که سیگنال خروجی سوئیچ می‌تواند در سطح منطقی موردنظر باقی بماند محدودیت‌هایی را ایجاد می‌کند. این جریان‌ها باید در طراحی سوئیچ‌ها در نظر گرفته شود. مدارهای خازن سوئیچ‌شده نیازمند سوئیچ‌هایی با مقاومت خاموش بزرگ می‌باشند که در زمان باز بودن سوئیچ جریان‌های نشتی را کاهش دهد. جریان نشتی یک MOS معمولی با استفاده از رابطه ۴ محاسبه می‌شود.

$$R_{off} = \frac{1}{\lambda I_{Doff}} \qquad (۴)$$

که λ پارامتر مدولاسیون طول کانال I_{Doff} جریان حالت خاموش یا جریان نشتی سوئیچ می‌باشد. در اکثر موارد، جریان نشتی زیرآستانه منبع نشتی غالب در سوئیچ آنالوگ MOS می‌باشد و به این ترتیب I_{Doff} در رابطه ۴ را می‌توان با I_{DS} (جریان زیرآستانه ترانزیستور) تقریب زد. سازوکار این جریان در یک ترانزیستور MOS به صورت رابطه ۵ می‌شود.

$$I_{Subthreshold} = I_{os}\frac{W}{L}e^{k(V_{gs}-V_{th})/V_T}\left(1-e^{-V_{ds}/V_T}\right) \qquad (۵)$$

که I_{os} ثابت وابسته به فن‌آوری، V_{th} ولتاژ آستانه، W/L نسبت ابعاد ترانزیستور و V_T ولتاژ حرارتی می‌باشند. هم‌چنین K تابعی از ولتاژ اعمال شده از سورس به بدنه است که اندازه آن عددی کم‌تر از یک می‌باشد.

۲ ۴ -اثر بدنه

اتصالات P-N مربوط به سورس-بدنه و درین-بدنه در ترانزیستورهای MOS همواره باید در حالت گرایش معکوس باشند تا از نشت جریان سورس/درین به بدنه جلوگیری شود. برای این منظور ولتاژ سورس یک ترانزیستور NMOS همواره باید بزرگ‌تر یا مساوی ولتاژ بدنه آن باشد. از آن‌جایی‌که ولتاژ درین همواره بزرگ‌تر یا مساوی ولتاژ سورس است اتصال درین-بدنه در این حالت درنظر گرفته نمی‌شود. در شرایطی که ولتاژ سورس ترانزیستور بزرگ‌تر از ولتاژ بدنه آن باشد، عرض ناحیه تخلیه اتصال P-N نسبت به زمانی که ولتاژ سورس-بدنه (V_{SB}) برابر صفر است افزایش می‌یابد. این امر باعث می‌شود ناحیه تخلیه به زیر کانال ترانزیستور پیش‌روی کند و ولتاژ لازم برای تشکیل کانال افزایش یابد. این تغییر در میزان ولتاژ آستانه ترانزیستور در اثر تغییر V_{SB} به عنوان اثر بدنه شناخته می‌شود و به صورت رابطه ۶ مدل می‌شود.

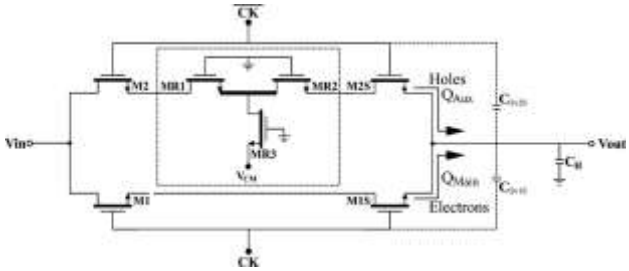
$$V_{th} = V_{th0} + \left(\sqrt{2\phi_F + V_{SB}} - \sqrt{2\phi_F}\right) \qquad (۶)$$

که در این رابطه γ ضریب اثر بدنه بوده و مقداری بین ۰/۳V تا ۰/۴V دارد.

میزان تاثیر اثر بدنه بر روی ترانزیستورهای NMOS و PMOS می‌تواند متفاوت باشد. ترانزیستورهای NMOS در فن‌آوری چاه نوع n از یک زیربنای مشترک استفاده می‌کنند. به همین دلیل ولتاژ بدنه این ترانزیستورها باید به یک ولتاژ ثابت که معمولا کم‌ترین ولتاژ موجود در مدار است متصل شود. این در حالی است که ترانزیستورهای PMOS در این فن‌آوری داخل چاه ساخته می‌شوند و می‌توانند به ولتاژهای متفاوتی متصل شوند. در این حالت برای جلوگیری از اثر بدنه در ترانزیستورهای PMOS، بدنه آن‌ها به سورس متصل می‌شود.

۳ -سوئیچ پیشنهادی

هدف اصلی این مقاله معرفی ساختاری جدید و ساده برای سوئیچ‌های آنالوگ است که بتواند خطاهای ناشی از سوئیچ را به میزان قابل ملاحظه‌ای حذف کند. فرآیند حذف خطاهای ناشی از سوئیچ در سوئیچ پیشنهادی توسط یک مسیر فرعی موازی شده با مسیر اصلی مانند سوئیچ مکمل انجام می‌شود. با این تفاوت که برخلاف سوئیچ مکمل، عملکرد سوئیچ پیشنهادی به علت استفاده از ترانزیستورهای مشابه (تمام NMOS یا تمام PMOS) با مشکلات ناشی از عدم تطابق ترانزیستورهای NMOS و PMOS محدود نمی‌شود. با توجه به این توضیحات ساختار سوئیچ پیشنهادی در شکل ۶ نشان داده شده است.



شکل ۶: ساختار سوئیچ پیشنهادی

www.SID.ir

Archive of SID

در این کار به منظور ارزیابی جامع عملکرد ساختار پیشنهادی به‌ویژه در حضور اثر بدنه از ترانزیستورهای NMOS استفاده شده است. در عمل به‌منظور رفع آثار بدنه از ساختار تمام PMOS نیز می‌توان برای پیاده‌سازی سوئیچ پیشنهادی استفاده نمود.

همان‌طور که در شکل ۶ نشان داده شده است، مسیر اصلی سوئیچ پیشنهادی از ترانزیستورهای M1 و M1S تشکیل شده است. در طول فاز نمونه‌برداری زمانی که سیگنال کلاک CK در وضعیت بالا قرار دارد، این ترانزیستورها روشن می‌باشند. در این فاز، مسیری با مقاومت اندک برای سیگنال ورودی فراهم شده و خروجی ولتاژ ورودی را دنبال می‌کند. با توجه به رابطه ۱، زمانی که ترانزیستورهای M1 و M1S روشن هستند بارهای Q_{ch1} و Q_{ch1S} در کانال‌های آن‌ها انباشته می‌شوند. Q_{ch1} بار کانال ترانزیستور M1 و Q_{ch1S} بار کانال ترانزیستور M1S می‌باشد. بار کل ترانزیستورهای روی مسیر اصلی سیگنال در سوئیچ پیشنهادی با استفاده از رابطه ۷ محاسبه می‌شود:

$$Q_{Main} = Q_{ch1} + Q_{ch1S} \quad (۷)$$

علاوه بر مسیر اصلی سیگنال، در سوئیچ پیشنهادی یک مسیر فرعی نیز جهت حذف خطاهای ناشی از سوئیچ در نظر گرفته شده است. مسیر فرعی از یک شبه‌مقاومت اتصال T به همراه ترازیستورهای M2 و M2S تشکیل شده است. با تغییر حالت کلاک از بالا به پایین، ترانزیستورهای مسیر اصلی خاموش می‌شوند و فاز نگه‌داری شروع می‌شود. به طور هم‌زمان، سیگنال کلاک ترانزیستورهای M2 و M2S به حالت بالا می‌رود و این ترانزیستورها روشن می‌شوند. این در حالی است که ترانزیستورهای MR1، MR2 و MR3 همواره خاموش هستند. بار کلی ترانزیستورهای مسیر فرعی با استفاده از رابطه ۸ محاسبه می‌شود:

$$Q_{Aux} = Q_{ch2} + Q_{TPR} + Q_{ch2S} \quad (۸)$$

از آنجایی‌که ترانزیستورهای شبه‌مقاومت همواره خاموش هستند، بار انباشته شده در کانال آن‌ها برابر با صفر است. در نتیجه رابطه ۸ را می‌توان به صورت رابطه ۹ بازنویسی کرد.

$$Q_{Aux} = Q_{ch2} + Q_{ch2S} \quad (۹)$$

باتوجه به ابعاد برابر ترانزیستورهای M1 و M1S با ترانزیستورهای M2 و M2S می‌توان نوشت:

$$Q_{Main} = Q_{Aux} \quad (۱۰)$$

بنابراین، کل بار تزریق شده از ترانزیستورهای روی مسیر اصلی سیگنال به هنگام تغییر وضعیت به حالت خاموش، توسط ترانزیستورهای مسیر فرعی جهت تشکیل کانال برای روشن شدن جذب می‌شود. باتوجه به مطالب بیان شده، به صورت نظری سوئیچ پیشنهادی می‌تواند خطای تزریق بار را به طور کامل حذف کند. در عمل، به دلیل عدم تطابق ولتاژ آستانه ترانزیستورهای NMOS مقدار بسیار کمی خطای تزریق بار وجود خواهد داشت.

علاوه‌بر خطای تزریق بار، سوئیچ پیشنهادی می‌تواند خطای نفوذ کلاک را نیز به میزان قابل توجهی کاهش دهد. از آنجایی‌که خازن‌های هم‌پوشانی ترانزیستورهای M1S و M2S با هم برابرند، بار خطای جفت‌شده از طریق M1S، توسط بار مخالف جفت‌شده از طریق M2S حذف می شود. درنتیجه، مقدار بار خازن نگه‌دارنده خروجی ثابت باقی می‌ماند:

$$+V_{CK}\frac{W.C_{ov1S}}{W.C_{ov1S}+C_H} - V_{CK}\frac{W.C_{ov2S}}{W.C_{ov2S}+C_H} = 0 \quad (۱۱)$$

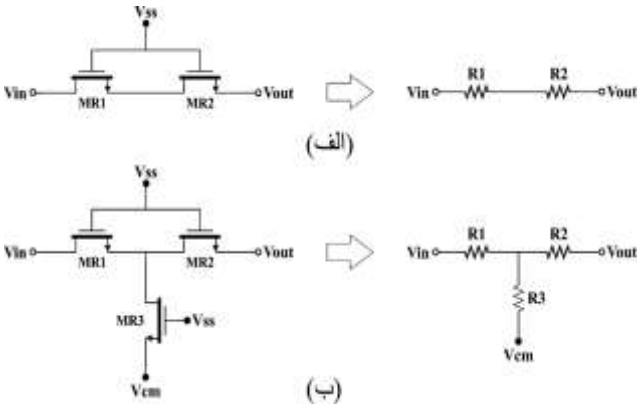
با توجه به توضیحات بالا، سوئیچ پیشنهادی می‌تواند به طور قابل ملاحظه‌ای خطاهای تزریق بار و نفوذ کلاک را کاهش دهد. علاوه‌بر خطاهای تزریق بار و نفوذ کلاک، افت ولتاژ ناشی از جریان نشتی حالت خاموش سوئیچ نیز می‌تواند عم‌کرد سوئیچ‌های آنالوگ مورد استفاده در مدارهای خازن سوئیچ شده تحت تاثیر قرار دهد. در این مقاله، سازوکار کنترل نشتی جدیدی با استفاده از ساختاری ابتکاری پیشنهاد شده است. برای کاهش جریان نشتی در سوئیچ پیشنهادی، مسیر فرعی باید به‌گونه‌ای طراحی شود که مقاومت حالت خاموش آن حداقل ۱۰ برابر مقاومت حالت خاموش مسیر اصلی باشد. برای این منظور، همان‌طور که در شکل ۶ نشان داده شده است، سد امپدانسی بین ترانزیستورهای پشته شده M2 و M2S قرار داده شده است. این سد امپدانس می‌تواند مقاومت خاموش مورد نظر برای سوئیچ آنالوگ پیشنهادی را فراهم کند درحالی‌که عمل‌کرد بسیار خوب ساختار پیشنهادی در حذف خطاهای تزریق بار و نفوذ کلاک را تحت تاثیر قرار نمی‌دهد. برای ایجاد این سد امپدانس، یک مقاومت بسیار بزرگ در حدود تراهم باید بین ترانزیستورهای M2 و M2S قرارگیرد. ساخت مستقیم چنین مقاومت‌های بزرگی در فن‌آوری استاندارد CMOS در دسترس نمی‌باشد. شبه‌مقاومت‌ها گزینه بسیار خوبی برای تحقق بخشیدن چنین مقاومت‌های بزرگی در فن‌آوری CMOS هستند. شبه‌مقاومت‌ها افزاره‌های MOS گرایش‌شده در ناحیه زیرآستانه هستند که با اشغال سطح بسیار کوچکی از سیلیکان می‌توانند مقاومت‌های بسیار بزرگ در حد تراهم را فراهم کنند.

موضوعات فیزیکی و الکترونیکی متعددی مانند پیاده‌سازی ساده، سطح تراشه کوچک، خازن‌های پارازیتی کوچک و دارا بودن مشخصه خطی باید در طراحی شبه‌مقاومت‌ها در نظر گرفته شوند [۲۰]. در این راستا ساختارهای متعددی برای پیاده‌سازی شبه‌مقاومت‌ها معرفی شده‌اند. ساختار رایج‌ترین شبه‌مقاومت معرفی شده و مدار معادل آن در شکل ۷-الف نشان داده شده است. در این ساختار دو ترانزیستور MOS جهت کاهش اعوجاج سری شده‌اند. با این وجود، مقاومت معادل این ساختار هم‌چنان به ولتاژ ورودی اعمال شده وابسته است. در این مقاله، برای جلوگیری از ناخطینگی ایجاد شده توسط مقاومت‌های بسیار

www.SID.ir

Archive of SID

بزرگ در ترانزیستورهای شبه‌مقاومت مرسوم، از شبه‌مقاومت‌های اتصال T (TPR) استفاده شده است. ساختار شبه‌مقاومت TPR و مدار معادل آن در شکل ۷-ب نشان داده شده است.



شکل ۷: الف) شبه‌مقاومت معمولی، ب) شبه‌مقاومت TPR

باتوجه به مدار معادل‌های نشان داده شده در شکل ۷، مقاومت معادل شبه مقاومت‌های مرسوم و TPR به ترتیب با روابط ۱۲ و ۱۳ محاسبه شده است.

$$R_{Conventional} = R_1 + R_2 \qquad (۱۲)$$

$$R_{TPR} = R_1 + R_2 + \frac{R_1.R_2}{R_3} \qquad (۱۳)$$

مقایسه روابط ۱۲ و ۱۳ نشان می‌دهد که مقاومت معادل شبه‌مقاومت TPR بزرگ‌تر از نمونه مرسوم است. درنتیجه، مقاومت هر یک از افزاره‌های MOS شبه‌مقاومت TPR کوچک‌تر از مقاومت‌های شبه‌مقاومت مرسوم طراحی می‌شوند تا از آثار غیرخطی ایجاد شده توسط مقاومت‌های بسیار بزرگ جلوگیری کند. بنابراین در این مقاله از ساختار شبه‌مقاومت TPR (ترانزیستورهای MR1، MR2 و MR3 شکل ۶) برای ایجاد سد امپدانس بین M2 و M2S مسیر فرعی استفاده شده است. مقاومت خاموش سوئیچ پیشنهادی در طول زمان نگه‌داری با استفاده از رابطه ۱۴ محاسبه شده است.

$$R_{off} = R_{Main} \,||\, R_{Aux} \qquad (۱۴)$$

که R_{Main} مقاومت مسیر اصلی و R_{Aux} مقاومت مسیر فرعی در فاز نگه‌داری می‌باشند. با جاگذاری مقادیر R_{Main} و R_{Aux} در رابطه ۱۴ می‌توان نوشت:

$$R_{off} = (R_{offM1} + R_{offM1S}) \,||\, (R_{onM2} + R_{TPR} + R_{onM2S}) \qquad (۱۵)$$

همان‌طور که در رابطه ۱۵ نشان داده شده است، با استفاده از شبه‌مقاومت TPR در مسیر فرعی، سوئیچ پیشنهادی مقاومت خاموش بسیار بزرگی را فراهم می‌کند. این امر منجر به کاهش چشم‌گیر جریان نشتی سوئیچ می‌شود که یکی از مهم‌ترین ویژگی‌های مدارهای خازن سوئیچ‌شده است.

باتوجه به مطالب بیان شده، سوئیچ پیشنهادی خطاهای ناشی از سوئیچ را با استفاده از ساختاری بسیار ساده به طور قابل ملاحظه‌ای کاهش داده است. سوئیچ آنالوگ پیشنهادی با محدودیت‌های ساختارهای کمکی و مکمل روبه‌رو نیست. برتری اصلی روش پیشنهادی نسبت به ساختار کمکی این است که در ساختار پیشنهادی فرض برابر بودن بار تزریق شده به پایانه‌های سورس و درین وجود ندارد. بنابراین مشخصات آن با این عامل محدود نمی‌شود و می‌توان به مشخصات بهتری دست یافت. به‌علاوه، برخلاف ساختار مکمل، مشخصات سوئیچ پیشنهادی با مشکلات ناشی از عدم تطابق افزاره‌های PMOS و NMOS موازی محدود نمی‌شود. علاوه‌بر مزایای بیان شده، سوئیچ پیشنهادی بسیار انعطاف‌پذیر است و سایر ایده‌های کاهش خطای سوئیچ نظیر ساختار خودراه‌انداز، نمونه‌برداری با صفحه زیرین و نیز ساختار تفاضلی به سادگی با استفاده از سوئیچ پیشنهادی قابل پیاده‌سازی است.

۴ نتایج شبیه‌سازی

در این بخش، مناسب بودن سوئیچ پیشنهادی برای استفاده در مدارهای خازن سوئیچ‌شده از طریق شبیه‌سازی‌های مختلف ارزیابی خواهد شد. مقاومت روشن سوئیچ یکی از مهم‌ترین مشخصات سوئیچ‌های آنالوگ می‌باشد. مقاومت روشن سوئیچ به‌همراه خازن نگه‌دارنده خروجی یک مدار RC درجه نخست با ثابت زمانی محدود تشکیل می‌دهند. بنابراین برای اطمینان از این‌که مقاومت روشن سوئیچ پیشنهادی برای استفاده در مدار خازن سوئیچ‌شده موردنظر به اندازه کافی کوچک است، باید کمینه پهنای‌باند دنباله‌روی موردنیاز این ساختار در نظر گرفته شود [۱۷]. برای N بیت دقت، بیشینه خطای نشست خروجی باید از نصف LSB کم‌تر باشد. علاوه‌بر خطای نشست، بیشینه فرکانس ورودی مجاز نیز محدودیتی بر پهنای‌باند 3dB ساختار RC ذکر شده تحمیل می‌کند. با درنظر گرفتن موارد فوق، کمینه پهنای‌باند دنباله‌روی موردنیاز باید از رابطه ۱۶ پیروی کند [۲۱].

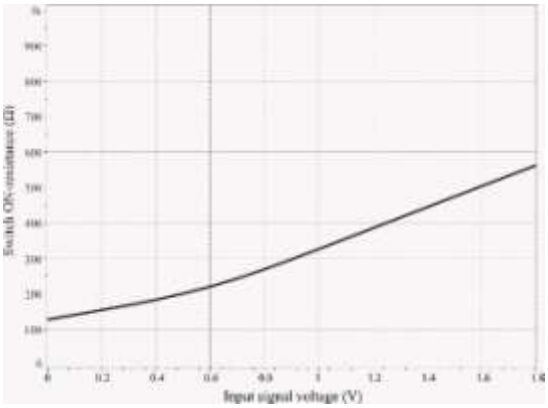
$$f_{3dB} = \frac{1}{2\pi R_{on} C_H} > Max\left\{ \frac{\ln(2)\times(N+1)}{\pi} f_s, 2^{\frac{N}{2}} f_{in} \right\} \qquad (۱۶)$$

که در آن R_{on} مقاومت روشن، C_H خازن نگه‌دارنده، f_s فرکانس نمونه‌برداری و f_{in} فرکانس ورودی سوئیچ می‌باشند. در این مقاله، نرخ نمونه‌برداری و فرکانس ورودی به‌ترتیب ۲۰۰MHz و ۲/۵MHz تنظیم شده‌اند. درنتیجه برای قابلیت تفکیک ۱۲ بیت، کمینه f_{3dB} موردنیاز تقریبا ۵۸۰MHz خواهد بود. با در نظر گرفتن فرض‌های ذکر شده و نیز مقدار خازن نگه‌دارنده $۲۵۰fF$، مقاومت روشن سوئیچ در سراسر محدوده سیگنال ورودی باید کم‌تر از $۱/۱k\Omega$ باشد. مقاومت روشن

www.SID.ir

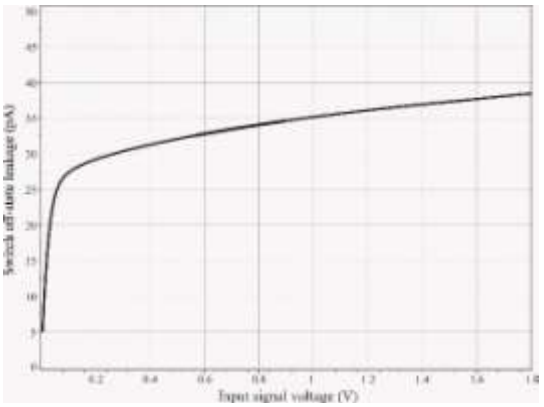
Archive of SID

سوئیچ پیشنهادی برحسب تغییرات دامنه سیگنال ورودی در شکل ۸ نشان داده شده است. همان‌طور که مشاهده می شود، مقاومت سوئیچ پیشنهادی در سراسر محدوده سیگنال ورودی کم‌تر از ۵۶۰Ω می‌باشد که به طور کامل مقدار بیشینه مجاز را برآورده می‌سازد.



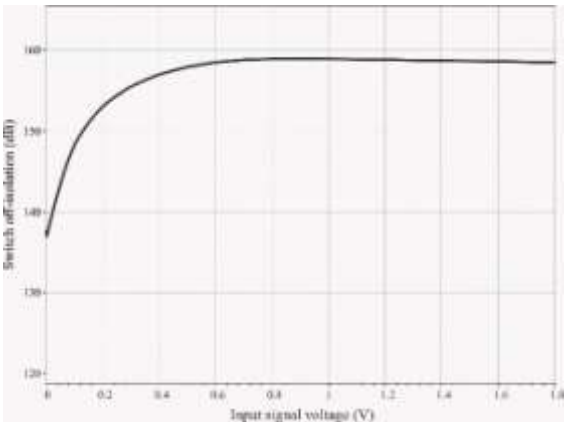
شکل ۸: مقاومت روشن برحسب تغییرات دامنه سیگنال ورودی

جریان نشتی سوئیچ در فاز نگه‌داری یکی دیگر از مشخصات مهم سوئیچ‌های آنالوگ است. جریان نشتی زیرآستانه شبیه‌سازی شده سوئیچ پیشنهادی برحسب محدوده تغییرات دامنه ورودی در شکل ۹ نشان داده شده است. همان‌طور که مشاهده می‌شود، جریان نشتی حالت خاموش سوئیچ پیشنهادی در سراسر محدوده سیگنال ورودی کم‌تر از $۴۰pA$ است.



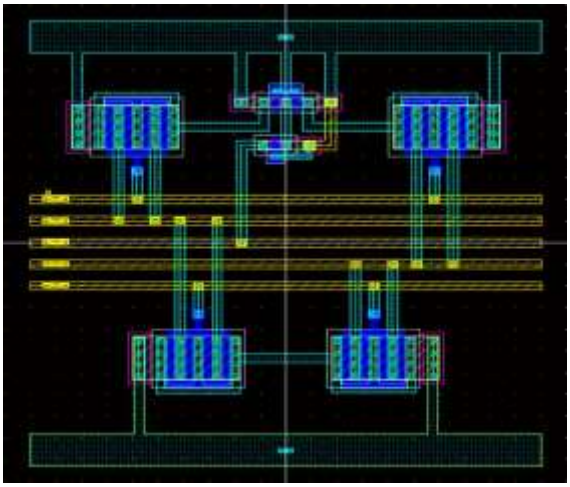
شکل ۹: جریان نشتی برحسب محدوده تغییرات دامنه ورودی

به‌علاوه برای ارزیابی دقیق‌تر عمل‌کرد سوئیچ پیشنهادی در فاز نگه‌داری، نسبت جداسازی سوئیچ نیز بررسی شده است. نسبت جداسازی معیاری از اندازه‌گیری امپدانس حالت خاموش سوئیچ می‌باشد. در واقع این نسبت نشان‌دهنده این است که سیگنال ورودی اعمالی به سوئیچ در حالت خاموش آن با چه میزان تضعیفی در خروجی سوئیچ ظاهر می‌شود. همان‌طور که در شکل ۱۰ نشان داده شده است، نسبت جداسازی سوئیچ پیشنهادی در محدوده وسیعی از تغییرات سیگنال ورودی در حدود ۱۶۰dB است که جداسازی بسیار خوبی را بین ورودی و خروجی برای بسیاری از کاربردها فراهم می‌کند.



شکل ۱۰: نسبت جداسازی برحسب تغییرات سیگنال ورودی

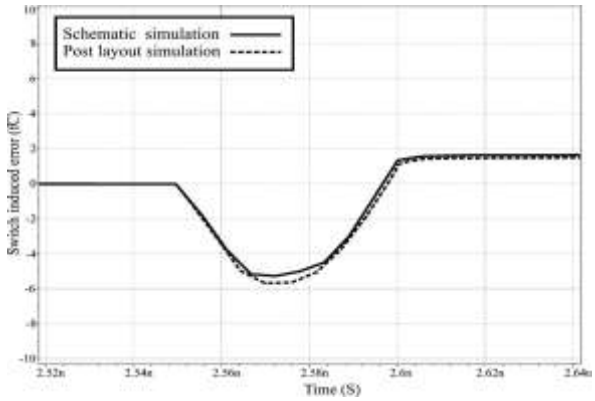
علاوه بر مقاومت روشن و جریان نشتی حالت خاموش، دو عامل مهم دیگر در طراحی سوئیچ‌های آنالوگ، تزریق بار کانال و نفوذ کلاک، نیز بررسی شده‌اند. در این بررسی‌ها با درنظر گرفتن تاثیر آثار پارازیتی بر عملکرد سوئیچ پیشنهادی انجام شده است. شکل ۱۱ طرح جانمایی سوئیچ پیشنهادی را نشان می‌دهد. به‌علاوه، شبیه‌سازی پساجانمایی خطاهای ناشی از سوئیچ با نتایج طرح مداری در شکل ۱۲ باهم مقایسه شده اند.



شکل ۱۱: طرح جانمایی سوئیچ پیشنهادی

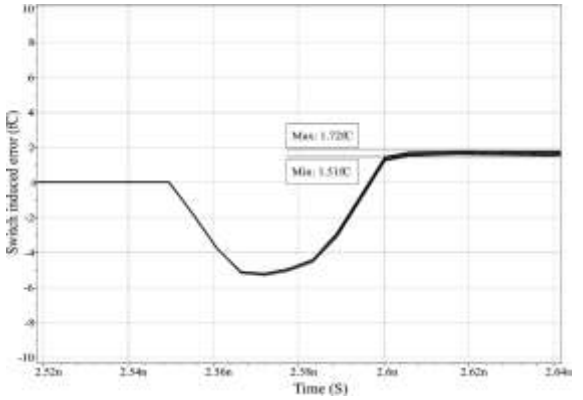
www.SID.ir

Archive of SID



همان‌طور که نتایج شبیه‌سازی نشان می‌دهند، بار خطای خروجی ناشی از تزریق بار و نفوذ کلاک در محدوده وسیعی از تغییرات سیگنال ورودی بسیار ناچیز است (کم‌تر از $1/6fC$ در شبیه‌سازی مداری و کم‌تر از $1/56fC$ در شبیه‌سازی پساجانمایی). هم‌چنین همان‌طور که مشاهده می‌شود، نتایج شبیه‌سازی پساجانمایی مطابقت بسیار خوبی با مقادیر به دست آمده از شبیه‌سازی طرح مداری دارد.

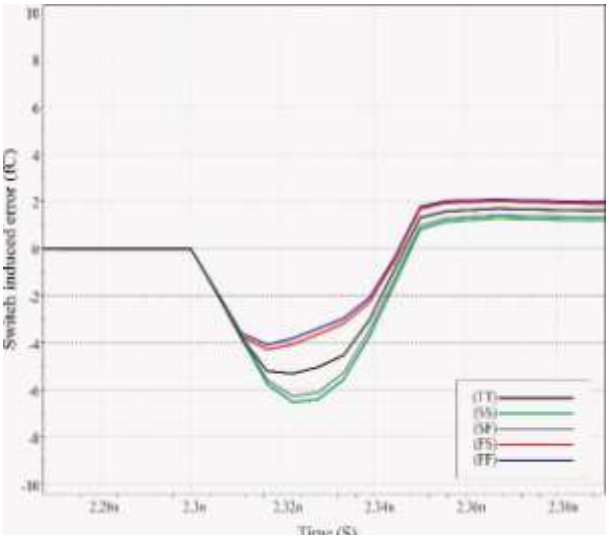
هم‌چنین، برای بررسی آثار عدم‌تطابق‌های ناشی از فرآیندهای ساخت بر عمل‌کرد سوئیچ پیشنهادی از تحلیل مونت کارلو استفاده شده است (شکل ۱۳). همان‌طور که مشاهده می‌شود، بیشینه انحراف خطای تزریق بار و نفوذ کلاک نسبت به شرایط ایده‌آل بسیار کم است و درنتیجه مدار پیشنهادی هم‌چنان عمل‌کرد حذف خطای دقیقی را فراهم می‌سازد.



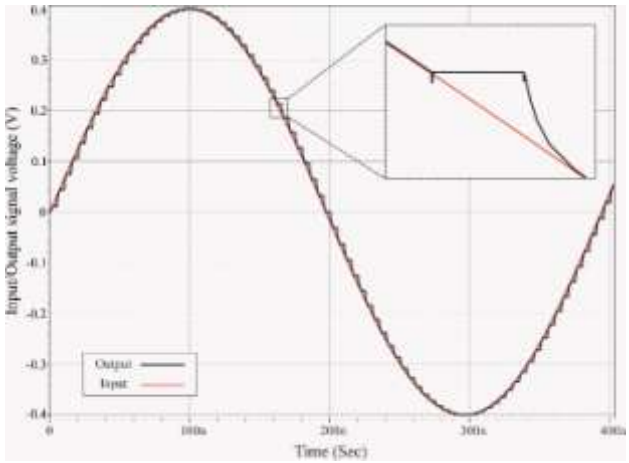
شکل ۱۳:تحلیل مونت کارلو خطاهای تزریق بار و نفوذ کلاک

در شکل ۱۴ نیز خطاهای ناشی از سوئیچ در گوشه‌های SS، SF، TT، FS و FF نشان داده شده است. همان‌طور که ملاحظه می‌شود سوئیچ پیشنهادی در گوشه‌های مختلف فن‌آوری عملکرد مورد انتظار را فراهم می‌کند.

شکل ۱۲: نتایج پساجانمایی و طرح مداری خطاهای ناشی از سوئیچ



شکل ۱۵ پاسخ زمانی ورودی و خروجی سوئیچ پیشنهادی را برای ورودی ۲/۵MHz سینوسی با دامنه ۰/۸Vp-p در فرکانس کلاک ۲۰۰MHz با ولتاژ تغذیه ۱/۸V نشان می‌دهد. همان‌طور که مشاهده می‌شود، خطاهای ناشی از سوئیچ در سیگنال خروجی به میزان قابل ملاحظه‌ای کاهش یافته است و سوئیچ پیشنهادی عمل نمونه‌برداری از شکل‌موج ورودی را با دقت بسیار زیادی انجام می‌دهد.



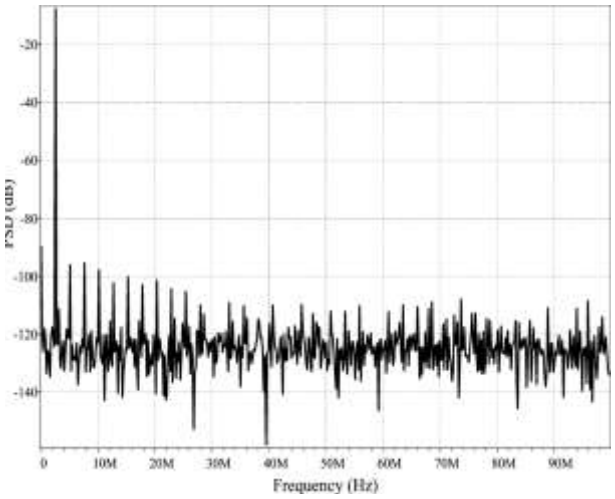
شکل ۱۵: پاسخ زمانی ورودی و خروجی در فرکانس کلاک ۲۰۰MHz

هم‌چنین برای ارزیابی عملکرد پویای سوئیچ پیشنهادی، تبدیل فوریه (FFT) بر روی سیگنال خروجی آن انجام شده است. شکل ۱۶

www.SID.ir

Archive of SID

طیف سیگنال خروجی سوئیچ پیشنهادی را نشان می‌دهد. در این حالت، نتایج شبیه‌سازی نشان می‌دهند که ساختار پیشنهادی دارای THD برابر با ۸۱/۴۱dB-، SNDR برابر با ۸۰/۵۵dB، ENOB برابر با ۱۳/۰۸ و SFDR برابر با ۸۷/۷dB می‌باشد.



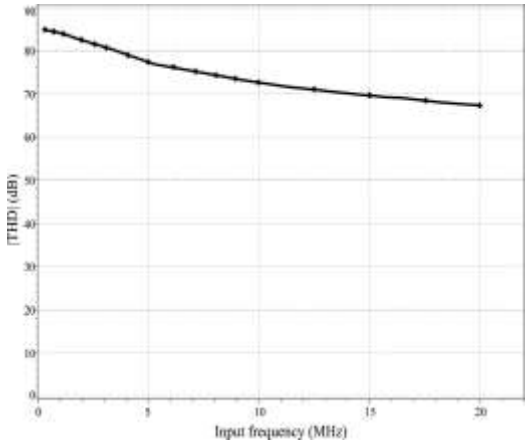
شکل ۱۶: طیف سیگنال خروجی شبیه‌سازی شده

شکل ۱۴: شبیه‌سازی خطاهای ناشی از سوئیچ در گوشه‌های مختلف

در شکل ۱۷ نیز THD سوئیچ پیشنهادی برحسب تغییرات فرکانس ورودی نشان داده شده است. همان‌طور که مشاهده می‌شود سوئیچ پیشنهادی در سراسر محدوده فرکانس ورودی عمل‌کرد بسیار مناسبی دارد.

جدول ۱: خلاصه‌ای از عملکرد سوئیچ پیشنهادی و مقایسه آن با تعدادی از نمونه‌های گزارش‌شده مشابه

	مدار پیشنهادی	مرجع [۲۲]	مرجع [۲۳]	مرجع [۲۴]	مرجع [۲۵]	مرجع [۲۶]
فن‌آوری (µm)	۰/۱۸	۰/۱۸	۰/۱۸	۰/۱۸	۰/۰۹	۰/۱۸
منبع تغذیه (V)	۱/۸	۱	۱/۸	۱/۸	۱	۱
دامنه ورودی (V)	۰/۸	۱	۱	-	۰/۸	۲
فرکانس ورودی (MHz)	۲/۵	۲۳/۵	۱۲	۰/۸	۱۰	۱
فرکانس کلاک (MHz)	۲۰۰	۵۰	۶۰	۲۰	۵۰۰	۱۰۰
THD (dB)	-۸۱/۴۱	-۶۹/۷۰	-	-۵۴/۳۶	-۶۰/۵	-۷۸/۸۱
SNDR (dB)	۸۰/۵۵	۶۷/۳۲	۶۵/۲	۵۶/۵۳	۶۰/۵	-
ENOB	۱۳/۰۸	۱۰/۹	۹/۰۱	۹/۰۱	۹/۸	-
SFDR (dB)	۸۷/۸۰	۶۹/۸۷	-	-	۶۹	-



شکل ۱۷: THD برحسب تغییرات فرکانس ورودی

در نهایت خلاصه‌ای از عملکرد سوئیچ پیشنهادی و مقایسه آن با تعدادی از نمونه‌های گزارش‌شده مشابه در جدول ۱ نشان داده شده است. مشاهده می‌شود که عمل‌کرد پویای مناسب، جداسازی زیاد و نمونه‌برداری پرسرعت با استفاده از ساختار پیشنهادی به راحتی قابل دست‌یابی است.

۵ -نتیجه‌گیری

عملکرد مدارهای خازن سوئیچ‌شده به میزان زیادی به سوئیچ‌های آنالوگ آن وابسته است. در این مقاله سوئیچ آنالوگ MOS جدیدی برای استفاده در مدارهای خازن سوئیچ‌شده معرفی شده است. نخستین مشکل در ارتباط با مدارهای خازن سوئیچ‌شده خطاهای ناشی از سوئیچ است. تزریق بار کانال و نفوذ کلاک مهم‌ترین خطاهای ناشی از سوئیچ‌ها می‌باشند که باید در طراحی سوئیچ‌های MOS آنالوگ در نظر

www.SID.ir

Archive of SID

گرفته شوند. این خطاهای ناشی از سوئیچ با استفاده از روشی ابتکاری به طور قابل ملاحظه‌ای کاهش داده شده است. به‌علاوه، افت ولتاژ ناشی از جریان نشتی حالت خاموش نیز می‌تواند عملکرد سوئیچ‌های آنالوگ مدارهای خازن سوئیچ‌شده را تضعیف کند. در این مقاله، با استفاده از ساختاری نوین سازوکار کنترل نشتی موثری برای افزایش مقاومت خاموش سوئیچ پیشنهاد شده است. برای ارزیابی عملکرد سوئیچ پیشنهادی، شبیه‌سازی‌ها با استفاده از فن‌آوری ۰/۱۸µm انجام شده است. مقاومت روشن سوئیچ پیشنهادی در سراسر محدوده سیگنال ورودی کم‌تر از ۵۶۰Ω می‌باشد که این میزان مشخصات مورد انتظار پهنای‌باند دنباله‌روی را به طور کامل برآورده می‌سازد. به علاوه، از آنجایی‌که مقاومت خاموش سوئیچ پیشنهادی بسیار زیاد (چند گیگاااهم) است جریان نشتی آن ناچیز می‌باشد. هم‌چنین شبیه‌سازی‌های انجام شده نشان می‌دهد که خطاهای ناشی از سوئیچ با استفاده از روش حذف پیشنهادی به طور قابل ملاحظه‌ای کاهش داده شده است. بار خطای خروجی ناشی از تزریق بار و نفوذ کلاک در محدوده وسیعی از تغییرات سیگنال ورودی بسیار کم (کم‌تر از $1/6fC$) می‌باشد. هم‌چنین شبیه‌سازی‌ها نشان می‌دهد که سوئیچ پیشنهادی به ازای سیگنال ورودی سینوسی ۲/۵MHz با دامنه ۸۰۰mV و فرکانس کلاک ۲۰۰MHz با ولتاژ تغذیه ۱/۸V دارای SNDR برابر با ۸۰/۵۵dB، ENOB برابر با ۱۳/۰۸، THD برابر با ۸۱/۴۱dB- و SFDR برابر با ۸۷/۷dB می‌باشد. درنتیجه، نتایج شبیه‌سازی بهبود قابل ملاحظه ویژگی‌های پویا و ایستای مدار خازن سوئیچ‌شده با استفاده از سوئیچ پیشنهادی را تایید می‌کنند.

مراجع

[1] P. J. Quinn, and A. van Roermund, *Switched-capacitor techniques for high-accuracy filter and ADC design*, Dordrecht, Netherlands: Springer Science & Business Media; 2007.

[2] C. Eichenberger, and W. Guggenbuhl, "Dummy transistor compensation of analog MOS switches, " *IEEE Journal of Solid-State Circuits*, vol. 24, no.4, pp. 1143-1146,1989.

[3] F. Centurelli, and P. Monsurrò, S. Pennisi, G. Scotti, and A. Trifiletti, "Design solutions for sample-and-hold circuits in CMOS nanometer technologies," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 56, no. 6, pp. 459–463, 2009.

[4] G. Wegmann, E. Vittoz, and F. Rahali, "Charge injection in analog MOS switches," *IEEE Journal of Solid-State Circuits*, vol. 22, no. 2, pp. 1091–1097, 1987.

[5] B. J. Sheu and C. Hu, "Switch-induced error voltage on a switched capacitor," *IEEE Journal of Solid-State Circuits*, vol. 19, no. 4, pp. 519–525, April 1984.

[6] B. Razavi, *Design of Analog CMOS Integrated Circuits*, New York, USA, McGraw-Hill Higher Education, 2016.

[7] D. Zhang and A. Alvandpour, "A 3-nW 9.1-enob SAR ADC at 0.7V and 1kS/s," *Proceedings of the ESSCIRC (ESSCIRC)*, pp. 369-372, 2012.

[8] X. Wen, R. Wang, S. Yang, L. Chen and J. Chen, "A 30mW 10b 250mS/s dual channel SHA-less pipeline ADC in 0.18µm CMOS," *IEEE 55th International Midwest Symposium on Circuits and Systems (MWSCAS)*, pp. 1004–1007, 2012.

[9] W. C. Black, *High speed CMOS A/D conversion techniques*, PhD. thesis, University of California, Berkeley, 1980.

[10] N. Kurosawa, H. Kobayashi, K. Maruyama, H. Sugawara, and K. Kobayashi, "Explicit analysis of channel mismatch effects in time-interleaved ADC systems," *IEEE Transactions on Circuits and Systems I*, vol. 48, pp. 261–271, Mar. 2001.

[11] R. Hu, J. Tang, "A novel bootstrapped switch," International Conference of Consumer Electronics, *Communications and Networks*, pp. 1545–1547, 2012.

[12] X. Wu, H. Liu, Y. Wu, "A CMOS bootstrapped switch with novel clock feed-through compensation," *IEEE International Conference of Electron Devices and Solid-State Circuits*, pp. 166–169, 2009.

[۱۳] مهدی حسین‌نژاد، حسین شمسی، « طراحی و شبیه‌سازی مبدل آنالوگ به دیجیتال لوله‌ای مبتنی بر مقایسه‌گر ولتاژ پایین»، *مجله مهندسی برق دانشگاه تبریز*، دوره ۴۶، شماره ۱، صفحات ۹۸-۸۷، ۱۳۹۵.

[14] M. Asgari, O. Hashemipour, "Body effect compensation of analog switches using variable voltage function," *IEICE Electronics Express*, vol. 8, no. 3, pp. 189–194, Oct. 2011.

[15] O. A. Adeniran, A. Demosthenous, "Constant-resistance CMOS input sampling switch for GSM/WCDMA high dynamic range sigma delta modulators," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 55, no. 10, pp. 3234–3245, Nov. 2008.

[16] C. Y. Yang, C. C. Hung, "A reliable low-voltage low-distortion MOS analog switch," *IEICE TRANSACTIONS on Fundamentals of Electronics, Communications and Computer Sciences*, vol. E89-A, no. 2, pp. 456-458, Feb. 2006.

[17] D. Zhang, A. Bhide, and A. Alvandpour, "A 53-nW 9.1-ENOB 1-kS/s SAR ADC in 0.13µm CMOS for medical implant devices," *IEEE Journal of Solid-State Circuits*, vol. 47, no. 7, pp. 1585-1593, 2012.

[18] K. Ishida, K. Kanda, A. Tamtrakarn, H. Kawaguchi, and T. Sakurai, "Managing subthreshold leakage in charge-based analog circuits with low-V/sub TH/transistors by analog T-switch (AT-switch) and super cut-off CMOS (SCCMOS)," *IEEE Journal of Solid-State Circuits*, vol. 41, no. 4, pp. 859-867, 2006.

[19] J. H. Shieh, M. Patil, and B. J. Sheu, "Measurement and analysis of charge injection in MOS analog switches," *IEEE Journal of Solid-State Circuits*, vol. 22, no. 2, pp. 277–281, April 1987.

[20] H. Rezaee-Dehsorkh, N. Ravanshad, R. Lotfi, Kh. Mafinezhad, and A. M. Sodagar, "Analysis and design of tunable amplifiers for implantable neural recording applications," *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, vol. 1, no. 4, pp. 546-556, 2011.

[21] D. Zhang, *Ultra low-power analog-to-digital converters for medical applications*, Linköping University, 2012.

[22] W. Xiaofeng, L. Hongxia, S. Li, H. Yue, L. Di, and H. Shigang, "A bootstrapped switch employing a new clock feed-through compensation technique," *Journal of Semiconductors*, vol. 30, no. 12, pp. 93-102, 2009.

[23] Y. Xiang, F. Xiangning, and Zh. Hao, "Design of sample-and-hold circuit for a reconfigurable ADC," *International Conference on Computer Science & Service System (CSSS)*, pp. 166-169, Nanjing, 2012.

[24] C. Gao, Y. Suying, and G.Jing, "20MHz switched-current sample-and-hold circuit with low charge injection," *Transactions of Tianjin University*, vol. 19, no. 1, pp. 47–52, 2013.

[25] M. Azarmehr, R. Rashidzadeh, M. Ahmadi, "High-speed CMOS track-and-hold with an offset cancellation replica circuit," *IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 4297–4300, 2010.

[26] S. Sarafi, A. Kh. B. Aain, and J. Abbaszadeh, "Low-voltage CMOS switch for high-speed rail-to-rail sampling," *Circuits, Systems, and Signal Processing*, vol. 35, no. 3, pp. 771-790, 2016.

زیرنویس‌ها

www.SID.ir

Archive of SID

[1] Switched-capacitor circuits
[2] Channel charge injection
[3] Clock feed-through
[4] Leakage current
[5] Dummy
[6] Complementary
[7] Bottom plate sampling
[8] Bootstrapping
[9] Body effect
[10] Transistor stacking

www.SID.ir