Archive of SID

ارائه یک حلقه قفل‌شونده در فاز بسیار سریع با استفاده از یک آشکارساز فاز حلقه-باز وترانزیستورهای مبتنی بر نانولوله کربنی

امین امانی بنی[۱]، کارشناسی ارشد؛ نوشین قادری[۲]، استادیار،

۱- دانشکده فنی - دانشگاه شهرکرد - شهرکرد - ایران – am.b.amin@hotmail.com
۲- دانشکده فنی - دانشگاه شهرکرد - شهرکرد - ایران - ghaderi.nooshin@eng.sku.ac.ir

چکیده: افزایش سرعت، دقت و کاهش توان مصرفی ادوات الکترونیکی، پارامترهای مهمی هستند که در طراحی و تولید این ادوات باید مورد توجه قرار بگیرند. در این مقاله، طراحی یک حلقه قفل‌شونده در فاز بهبودیافته با استفاده از ترانزیستورهای مبتنی بر نانولوله کربنی ارائه شده است. با استفاده از یک ساختار تفاضلی در نوسان‌ساز حلقوی، نویز حاصل از منبع تغذیه و همچنین زیرلایه حذف می‌گردد. همچنین به‌کارگیری سلف فعال در این نوسان‌ساز موجب افزایش قابل‌توجه فرکانس نوسان می‌گردد. در مدار آشکارساز فاز ارائه‌شده، با استفاده از یک ساختار جدید حلقه-باز، سرعت آشکارسازی به‌میزان قابل‌توجهی افزایش می‌یابد. این امر موجب حذف مدار تقسیم‌کننده در مسیر حلقه می‌گردد. با حذف مدار تقسیم‌کننده، نویز مدار به‌میزان قابل‌توجهی کاهش خواهد یافت. مدار طراحی‌شده، یک‌بار با استفاده از تکنولوژی ماسفت در پروسه ۰/۱۸ میکرومتر و درنهایت با ترانزیستورهای اثر میدانی مبتنی بر نانولوله کربنی در پروسه‌ی۳۲ نانومتر و با منبع تغذیه‌ی ۰/۹ ولت، پیاده‌سازی شده است. فرکانس مرکزی در این پروسه برابر با ۶۸/۵ گیگاهرتز می‌باشد؛ همچنین توان مصرفی کمتر از ۱۵۰ نانو وات و زمان قفل‌شدن آن کمتر از ۱۰ پیکوثانیه می‌باشد.

واژه‌های کلیدی: حلقه‌ی قفل‌شونده در فاز، آشکارساز فاز، ترانزیستورهای اثر میدانی مبتنی بر نانولوله‌های کربنی.

A High Speed Phase Locked Loop, Using an Open-Loop Phase Detector and Carbon Nanotube Field Effect Transistors

A. Amani Beni[1], Master of Scince; N. Ghaderi[2], Assistant Professor

1- Faculty of Engineering, University of Shahrekord, Shahrekord, Iran, Email: am.b.amin@hotmail.com
2- Faculty of Engineering, University of Shahrekord, Shahrekord, Iran, Email: ghaderi.nooshin@eng.sku.ac.ir

Abstract: Speed, accuracy, and power consumption of electronic devices, are important parameters that should be considered in the design and manufacturing of these devices. In this paper, a new design of modified phase-locked loop, using Carbon Nanotube Field Effect Transistors, is proposed. Using a differential structure of the ring oscillator, the coupled noise of the power supply and the substrate is eliminated. In addition, using active inductor in the oscillator delay cells will cause a marked increase in oscillation frequency. In the presented phase detector circuit, by using a new open loop structure, the detection speed increases significantly. This will remove the divider circuit on loop track. By removing the divider circuit, the noise of the loop will be reduced considrably. The designed circuit is implemented once in MOSFET technology using 0.18 micrometers process and once again in 32nm process of carbon nano-tube field effect transistors technology with 0.9 volt power supply. The center frequency in this process is 68.5 GHz. The value of power consumption is less than 150 nano-watts and the acquisition time is less than 10 picoseconds.

Keywords: Phase locked loop, phase detector, carbon nano tube field effect transistors.

تاریخ ارسال مقاله: ۱۳۹۶/۰۷/۱۲
تاریخ اصلاح مقاله: ۱۳۹۶/۱۲/۲۴، ۱۳۹۷/۰۳/۲۰و ۱۳۹۷/۰۵/۱۷
تاریخ پذیرش مقاله: ۱۳۹۷/۰۸/۲۱
نام نویسنده مسئول: نوشین قادری
نشانی نویسنده مسئول: ایران - شهرکرد - بلوار رهبر - دانشگاه شهرکرد - دانشکده فنی مهندسی.

www.SID.ir

Archive of SID

۱- مقدمه

امروزه با پیشرفت روزافزون فناوری با کوچک‌شدن ابعاد ترانزیستورهای سیلیکونی، مسئله‌ی نقص بلوری به‌عنوان یک چالش جدی مطرح می‌شود. هم‌چنین با افزایش چگالی بار الکتریکی، ظهور پدیده‌های کوانتومی همچون تخلیه بار الکتریکی و تونل‌زنی الکترونی و در نتیجه ایجاد جریان‌های مخرب و نشتی نیز مشکلاتی را به‌وجود می‌آورند. علاوه بر این با افزایش چگالی جریان الکتریکی، دمای ترانزیستورها به‌شدت افزایش می‌یابد که در ابعاد نانومتری ممکن است دمای این نانو ترانزیستورها به چندین هزار درجه‌ی سانتی‌گراد هم برسد؛ بدین‌ترتیب این نانو ترانزیستورها در چند لحظه ذوب خواهند شد. همچنین تأخیر مدارات طراحی‌شده با ترانزیستورهای سیلیکونی به‌دلیل وجود خازن‌های میانی در مدارهای مجتمع بسیار مشهود است و این امر باعث کاهش کارایی کل مدار می‌گردد. با توجه به این موضوع در مداراتی که در طراحی آن‌ها از خازن‌ها استفاده می‌کنند به‌دلیل کم‌بودن توان جریان‌دهی گیت‌هایی که بارهای خازنی را درایو می‌کنند، سرعت مدارات به‌طور چشم‌گیری پایین می‌آید که این مهم‌ترین نقطه‌ضعف طراحی مدارات مجتمع با استفاده از ترانزیستورهای سیلیکونی است. جهت بهبود مشخصات DC و فرکانسی ترانزیستورها، ساختارهای متفاوتی از ترانزیستورهای اثر میدانی در مقالات ارایه شده است[۲،۱]. در سال ۱۹۸۸ برای اولین بار از نانولوله‌های کربنی تک‌جداره و چندجداره که دارای خواص نیمه‌رسانایی بودند، برای ساخت نانو ترانزیستور استفاده شد. برای ساخت ترانزیستورهای اثر میدانی مبتنی بر نانولوله‌های کربنی[۱]، از نانولوله‌های کربنی که خواص نیمه‌هادی دارند استفاده شده است. این نانو ترانزیستورها به‌خاطر توانایی‌های منحصربه‌فردشان ازجمله ابعاد خیلی کوچک، سرعت زیاد و توان مصرفی بسیار پایین و همچنین به خاطر مشابه‌بودن عملکردشان با CMOS ها به‌عنوان یک جایگزین ایدئال برای ترانزیستورهای سیلیکونی مطرح می‌شوند [۴،۳]. همچنین در سال های اخیر، به‌دست‌آوردن عملکرد بهینه در این نانو ترانزیستورها با استفاده از روش های مختلف از جمله الگوریتم های هوشمند مورد بررسی قرار گرفته است [۶،۵].

سیستم‌های دیجیتال، برای انتقال سریال داده‌ها و منطبق‌کردن آن‌ها بین واحدهای عملیاتی و آی‌سی‌ها، از پالس‌ساعت[۲] استفاده می‌کنند. نرخ بیت و فرکانس پالس‌ساعت همگام با هر نسل از فنّاوری و معماری پردازنده‌ها، افزایش می یابد. در این سیستم‌ها، پالس ساعت‌های مناسبی توسط حلقه‌های قفل‌شونده در فاز[۳](PLL)، تولید شده و توسط بافرهای پالس‌ساعت در داخل تراشه توزیع می گردند. در واقع PLL یک حلقه‌ی فیدبک است که نقش قفل‌کردن فاز پالس‌ساعت داخل تراشه را با کلاک یا سیگنال ورودی، ایفا می‌کند. از PLL ها در کاربردهای متنوعی همچون بازیابی اطلاعات[۴]، تولید پالس‌ساعت[۵] ریزپردازنده‌ها و سنتزکننده‌های فرکانسی[۶] استفاده می‌شود. طراحی و پیاده‌سازی PLL با چالش‌هایی از قبیل توان‌مصرفی، . تشویش[۷] و ابعاد، مواجه می باشد.

یک PLL از قسمت‌های مختلفی شامل : آشکارساز فاز[۸]، پمپ بار[۹] جریان ، فیلتر حلقه و نوسان‌ساز کنترل‌شده با ولتاژ[۱۰] تشکیل‌شده‌است.

مهم‌ترین و حیاتی‌ترین بخش یک حلقه قفل‌شونده با فاز، نوسان‌ساز کنترل‌شده با ولتاژ(VCO)[۱۰] است؛ چراکه سیگنال خروجی کل مدار را می‌سازد. در این نوسان‌ساز، برای تنظیم فاز PLL باید فرکانس نوسانات قابل تنظیم باشد [۸،۷].

به‌طورکلی، می‌توان VCO ها را به دو ساختار کلی رزوناتورهای LC و نوسان‌سازهای حلقوی در پروسه‌های CMOS دسته‌بندی کرد. گرچه VCO هایی که با ساختار LC ساخته می‌شوند ازنظر نویز و فرکانس‌کاری کارایی بهتری دارند، ولی فضای بیشتری را در تراشه اشغال می‌کنند و همچنین گستره‌ی تنظیم کمتری دارند. از طرف دیگر نوسان‌سازهای حلقوی که به‌صورت زنجیره‌ای از سلول‌های تأخیری تشکیل شده‌اند، ضمن اینکه فضای کمتری اشغال می‌کنند، دارای گستره‌ی تنظیم بزرگ‌تری نیز می‌باشند. علاوه‌بر این در ساختار حلقوی از کلاک هر طبقه که دارای اختلاف‌فاز مشخصی با کلاک طبقه قبل است، می‌توان به‌صورت جداگانه استفاده کرد؛ بنابراین مقرون‌به‌صرفه‌تر خواهد بود [۹-۱۱]. همچنین با توجه به ساختار حلقه‌بسته PLL، جیتر ناشی از VCO به میزان زیادی در داخل حلقه PLL جبران خواهد شد. هر نوسان‌ساز حلقوی شامل تعدادی سلول تأخیر[۱۳] است که تعداد آن‌ها متناسب با کاربرد و فرکانس موردنظر خواهد بود [۱۳،۱۲]. مشکل عمده‌ی سلول‌های تأخیری تشکیل‌دهنده نوسان‌سازهای حلقوی وجود یک قطب بزرگ در قسمت بار است که موجب کاهش چشمگیر سرعت نوسان‌ساز می‌گردد. لذا استفاده از ترانس در قسمت بار سلول‌های تأخیر تفاضلی مطرح شد [۱۴]. ساختار سلفی این مزیت را دارد که با صفری که ایجاد می‌کند تا حدود زیادی مشکل را برطرف کرده و موجب افزایش سرعت و فرکانس نوسان VCO شود. هرچند یک عیب بزرگ همچنان پابرجاست و آن افزایش ابعاد است.

یکی دیگر از چالش‌های مهم در طراحی PLL با سرعت بالا، طراحی یک مدار آشکارساز فاز(PD) سریع است. عموماً PD ها به دو شکل حلقه‌باز و حلقه‌بسته طراحی می‌گردند. در مدارات PD حلقه‌بسته، با توجه به اینکه از مدارات ترتیبی جهت آشکارسازی لبه سیگنال‌ها استفاده می‌شود، سرعت به‌شدت محدود می‌گردد؛ بنابراین در این مدارات برای داشتن نوسان‌ساز با فرکانس بالا، از یک تقسیم‌کننده فرکانس بین نوسان‌ساز و ورودی PD استفاده می‌شود. اضافه‌کردن این تقسیم‌کننده سبب افزایش تشویش و نویز در خروجی PLL می‌شود [۱۵].

یکی دیگر از مهم‌ترین منابع ایجادکننده تشویش در مدار PLL، ناحیه‌مرده[۱۱] است. مسئله کاهش تشویش، طراحان را ملزم به طراحی ساختار بهینه برای کاهش ناحیه‌مرده می‌سازد [۱۶].

در [۱۷] یک PD حلقه باز[۱۲] ارائه‌شده است که به‌خاطر حذف مدارات ترتیبی، به سرعت بسیار بالا، دامنه قفل‌شدگی وسیع و تشویش کم دست‌یافته است. هرچند با توجه به وجود یک جریان گردشی در

www.SID.ir

Archive of SID

ترانزیستورهای اصلی PD، زمانی‌که هردو سیگنال ورودی در سطح منطقی یک قرار دارند، توان‌مصرفی این ساختار زیاد است.

مدار پمپ بار جریان با استفاده از سیگنال خروجی PD ولتاژ کنترلی مناسب برای VCO را تولید می کند. در عمل، اثرات غیرایدئال پمپ بار باعث اختلال در عملکرد کل حلقه و در نهایت قفل‌نشدن حلقه می‌شود. به‌عبارتی تغییرات در اندازه‌ی جریان خروجی پمپ بار، منجر به نوسان در ولتاژ خروجی و درنتیجه تغییر در پهنای‌باند حلقه می‌شود. این اختلال‌ها باعث افزایش تشویش خروجی می‌گردد. برای منطبق‌شدن جریان شارژ و دشارژ در مقالات گوناگون راه‌های متفاوتی پیشنهاد شده است. عمده‌ی این راه ها منجر به افزایش مقاومت خروجی و در نتیجه افزایش تطبیق جریان می‌گردد[۱۸،۱۹].

در این مقاله جهت افزایش سرعت VCO، از سلف فعال استفاده شده است[۲۰-۲۲] ؛ جایگزین‌کردن سلف فعال به‌جای یک سلف فیزیکی می‌تواند مشکلات ذکرشده را تا حد زیادی برطرف کند؛ یعنی ساختاری با استفاده از ماسفت‌ها طراحی شود که اثر سلفی از خود نشان دهد. استفاده از سلف فعال در بار سلول تأخیر تفاضلی موجب افزایش سرعت و فرکانس نوسان می‌گردد. بدیهی است که حذف یک سلف فیزیکی از تراشه موجب کاهش چشمگیر سطح تراشه خواهد شد. همچنین در این مقاله، آشکارساز فاز به‌صورت حلقه‌باز پیشنهادشده است که ضمن داشتن سرعت بالا به‌دلیل عدم استفاده از مدارات ترتیبی، ناحیه مرده ندارد بنابراین مشکل جیتر نیز حل می‌شود. مدار پیشنهادی به‌دلیل داشتن ساختار حلقه-باز و طراحی بسیار ساده، توان‌مصرفی و نویز پایینی دارد. مدار پیشنهادی یک‌بار با استفاده از تکنولوژی CMOS و بار دیگر با استفاده از تکنولوژی CNTFET شبیه‌سازی شده و نتایج با یکدیگر مقایسه شده‌اند.

۲- ترانزیستورهای CNTFET

CNTFET ها، به‌خاطر ویژگی‌های بسیار خوبی که در مقایسه با CMOS دارند، در نانو الکترونیک موردتوجه قرارگرفته‌اند. از قرارگرفتن شش اتم کربن به‌صورت شش‌ضلعی منتظم که با پیوند کووالانسی کنار هم قرار می‌گیرند، لایه‌های گرافیتی تشکیل می‌شوند که این لایه‌ها با لایه‌های زیرین خود با پیوند واندروالسی به هم وصل می‌شوند.

نانولوله‌ها در حقیقت لایه‌های گرافیتی هستند که از دونقطه به هم وصل شده‌اند مهم‌ترین خاصیت فیزیکی نانولوله‌ها، «هدایت الکتریکی» آن‌هاست. هدایت الکتریکی نانولوله‌ها بسته به زاویه و نوع پیوندها (کایرالیتی)، از دسته‌ای به دسته دیگر کاملاً متفاوت است؛ هر اتم در جایگاه خود در حال ارتعاش است، وقتی‌که یک الکترون (یا بار الکتریکی) وارد مجموعه‌ای از اتم‌ها می‌شود، ارتعاش اتم‌ها بیشتر شده و در اثر برخورد با یکدیگر بار الکتریکی واردشده را انتقال می‌دهند. هرچه نظم اتم‌ها بیشتر باشد، هدایت الکتریکی آن دسته از نانولوله‌ها بیشتر خواهد بود. تقسیم‌بندی بر اساس نظم اتم‌های کربن در نانولوله و درنتیجه رسانایی آن‌ها انجام شده‌است؛ برای مثال نانولوله نوع صندلی ۱۰۰۰ بار از مس رساناتر است، درحالی‌که نوع زیگزاگ و نوع نامتقارن نیمه‌رسانا هستند. خاصیت نیمه‌رسانایی نانولوله‌ها بسته به نوع آن‌ها تغییر می‌کند. CNTFET ها با توجه به نوع کاربرد در چند دسته ساخته می‌شوند که از مهم‌ترین آن‌ها می‌توان نوع MOSFET-like، Schottky barrier و مدل Dual-Gate CNTFET را نام برد. با توجه به مشابهت نوع MOSFET-like با ترانزیستورهای CMOS، در این مقاله، از این نوع ترانزیستور جهت طراحی مدار استفاده‌شده‌است.

در معادلات (۱) و (۲) نحوه محاسبه ولتاژ آستانه برای CNTFET آورده شده است.

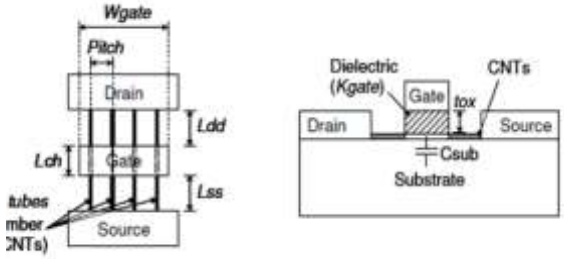
$$Vth=0.42/(Dcnt(nm))\ v \qquad (۱)$$

$$Dcnt=\frac{a\sqrt{N_1^2+N_2^2+N_1N_2}}{\pi} \qquad (۲)$$

N_1 و N_2 نسبت کایرالیتی که دونقطه در صفحه گرافنی لوله‌شده در گوشه‌ها (زوایا) به هم دارند را مشخص می‌کند. در حالتی که $N_1 \neq N_2$ باشد ، نانو لوله به‌عنوان نیمه هادی شناخته می‌شود.

شکل ۱، ساختار یک CNTFET را نشان می‌دهد همان‌طور که مشاهده می‌شود ساختار ازنظر ساخت مشابه CMOS است با این تفاوت که نانولوله‌ها از پایانه سورس به درین متصل شده‌اند. در شکل مذکور، عرض گیت با Wgate(۶/۴nm)، طول کانال Lch(۳۲nm)، فاصله گیت تا پایانه سورس Lss(۳۲nm) و همچنین فاصله گیت تا پایانه درین با Ldd(۳۲nm) نشان داده‌شده است. تعداد نانولوله‌ها نیز تحت عنوان tubes(۱) مشخص‌شده است و فاصله بین دو نانولوله هم‌جوار با Pitch(۲۰nm) نشان داده می‌شود. مقادیر نشان‌داده در پرانتز مقادیر پیش‌فرض هستند.

به‌عنوان مثال برای چند CNTFET با مشخصات مفروض در جدول۱، ولتاژ آستانه محاسبه شده‌است.



شکل ۱: نمای کلی یک ساختار CNTFET

جدول ۱: ولتاژ آستانه برای CNT با کایرالیتی‌های متفاوت

ولتاژ آستانه *(V)*	قطر *(nm)*	کایرالیتی *(n1,n2)*
۰/۲۹۳	۱/۴۸۷	(۱۹،۰)
۰/۵۵۷	۰/۷۸۳	(۱۰،۰)
۰/۴۲۸	۱/۰۱۸	(۱۳،۰)

www.SID.ir

Archive of SID

۳- ساختار PLL پیشنهادی

۳-۱ نوسان‌ساز کنترل‌شده با ولتاژ (VCO)

یک نوسان‌ساز حلقوی از تعدادی سلول تأخیر تشکیل شده‌است. فرکانس نوسانات این VCO به‌واسطه‌ی مدت تأخیر هر سلول و تعداد این سلول‌ها طبق معادله (۳) قابل‌محاسبه است؛ در این رابطه، N تعداد سلول‌های تأخیر و T_d زمان تأخیر هر سلول است که با داشتن آن‌ها محاسبه فرکانس نوسان امکان‌پذیر است. پس با توجه به این رابطه، روش معمول برای افزایش فرکانس نوسانات کاهش تعداد و یا زمان تأخیر سلول‌ها می‌باشد.

$$f_0 = \frac{1}{2NT_d} \qquad (۳)$$

سلول‌های متداول برای VCO، سلول تأخیر با بار مقاومتی هستند [۲۲]. گین این مدارات به‌صورت زیر است:

$$A = g_m\left(R \| r_o\right) \qquad (۴)$$

که R مقاومت موجود در نود خروجی سلول تأخیر و r_o مقاومت خروجی ترانزیستور موجود در آن نود است[۲۲].

شرط نوسان طبق رابطه‌ی ۵، بر اساس اصل بارک‌هاوزون تعیین می‌شود؛ در این رابطه، n تعداد سلول‌های تأخیری است که در نوسان‌ساز به‌کار رفته است، A_0، گین مدار یا گین هر سلول، ω_0، فرکانس 3db- و ω_{osc}، فرکانس نوسان‌ساز است.

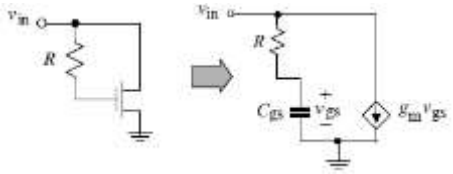
$$H: \frac{A_0^n}{\left[1+\left(\frac{\omega_{osc}}{\omega_0}\right)^2\right]^n} = 1 \qquad (۵)$$

در رابطه‌ی گین، اگر $R \ll r_o$ باشد، مقدار گین برابر با مقدار $g_m.R$ خواهد بود؛ بنابراین ملاحظه می‌شود که با افزایش R، گین بالا می‌رود و با توجه به رابطه ۵ مشهود است که این افزایش منجر به افزایش فرکانس اسیلاتور یا افزایش سرعت مدار می‌شود؛ اما نکته قابل‌توجه این است که افزایش R از سوی دیگر قطب اول مدار (رابطه ۶) را کاهش می‌دهد بنابراین کاهش مقدار ω_0، منجر به کم‌شدن مقدار فرکانس نوسان می‌شود.

$$P_1 = -\frac{1}{R.C_L} \qquad (۶)$$

در این مقاله از سلف فعال wu-folded استفاده شده است [۲۲]. مدل سیگنال کوچک این سلف برای NMOS در شکل ۲ نشان داده‌شده‌است. برای سهولت تحلیل، از C_{gd} و دیگر خازن‌های پارازیتی صرف‌نظر شده است. امپدانس ورودی از رابطه زیر محاسبه می‌شود:

$$Z = \frac{SRC_{gs}+1}{SC_{gs}+g_m} \qquad (۷)$$

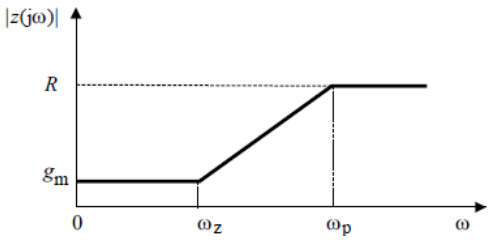


شکل ۲: مدل سیگنال کوچک سلف فعال Wu-folded [۲۲]

واضح است که Z، یک صفر در فرکانس ω_z و یک قطب در فرکانس ω_p دارد. این شبکه در فرکانس‌های پایین $\omega_z > \omega$ مقاومتی است با مقاومت $R \approx 1/g_m$. زمانی که $\omega_p > \omega > \omega_z$ باشد، شبکه القایی است (شکل ۳). مقدار ω_z و ω_p طبق رابطه ۸ و ۹ محاسبه می‌گردد.

$$\omega_Z \approx \frac{1}{RC_{gs}} \qquad (۸)$$

$$\omega_P \approx \frac{g_m}{C_{gs}} \qquad (۹)$$



شکل ۳: منحنی امپدانس ورودی برحسب فرکانس زاویه‌ای برای سلف فعال Wu-folded [۲۲]

برای سهولت استنتاج مدار معادل RLC، ادمیتانس ورودی شبکه را محاسبه می‌کنیم.

$$Y_{in} = \frac{SC_{gs}+g_m}{SRC_{gs}+1} = \frac{1}{R} + \frac{1}{S\frac{RC_{gs}}{g_m-\frac{1}{R}} + \frac{1}{g_m-\frac{1}{R}}} \qquad (۱۰)$$

معادله ۱۰ را می‌توان با یک شبکه سری RL که موازی با یک مقاومت R_P قرار گرفته است، به‌صورت رابطه ۱۱ نشان داد.

$$R_P = R, \quad L = \frac{RC_{gs}}{g_m - 1/R}, \quad R_S = \frac{1}{g_m - \frac{1}{R}} \qquad (۱۱)$$

با توجه به اینکه مقاومت Rs، دارای مقدار مثبتی است بنابراین می‌بایست $g_m > 1/R$ باشد. مقدار پارامتر R نقش تعیین‌کننده در میزان اندوکتانس سلف دارد. می‌توان به‌جای R، از یک ترانزیستور در ناحیه خطی استفاده کرد که مقدار R_{on} را با اعمال ولتاژ روی گیت، می‌توان تا حدودی تنظیم نمود.

در شکل ۴، ساختار سلول تأخیری پیشنهادی آورده شده است[۲۳]. ترانزیستورهای M7,M8 زوج ورودی‌های اولیه هستند. هنگامی‌که ولتاژ گیت M8 (Vip) پایین‌تر از ولتاژ آستانه‌اش باشد ترانزیستور خاموش

www.SID.ir

Archive of SID

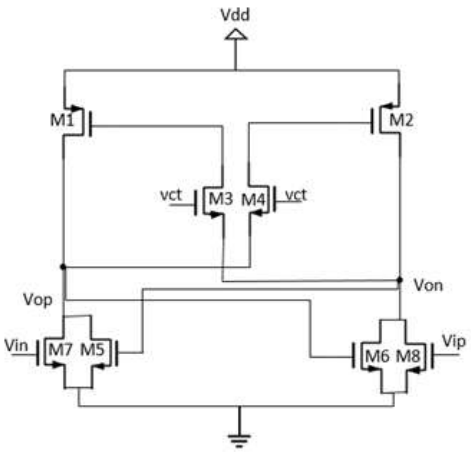
است در این صورت Von مقدار ماکزیمم و Vop مقدار مینیمم خواهند داشت . ترانزیستورهای M3,M4 با ولتاژ کنترلی Vct، فرکانس‌کار مدار را تنظیم می‌کنند. ترانزیستورهای M5,M6، مقاومت منفی با مقدار $-2/g_m$ را تشکیل می‌دهند. ترکیب ترانزیستورهای M1,M3 و به‌طور قرینه در سمت دیگر M2,M4، تشکیل سلف فعال wu-folded می‌دهند.

سلف فعال به‌کاررفته در ساختار پیشنهادی، با ایجاد یک صفر، قطب ایجادشده در گره خروجی که پهنای باند مدار را محدود می‌کند را تا حدود زیادی خنثی کرده و موجب افزایش پهنای‌باند می‌گردد.

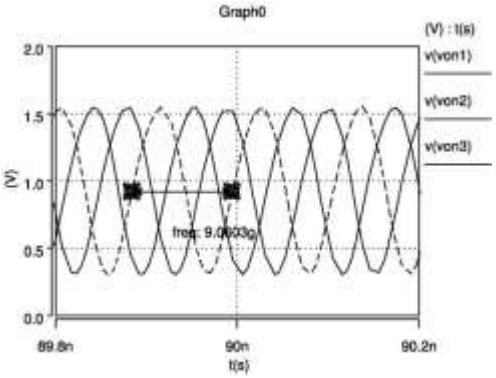
در مدار پیشنهادی، برخلاف مدارات متداول [۲۲،۲۱]، سورس ترانزیستورهای متصل‌شده به ولتاژ کنترلی یا Vct (M4 و M3) به نودهای خروجی وصل می شوند. این ترانزیستورها که در ناحیه خطی بایاس شده‌اند به‌صورت مقاومت‌های کنترل‌شونده با ولتاژ کنترلی Vct عمل‌می‌کنند. زمانی که Vct پایین است، مقدار مقاومت معادل این ترانزیستورها زیاد است بنابراین قدرت لچ جفت ترانزیستور بالایی کاهش می‌یابد. به‌عبارتی، در این حالت جریان بیشتری از این ترانزیستورها در طول زمان تغییر حالت خروجی عبور خواهد کرد. بنابراین مدت زمان لازم برای تغییر حالت خروجی نسبت به مدارات مشابه ، کمتر خواهد شد. این موضوع باعث افزایش فرکانس نوسان اسیلاتور می‌گردد.

اگر از CNTFET ها به‌جای CMOS در ساختار استفاده شود، فرکانس نوسان، پهنای‌باند و سرعت مدار به‌طور چشمگیری افزایش خواهد یافت. همچنین افزایش در آستانه تحمل حرارت، کاهش توان مصرفی و کوچک‌شدن ابعاد در حد نانومتر به‌خاطر خواص منحصربه‌فرد CNTFET ها از مزایای دیگر مدار پیشنهادی خواهد بود.

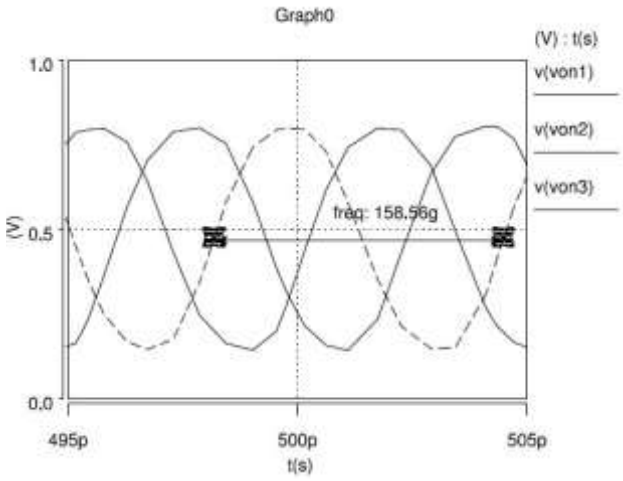
تعداد این سلول‌ها متناسب با فرکانس‌کاری موردنظر انتخاب می‌گردد. در اینجا VCO سه سلولی در نظر گرفته شده است. نتایج شبیه‌سازی مدل پیشنهادی با نرم‌افزار HSPICE در شکل‌های ۵ تا ۷ آورده شده است.



شکل ۴: سلول تأخیر VCO حلقوی با بار سلف فعال



(الف)



(ب)

شکل ۵ (الف): نوسان‌ساز کنترل‌شده ولتاژ حلقوی ۳ سلولی با CMOS؛ (ب): نوسان‌ساز کنترل‌شده ولتاژ حلقوی ۳ سلولی با CNTFET

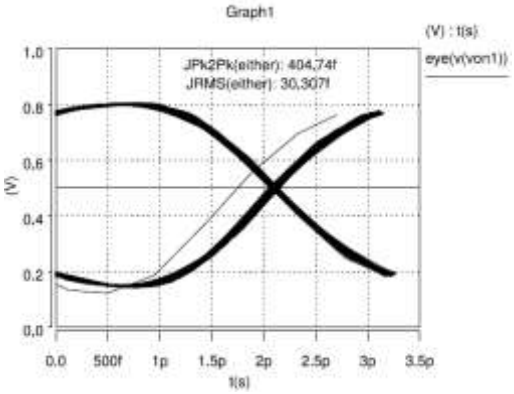
ساختار پیشنهادشده یک‌بار با استفاده از فنّاوری CMOS در پروسه ۰/۱۸µm و بار دیگر با CNTFET در پروسه ۳۲nm شبیه‌سازی شده است. حداکثر فرکانس نوسان با استفاده از CMOS، ۹GHz به دست می‌آید (شکل ۵ (الف)). نتایج شبیه‌سازی با استفاده از ترانزیستورهای CNTFET در شکل ۵ (ب) مشاهده می‌شود. در ساختار پیشنهادی به‌خاطر وجود سلف فعال و ترانزیستورهای CNTFET، فرکانس نوسان به‌شدت بالا می‌رود. طبق شکل ۶ مشاهده می‌شود که مقدار مؤثر جیتر برای مدل پیشنهادی با استفاده از CNTFET ها در حدود ۳۰fs است. نتیجه هیستوگرام شکل ۷ نیز مؤید همین موضوع است.

به‌منظور ارزیابی عملکرد مدار پیشنهادی، ابتدا نوسان‌ساز پیشنهادی با استفاده از مدل TSMC ۰/۱۸µm CMOS شبیه‌سازی گردیده و با اسیلاتورهای پیشنهادی در مقالات و با پروسه مشابه مقایسه می‌شود. نتایج این مقایسه در جدول ۲ نشان داده شده است. استفاده از ترانس در [۲۴]، اگرچه موجب بالارفتن فرکانس می‌شود اما مشکلاتی نظیر سطح اشغالی بزرگ برای پیاده‌سازی ترانس در تراشه و محدوده تنظیم پایین را دارد. مدل پیشنهادی با استفاده از سلف فعال، مشکلات

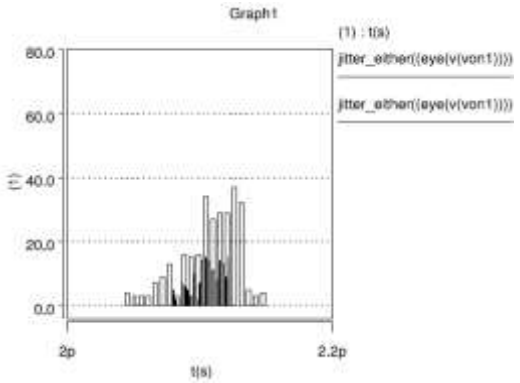
www.SID.ir

Archive of SID

به‌کارگیری ترانس را حل کرده است. مشاهده می‌شود که این ساختار با تکنولوژی CMOS دارای فرکانس بالای 9GHz می‌باشد. همچنین محدوده‌ی فرکانسی این مدار در مقایسه با مدار موجود در [۲۴] بسیار بالا است؛ البته توان مصرفی این مدار به‌دلیل استفاده از ساختار سلف فعال در مقایسه با مدار [۲۴] کمی بالا رفته است. مدار پیشنهادی همچنین قابل پیاده‌سازی با استفاده از تکنولوژی CNTFET می‌باشد. همچنان که در جدول مشاهده می‌شود پیاده‌سازی این ساختار در تکنولوژی CNTFET موجب افزایش فرکانس به مقداری بیش از ۱۰۰GHz شده است. همچنین توان‌مصرفی به‌شدت کاهش یافته است. نویز فاز و FOM نیز با این ساختار کاهش یافته‌اند.



شکل ۶: نمودار چشمی نوسان‌ساز کنترل‌شده ولتاژ حلقوی ۳ سلولی با CNTFET



شکل ۷: هیستوگرام نوسان‌ساز کنترل‌شده ولتاژ حلقوی ۳ سلولی با CNTFET

جدول۲: نتایج شبیه‌سازی‌شده VCO در کارهای قبلی و مقایسه با مدل پیشنهادی

شماره	عملکرد پارامترها	واحد	[۲۵]	[۲۴]	شبیه‌سازی مدل پیشنهادی با فناوری CMOS [۲۳]	شبیه‌سازی مدل پیشنهادی با فناوری CNTFET [۲۳]
۱	فناوری	–	۰/۱۸μm	۰/۱۸μm	۰/۱۸μm	۳۲nm
۲	فرکانس	GHz	۲/۴	۲۴	۹	۱۵۸
۳	V_{DD}/I_{DD}	(V/mA)	NA	۰/۶۵ / ۱۲	۱/۸ / ۱۱/۹	۰/۹ / ۵۲/۲×۱۰$^{-۳}$
۴	توان مصرفی	mW	۱/۰۹	۷/۸	۲۱/۴	۴۷×۱۰$^{-۳}$
۵	نویز فاز[۱۳]	(dBc/Hz)@1MHz	-۱۴۱	-۱۰۰/۳۳	-۱۱۹	-۱۰۸/۹
۶	FOM	(dBc/Hz)	-۲۰۸	-۱۷۹	-۱۵۴/۷	-۲۲۶/۱
۷	محدوده تنظیم[۱۴]	–	۳۸%	۲/۲%	۱۳/۷%	۸/۷%
۸	محدوده[۱۵] اشغال (ترانس)	mm^2	_	۰/۶×۰/۷	_	_
۹	نوع بار	–	مقاومتی	ترانس	سلف فعال	سلف فعال

۳-۲ آشکارساز فاز پیشنهادی

آشکارساز فاز، اختلاف‌فاز ورودی‌ها را آشکار کرده و دنباله‌ای از پالس‌ها را تحت عنوان Up و Down تولید می‌کند که به پمپ بار اعمال می‌شوند. در مدار پمپ بار، اختلاف‌فاز تبدیل به ولتاژ یا جریان می‌شود و به قسمت کنترل در نوسان‌ساز کنترل‌شونده ولتاژ (VCO) اعمال می‌شود و به‌واسطه‌ی آن اختلاف‌فاز تصحیح می‌شود. در آشکارسازهای خطی، پالسی هم‌عرض فاز بین لبه داده و پالس ساعت تولید می‌گردد و درنتیجه خروجی آن نه‌تنها پس‌فاز و پیش‌فاز بودن پالس ساعت‌ها و داده را مشخص کرده بلکه یک سیگنال که عرض آن به‌صورت خطی متناسب با اختلاف‌فاز است، تولید می‌کند. این ساختار دارای رفتار جیتر بسیار بهتری نسبت به آشکارسازهای غیرخطی است؛ اما مسئله طراحی برای فرکانس‌های بالا یکی از مشکلات اساسی این ساختار است.

در مدار ارائه‌شده، که در شکل ۸ نشان داده شده است ، از ساختار حلقه-باز استفاده‌شده است که طی آن سیگنال‌ها در دو مسیر مجزا تحت عنوان UP و DN، استفاده می‌شوند. در این شکل ، سیگنال‌های Ad و

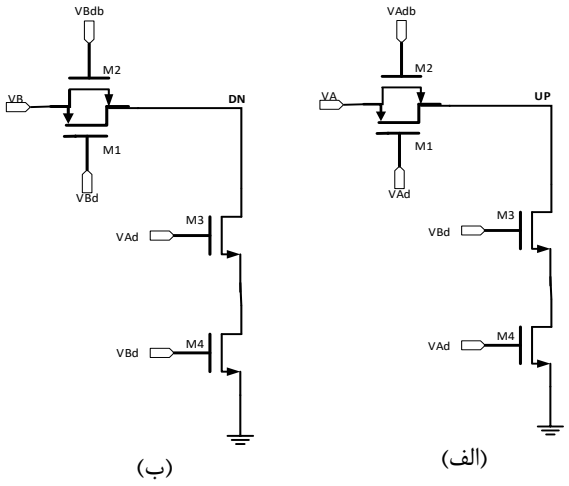
www.SID.ir

Archive of SID

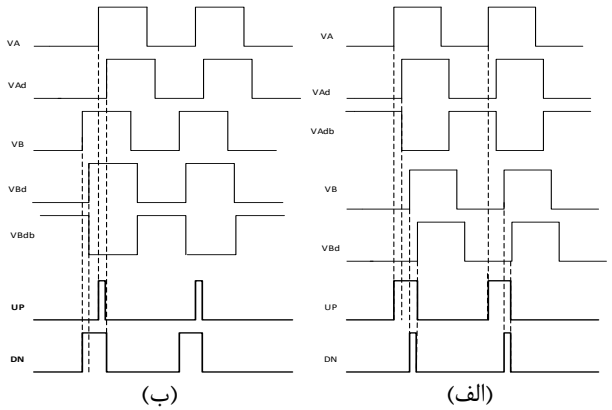
Bd، سیگنال‌های A و B هستند که از یک مدار تاخیردهنده عبور داده‌شده‌اند و سیگنال‌های Adb و Bdb، مکمل سیگنال‌های Ad و Bd هستند. شکل موج‌های خروجی UP و DN مربوط به این مدار نیز در شکل ۹ یک بار برای حالت پیش‌فاز بودن سیگنال A نسبت به B و بار دیگر برای پس‌فاز بودن سیگنال A نسبت به B نشان داده‌شده‌اند.

مدار آشکارساز Up شکل ۹ (الف) را برای حالتی که سیگنال A از B جلوتر است، در نظر بگیرید؛ در لحظه‌ای که سیگنال‌های A و B هر دو صفر هستند، خروجی‌های UP و DN در وضعیت قبلی که «صفر» است، خواهند بود. با رسیدن لبه بالارونده سیگنال A، این تغییر وضعیت از مسیر ترانزیستورهای M1 و M2 عبور کرده و موجب تغییر وضعیت خروجی UP از «صفر» به «یک» می‌شود. خروجی UP، در این حالت می‌ماند تا سیگنال Bd «یک» شود؛ در این لحظه، خروجی Up از طریق ترانزیستورهای M3, M4 «صفر» می‌شود. این وضعیت تا رسیدن دوباره لبه بالارونده سیگنال A ادامه دارد و روند قبل تکرار خواهد شد (شکل ۹ (الف)). اگر حالتی که سیگنال A عقب‌تر از B باشد، در نظر بگیرید؛ وقتی هر دو سیگنال «صفر» هستند، خروجی‌ها در حالت قبل که «صفر» است، می‌مانند؛ تا رسیدن لبه بالارونده سیگنال A، خروجی Up، «صفر» خواهد بود؛ پس‌ازآن، خروجی Up از مسیر ترانزیستورهای M1 و M2 به حالت «یک» تغییر وضعیت می‌دهد. این حالت با رسیدن لبه بالارونده سیگنال Ad، «صفر» می‌شود (شکل ۹ (ب)).

مشکل اساسی که برای PD ها مطرح می‌باشد، این است که وقتی اختلاف بین ورودی‌ها کم شود، سیگنال خروجی نمی‌تواند این تغییرات را دنبال کند. به‌عبارت‌دیگر اگر اختلاف‌فاز ورودی$\Delta\emptyset$، کمتر از مقدار قابل‌تشخیص باشد، آنگاه خروجی PD نمی‌تواند تابعی از $\Delta\emptyset+$ باشد. رنج تغییر $\Delta\emptyset-$ تا $\Delta\emptyset+$، همان ناحیه مرده است. بدترین تأثیر وجود ناحیه‌ی مرده در عملکرد یک PD، افزایش زمان قفل حلقه است. برای حل این مشکل، از مدارات تأخیردهنده در مسیر سیگنال‌ها استفاده‌شده است تا تشویش حلقه در ناحیه قفل از بین برود.



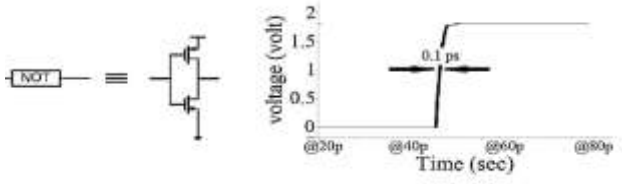
شکل ۸ (الف): مدار آشکارساز فاز برای تولید سیگنال UP **؛ (ب): مدار آشکارساز فاز برای تولید سیگنال** DOWN .



شکل ۹ (الف): سیگنال خروجی مدارهای up **و** down **در حالت پیش‌فازی سیگنال** A **نسبت** B**؛ (ب): سیگنال خروجی مدارهای** up **و** down **در حالتی‌که سیگنال** A **نسبت به** B **پس‌فاز است.**

سیگنال‌های خروجی از مدار آشکارساز فاز به مدار پمپ بار اعمال می‌شوند که با شارژ و دشارژ خازن ولتاژ کنترلی مدار VCO را تعیین می‌کند. همان‌طور که در مدار پیشنهادشده در شکل ۹ (الف) نشان داده شده است با اعمال تأخیر در مسیر سیگنال‌های مسیر ترانزیستورهای M3, M4، صفرشدن سیگنال up به تأخیر افتاده است. با این کار مشکل ناحیه مرده حل خواهد شد. حذف ناحیه مرده در مدار dn نیز به‌همین صورت می‌باشد که در شکل ۹ (ب) نشان داده‌شده است.

جهت تولید سیگنال‌های تاخیریافته در شکل ۸ از گیت‌های معکوس‌کننده پشت سر هم استفاده می‌شود. با توجه به یکسان‌بودن مدارات تاخیر برای سیگنال های A و B ، عدم تطابق سیستماتیک در این مدارات به‌صورت باریک یا عریض‌شدن مقدار همپوشانی سیگنال‌های UP و DN مشخص می‌شود. اما عدم تطابق تصادفی در بیت‌های معکوس کننده، منجر به ایجاد جیتر خواهد شد. برای اندازه‌گیری این عدم تطابق از شبیه‌سازی مونت‌کارلو هزار نمونه‌ای استفاده شده است. در این شبیه‌سازی تغییرات رایج پروسه شامل تغییرات در عرض گیت، تغییرات در طول گیت و تغییرات در ولتاژ ترشهلد لحاظ شده است. نتایج این شبیه‌سازی برای گیت‌های تاخیر استفاده‌شده در شکل ۱۰ آورده شده است. همانطور که مشاهده می شود مقدار این جیتر ۰/۱ پیکوثانیه می باشد. بنابراین در مقایسه با جیتر PLL قابل صرفنظر است.



شکل ۱۰ : جیتر ناشی از عدم تطابق با استفاده از شبیه‌سازی مونت کارلو

روند تغییرات سیگنال‌های خروجی مدار آشکارساز فاز نسبت به تغییرات ورودی در جداول ۳ و ۴ نیز نشان داده شده است. مشاهده می

www.SID.ir

Archive of SID

شود که در مدار طراحی‌شده به‌واسطه ایجاد سیگنال‌های تأخیریافته A و B، تشخیص اختلاف‌فاز بین دو سیگنال به‌راحتی انجام می‌پذیرد. این مدار، بسیار ساده بوده و با استفاده از تنها ۴ ترانزیستور در هر مسیر توانسته سرعت و دقت مدار را بهبود ببخشد.

این مدار آشکارساز فاز با سیستم حلقه‌باز طراحی شده است که قابل‌استفاده در مدارهای PLL می‌باشد. ازآنجایی‌که در آشکارساز فاز پیشنهادی از مدارات ترتیبی و فلیپ‌فلاپ ها استفاده نمی‌شود؛ سرعت عملکرد این مدار بسیار بالا است. از مزایای دیگر این مدار، توان مصرفی بسیار پایین آن می باشد؛ چراکه در بیشتر زمان‌ها تعداد زیادی از ترانزیستورها در ناحیه‌ی قطع می‌باشند که این امر موجب کاهش توان‌مصرفی مدار شده است. جایگزین‌کردن CNTFET ها به‌جای CMOS در ساختار، سبب افزایش ده‌ها برابری در سرعت و فرکانس می‌گردد.

مدار ارائه‌شده دارای ساختاری ساده می‌باشد و سرعت مدار در مقایسه با مدل‌های پیشین، بسیار بالا رفته است؛ همچنین به‌علت حذف جریان گردشی در مدار، توان‌مصرفی به‌شدت کاهش یافته است. در ادامه، عملکرد آشکارساز پیشنهادی فاز با نرم‌افزار Hspice شبیه‌سازی شده است. این مدار یک بار در تکنولوژی CMOS، ۰/۱۸µm و بار دیگر با CNTFET شبیه‌سازی شده است. پارامترهای CNTFET مورد استفاده در شبیه‌سازی، در جدول ۵ آورده شده است.

جدول ۳: سیگنال‌های خروجی up و down در حالتی که سیگنال A نسبت به B پیش فاز است

A	B	up	down
۰	۰	وضعیت قبلی (۰)	وضعیت قبلی (۰)
۱	۰	۱	۰
۱	۱	۱ به مدت یک تأخیر و پس‌ازآن ۰	۱ به مدت یک تأخیر و پس‌ازآن ۰
۰	۱	۰	۰

جدول ۴: سیگنال خروجی up و down در حالتی که سیگنال A نسبت به B پس فاز است

A	B	up	down
۰	۰	وضعیت قبلی (۰)	وضعیت قبلی (۰)
۱	۰	۰	۰
۱	۱	۱ به مدت یک تأخیر و پس‌ازآن ۰	۱ به مدت یک تأخیر و پس‌ازآن ۰
۰	۱	۰	۱

در تکنولوژی CMOS فرکانس کار مدار از ۱KHz تا ۸GHz می‌باشد که در بالاترین فرکانس کار توان مصرفی در حدود ۲/۲nw می باشد؛ شکل ۱۱ نتایج شبیه‌سازی را نشان می‌دهد. نمودار x اختلاف‌فاز بین دو سیگنال و نمودار y اختلاف بین مقدار متوسط سیگنال up و dn را نشان می‌دهند. این PD در فرکانس‌های ۱GHz، ۲GHz، ۴GHz شبیه‌سازی شده‌است. در اختلاف‌فازهای کم باید نمودار خطی باشد چون غیرخطی بودن منجر به ایجاد تشویش در مدار می‌شود. در جدول ۶ پارامترهای مهم آشکارساز پیشنهادی با آشکارسازهای قبلی مقایسه شده است. در این مدار طول کانال همه ترانزیستورهای CMOS برابر با ۰/۱۸µm و پهنای گیت آن‌ها به‌ترتیب زیر می‌باشد:

Wn1 = 6µm, Wn2 =9µm, Wn3 =18µm, Wp1 =14µm (۱۲)

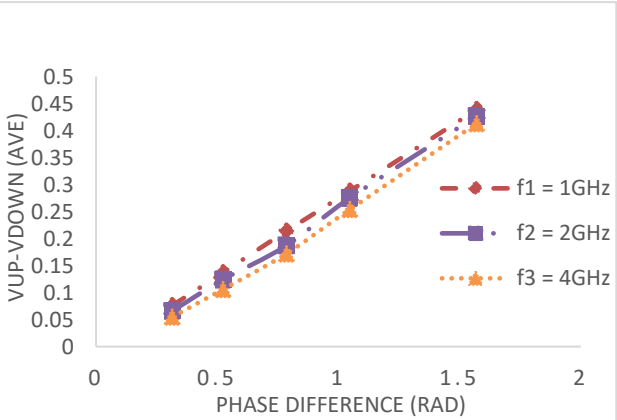
هدف از طراحی این آشکارساز، افزایش سرعت و حذف ناحیه مرده است. همان‌طور که جدول ۶ نشان می‌دهد ناحیه مرده در آشکارساز فاز پیشنهادی از بین رفته است، به‌علاوه این بهبود درحالی است که توان‌مصرفی نیز نسبت به کارهای قبلی کاهش چشمگیری دارد.

۳-۳ مدار پمپ بار به‌کاررفته

پمپ بار، بار را به داخل و یا خارج از خازن فیلتر حلقه (Cp) تزریق می‌کند. ترکیب پمپ بار و Cp یک انتگرال‌گیر می‌سازد که متوسط پالس‌های UP و DN را تولید می‌کند. این ولتاژ متوسط فرکانس مدار نوسان‌ساز را تنظیم کرده و از آنجا که خود VCO نیز یک انتگرال‌گیر است، بهره‌ی حلقه‌ی یک PLL پمپ بار، دو قطب در مبدأ دارد؛ بنابراین این سیستم حلقه‌بسته ناپایدار است. برای پایدارسازی سیستم یک صفر ($\omega z = 1/R\,Cp$) به‌وسیله‌ی اضافه‌کردن یک مقاومت به‌صورت سری با Cp ایجاد می‌کنیم. آشکارساز فاز، پمپ بار و فیلتر، غالباً با یک مدل خطی زمان‌پیوسته مدل می‌شوند. در حقیقت آشکارساز فاز به‌عنوان یک سیستم مدولاتور فاز عمل کرده و پمپ بار را برای مدت‌زمانی به‌اندازه‌ی عرض پالسی که معادل اختلاف‌فاز ($\Delta\varphi$) ورودی آشکارساز است درایو می‌کند [۲۷].

جدول ۵: پارامترهای CNTFET به‌کاررفته برای شبیه‌سازی مدار پیشنهادی

شماره	پارامتر	واحد	مقدار/نوع
۱	نوع کایرالیتی		زیگزاگ
۲	طول کانال	nm	۳۲
۳	قطر	nm	۱/۵
۴	^{۱۶}Pitch	nm	۲۰
۵	ضخامت اکسید	nm	۴
۶	ثابت دی‌الکتریک		۱۶

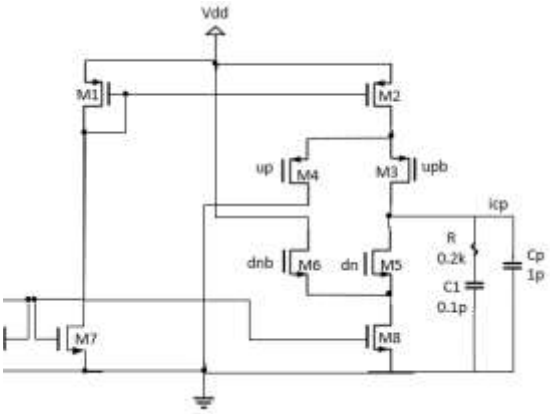


شکل۱۱ : نتیجه شبیه‌سازی Hspice

www.SID.ir

Archive of SID

در این مقاله به‌دلیل سادگی از یک مدار پمپ بار آینه جریان که تنها با ۹ ترانزیستور کار می‌کند[۲۸]، استفاده شده است (شکل۱۲). در این مدار، سوئیچ‌های M3,5 کنترل جریان بار را بر عهده دارند.

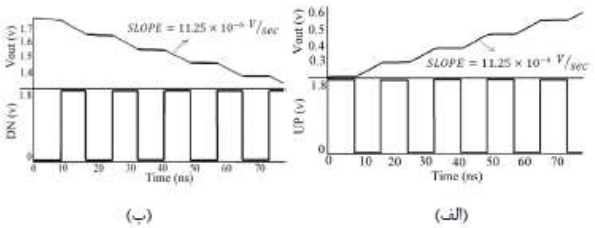


شکل ۱۲: پمپ بار مورداستفاده در این PLL [۲۸].

هنگام تزریق بار زیاد در اثر تغییر وضعیت سوئیچ‌ها، برای کاهش تزریق بار از سوئیچ‌های کمکی M4,6 استفاده شده است. سایر ترانزیستورها نیز نقش آینه‌جریان را دارند و جریان را به بار اعمال می‌کنند. خطی‌بودن این ساختار که با مقایسه سیگنال مرجع با خطای فاز، در نظر گرفته‌شده‌است، خوب و قابل‌قبول می‌باشد. شکل ۱۳ پروسه شارژ و دشارژ ولتاژ خروجی را در حضور سیگنال‌های Up و Down نشان می‌دهد. همان‌طور که دیده می‌شود سرعت شارژ و دشارژ بالا است و همچنین شیب مشخصه‌ی شارژ و دشارژ نیز با هم برابر می‌باشد. توان مصرفی پمپ بار پیشنهادی با منبع تغذیه‌ی ۱/۸ ولت برابر با ۱۷۲µW است.

جدول ۶: نتایج شبیه‌سازی کارهای قبلی با مدل‌های پیشنهادی

شماره	پارامتر	واحد	مدار پیشنهادی با CNTFET	مدار پیشنهادی با CMOS	[۱۵]	[۱۷]	[۲۶]
۱	**تکنولوژی ساخت**	µm	۳۲×۱۰$^{-۳}$	۰/۱۸	۰/۱۸	۰/۱۸	۰/۳۵
۲	**منبع تغذیه**	v	۰/۹	۱/۸	۱/۸	۱/۸	۳/۳
۳	**بیشینه فرکانس**	GHz	۹۰	۸	۲/۳	۸	۰/۶۵۳
۴	**ناحیه مرده**	Ps	ندارد	ندارد	-	ندارد	۱۶
۵	**توان مصرفی(در بالاترین فرکانس)**	mw	۳۲×۱۰$^{-۶}$	۰/۲	۱/۵۶	۰/۵	۶/۵
۶	**مدل طراحی**	-	حلقه باز	حلقه باز	حلقه بسته	حلقه باز	حلقه بسته



شکل ۱۳: شارژ و دشارژ ولتاژ خروجی در حضور (الف) سیگنال Up؛ (ب) سیگنال Down

۴- نویز فاز PLL

نویز حرارتی یکی از عوامل ایجاد جیتر زمانی در PLL می‌باشد که در این قسمت مورد بررسی قرار می گیرد. با توجه به این‌که نویز فاز[14] علاوه بر شیفت‌زمانی، باعث تغییر در شکل‌موج خروجی vco می‌گردد، محاسبه‌ی تئوری نویز فاز کار آسانی نیست مگر این‌که شرایط خاصی مدنظر قرار گیرد. برای این منظور شیفت‌زمانی نقاط گذر از صفر شکل‌موج خروجی vco مهم می‌باشد. لذا با توجه به مدار پمپ بار به تحلیل نویز فاز با استفاده از رابطه‌ی (۱۳) پرداخته می‌شود [۱۳].

$$L\{\Delta\omega\}\begin{cases}\dfrac{64FkTR}{9V_{pp}^2}\left(\dfrac{\omega_0}{\Delta\omega}\right)^2 & \left(\text{for } V_{pp}=\dfrac{9\times Vdd}{3\pi}\right)\\ \dfrac{512FkTRVdd}{27\pi V_{pp}^3}\left(\dfrac{\omega_0}{\Delta\omega}\right)^2 & \left(\text{for } V_{pp}=\dfrac{9\times Vdd}{3\pi}\right)\end{cases} \quad (۱۳)$$

در این رابطه $L\{\Delta\omega\}$ نویز فاز یک‌طرفه‌ی مدار، F فاکتور نویز، Vpp برابر با SRmax.Vpp =2(SRmax/ω0) نرخ چرخش حداکثر، ω0 فرکانس مرکزی نوسانات، Δω فرکانس آفست، k ثابت بولتزمن، T دمای مطلق برحسب کلوین، Vdd منبع تغذیه و R مقاومت خروجی مدار می‌باشد. پارامترهای این مدار در PLL طراحی‌شده به‌صورت رابطه (۱۴) می‌باشد.

با توجه به این پارامترها نویز فاز خروجی مدار در تکنولوژی CMOS برابر با ۱۱۹dB/Hz- می‌باشد. یکی دیگر از فاکتورهای تعیین‌کننده در کیفیت PLL، FOM است که در رابطه (۱۵) آمده است.

www.SID.ir

Archive of SID

$$\begin{aligned} SR_{max} &= 3*10^{10}\,V/sec \\ F &= 9dB \\ R &= 617.273K\Omega \\ \omega_0 &= 2.5 \\ \Delta\omega &= 1MHz \end{aligned} \qquad (۱۴)$$

$$FOM = L\{\Delta f\} - 20\log\left\{\frac{f_0}{\Delta f}\times\frac{FTR}{10}\right\} + 10\log\left\{\frac{P_{diss}}{1mw}\right\} \qquad (۱۵)$$

این معادله کیفیت کار و عملکرد یک PLL را به‌صورت معیاری عددی نشان می‌دهد که در آن $L\{\Delta f\}$ نویز فاز، Δf آفست فرکانسی، f_0 فرکانس مرکزی، P_{diss} توان تلفاتی و FTR گستره‌ی تنظیم فرکانس نوسانات به فرکانس مرکزی می‌باشد.

۵- نتایج PLL طراحی‌شده

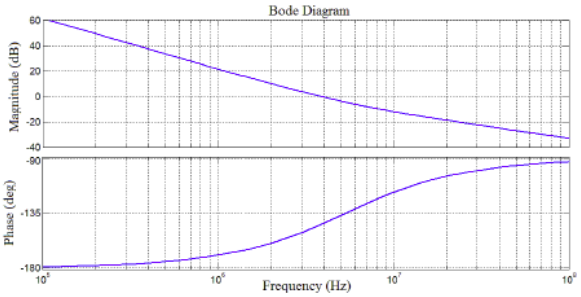
هدف این مقاله طراحی یک PLL بهبود یافته می‌باشد که با تکنولوژی CNTFET در پروسه‌ی ۳۲nm و منبع تغذیه‌ی ۰/۹ ولت، فرکانس مرکزی تا ۶۸/۵GHz رسیده است؛ به‌گونه‌ای که توان‌مصرفی کمتر از ۱۵۰ نانو وات و زمان قفل‌شدن آن کمتر از ۱۰ پیکوثانیه می‌باشد. Rp، Cp و C2 که اجزا تشکیل‌دهنده‌ی فیلتر پایین‌گذر هستند و به‌ترتیب ۰/۲KΩ، ۱Pf و ۰/۱Pf انتخاب شده‌است. با توجه به رابطه‌ی ۱۶، تابع‌تبدیل حلقه‌باز PLL و پارامترهای حلقه در جدول ۷ آورده شده است؛ دیاگرام بود PLL نیز در شکل ۱۴ رسم شده است.

$$\frac{\varphi_{out}}{\varphi_{in}}(s) = \frac{I_p}{2\pi}\left(R_p + \frac{1}{C_p s}\right)\frac{K_{vco}}{s} \qquad (۱۶)$$

همان‌طور که ملاحظه می‌شود با توجه به پارامترهای حلقه و شکل ۱۴، پهنای‌باند حلقه‌ی PLL، ۳/۸MHz است و همچنین حاشیه‌فاز حدود ۳۵ درجه می‌باشد.

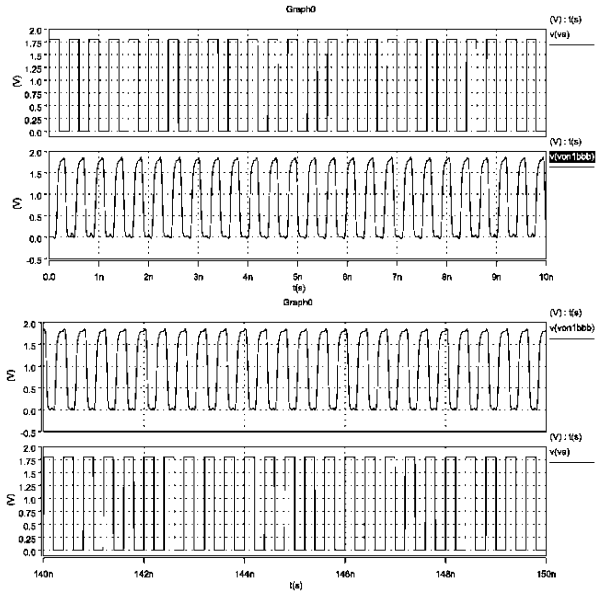
جدول ۷: پارامترهای حلقه با توجه به رابطه‌ی ۱۴

شماره	پارامترهای حلقه	واحد	مقدار
۱	Rp	KΩ	۰/۲
۲	Cp	Pf	۱
۳	Ip	μA	۵۰
۴	K_{VCO}	$\frac{MHz}{V}$	۵۸۸

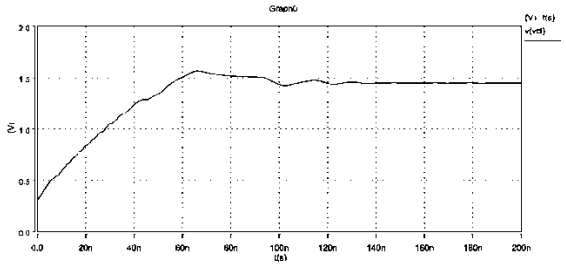


شکل ۱۴: دیاگرام بود حلقه‌ی PLL

با توجه به پارامترهای جدول ۷، شکل موج‌های خروجی PLL در شکل ۱۵ نشان داده‌شده‌است. در این شکل ابتدا فرکانس خروجی VCO با فرکانس ورودی مرجع تقریباً برابر است ولی فازها برهم منطبق نیستند ولی پس از ۱۴۰ نانوثانیه، فاز و فرکانس خروجی با فاز و فرکانس‌مرجع برهم منطبق شده و به‌همین حالت باقی می‌مانند. ولتاژ کنترلی VCO نیز در شکل ۱۶ نمایش داده‌شده‌است، کاملاً واضح است که مدار در ۱۴۰ نانوثانیه قفل‌شده و ولتاژ کنترلی ثابت می‌ماند.



شکل ۱۵: شکل موج‌های خروجی و مرجع قبل و بعد از قفل‌شدن در فرکانس ۲/۵GHz



شکل ۱۶: ولتاژ کنترل VCO در فرکانس ۲/۵GHz

تاکنون PLL طراحی‌شده با فرکانس ثابت (به‌ازای فرکانس خروجی ۲/۵GHz)، تنها از نظر قفل‌شدن فاز بررسی شد، درحالی‌که این مدار قابلیت قفل‌کردن فاز و فرکانس را به‌طور هم‌زمان در محدوده‌ی فرکانسی وسیعی دارد. علاوه‌بر این PLL پیشنهادی گستره‌ی‌تنظیم وسیعی نیز دارد. به‌عبارت‌دیگر این PLL می‌تواند در کل بازه‌ی فرکانسی vco (GHz ۲/۹- ۱/۹GHz) قفل شود.

مدار پیشنهادی در پروسه CNTFET با ولتاژ تغذیه ۰/۹ نیز پیاده سازی شده است. مدل استاندارد ارایه‌شده در [۳۲] جهت شبیه‌سازی در نرم افزار HSPICE به‌کاررفته‌است.

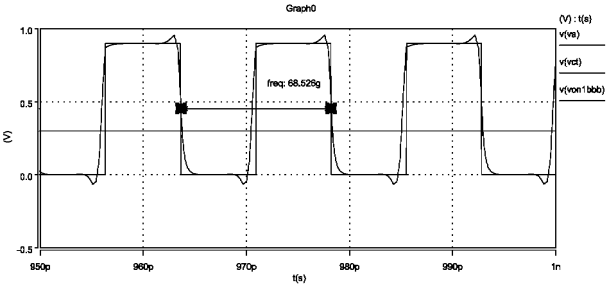
شکل ۱۷ سیگنال خروجی در فرکانس مرکزی ۶۸/۵GHz را نشان می‌دهد که از CNTFET ها در طراحی مدار استفاده شده است و شکل ۱۸ نمودار چشمی و جیتر را برای PLL پیشنهادی طراحی‌شده با فناوری

www.SID.ir

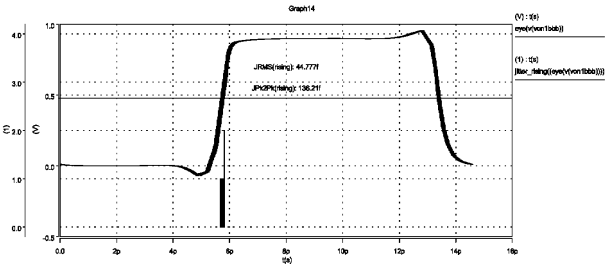
Archive of SID

CNTFET نشان می‌دهد. جهت رسم نمودار چشمی ، شبیه‌سازی برای بازه‌ی طولانی زمانی انجام می‌شود. سپس شکل موج‌های خروجی در هر دوره تناوب جدا شده و بر روی هم در یک نمودار قرار می‌گیرند. بنابراین با استفاده از نمودار چشمی ، مقدار جیتر و نویز فاز شکل موج خروجی به‌راحتی قابل اندازه گیری است.

این دیاگرام حاکی از این است که جیتر مؤثر در حدود ۴۴f می‌باشد.

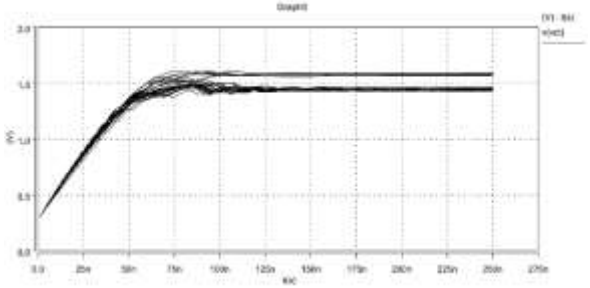


شکل ۱۷: عملکرد PLL پیشنهادی طراحی‌شده با فناوری CNTFET



شکل ۱۸: نمودار چشمی [۱۵]و جیتر PLL طراحی‌شده با تکنولوژی CNTFET

از زمانی‌که در شبیه‌سازی مونت‌کارلو، پارامترهای المان‌های خاص برمبنای پروفایل گوسی تصادفی انتخاب شدند، به‌دست‌آوردن یک رقم بزرگ شبیه‌سازی، برای حصول یک مشخصه خوب برای کشف اثرات عدم تطابق دستگاه‌ها، ضروری است. لذا در اینجا شبیه‌سازی مونت‌کارلو براساس تغییرات عرض گیت و طول ماسفت‌ها انجام شده‌است. شکل ۱۹ اثر شبیه‌سازی مونت‌کارلو را به‌ازای تغییر در عرض گیت ترانزیستورها با فناوری CMOS، بر روی سیگنال‌کنترلی نشان می‌دهد.



شکل ۱۹: شبیه‌سازی مونت‌کارلو به‌ازای تغییر در عرض گیت ترانزیستورها با فناوری CMOS

همان‌طور که ملاحظه می‌شود در اثر تغییر عرض گیت، زمان قفل شدن حلقه تغییر محسوس‌تری نسبت به تغییرات طول کانال ترانزیستورها دارد. جهت بررسی عملکرد نوآوری‌های موجود در مدار PLL پیشنهادی ،ابتدا نتایج حاصل از شبیه سازی PLL پیشنهادی در تکنولوژی CMOS ، ۰/۱۸μm با نمونه‌های قبلی مقایسه شده و در جدول ۸ آمده است. در مدارهای ارایه‌شده در[۳۱،۲۹،۱۰]، بخاطر سرعت پایین مدار آشکارساز فاز، از یک تقسیم‌کننده فرکانس بین خروجی نوسانساز و ورودی PFD استفاده شده است که موجب تزریق نویز به مدار می گردد. برای کاهش نویز فاز در مدار حلقه-بسته، نویسنده مقاله [۲۹] پهنای باند حلقه راکاهش داده است که خود منجر به افزایش قابل توجه زمان قفل‌شدن گشته است.

با توجه به جدول، مشاهده می‌شود که PLL ارایه‌شده در این مقاله ، از نظر مدت‌زمان قفل‌شدن بسیار سریع است ؛ همچنین ازنظر نویز فاز و ضریب شایستگی در مقایسه با دیگر مدارها عملکرد مناسبی دارد. به نظر می‌رسد که مدار ارایه‌شده در[۳۰] در پروسه مشابه عملکرد بهتری دارد ولی ضعف بزرگ آن استفاده از سلف فیزیکی در طراحی مدارات است که فضای زیادی در سطح تراشه اشغال می‌کند. همچنین استفاده از یک مدار تقسیم‌کننده قبل از PFD منجر به افزایش نویز در حلقه گشته است.

این مدار با استفاده از پروسه CNTFET نیز پیاده‌سازی شده که نتایج آن در سطر آخر جدول ۸ آورده شده است. همچنانکه مشاهده می شود در این حالت سرعت PLL به مقدار بسیار بالای ۶۸ گیگابیت خواهد رسید.

۶- نتیجه

در این مقاله یک مدار حلقه‌ی قفل فاز جدید ارائه شد. طرح پیشنهادی یک بار با فناوری CMOS و بار دیگر با فناوری CNTFET، شبیه‌سازی شده است. استفاده از CNTFET در ساختارها، مزایای زیادی ازجمله: افزایش چشمگیر سرعت، افزایش دقت و مصونیت در برابر نویز، کاهش چشمگیر توان‌مصرفی، کاهش چشمگیر ابعاد و توان بالای تحمل حرارت را به همراه داشته است. در این راستا، یک مدار آشکارساز فاز به شکل حلقه‌باز و با ساختاری بسیار ساده برای کاربردهای سریع طراحی‌شده است. ناحیه مرده و جیتر در ساختار پیشنهادی از بین رفته است؛ همچنین عدم استفاده از فلیپ‌فلاپ‌ها و ساختار ساده‌ی مدار، باعث افزایش قابل‌توجه در سرعت و کاهش توان‌مصرفی می‌شود. مدار ارائه‌شده در تکنولوژی CMOS با پروسه ۰/۱۸ میکرومتر و نیز با ترانزیستورهای مبتنی بر نانولوله‌های کربنی شبیه‌سازی شده است.

فرکانس‌کار این آشکارساز در تکنولوژی CMOS حدود ۱MHz تا ۸GHz و با استفاده از CNTFET تا ۹۰GHz است. نتایج شبیه‌سازی‌ها که توسط نرم‌افزار Hspice انجام شده‌است، نشان می‌دهد که کمترین اختلاف‌فاز قابل‌شناسایی توسط این مدار، در فرکانس ۱۰۰ مگاهرتز برابر با ۱۰ پیکوثانیه است که در قیاس با دیگر آشکارسازها، دارای عملکرد بسیار بهتری است. با توجه به استفاده از یک vco دیفرانسیلی با فناوری CNTFET و همچنین سلف فعال در طراحی مدار، همان‌گونه که ملاحظه شد؛ نویز فاز قابل‌قبولی به اندازه‌ی ۱۰۸/۹dB/Hz- حاصل شد. توان‌مصرفی کل PLL برابر با ۰/۱۳ میلی‌وات می‌باشد و گستره‌ی تنظیم

www.SID.ir

Archive of SID

فرکانس نوسانات در فرکانس مرکزی ۶۸/۵GHz بین ۶۷/۲ - ۷۰GHz می‌باشد. با توجه به این نتایج ضریب شایستگی PLL طبق رابطه‌ی ۱۲ برابر با ۲۲۶dB/Hz- به‌دست می‌آید.

جدول ۸: مقایسه‌ی عملکرد PLL پیشنهادی

شماره	ضریب شایستگی $(\frac{dB}{Hz})$	نویز فاز در افست ۱MHz $(\frac{dB}{Hz})$	توان مصرفی (mw)	مدت زمان قفل‌شدن (µs)	محدوده فرکانسی (GHz)	فرکانس مرکزی (GHz)	منبع تغذیه (v)	پروسه (µm)	تکنولوژی CMOS	نتایج
۱	-	-۱۱۴	۱۹/۸	۲۰	۵/۲۷-۵/۶	۵	۱/۸	۰/۱۸	[۲۹]	اندازه‌گیری
۲	-۱۷۳/۷۱	-۸۷	۲/۰۸	-	۰/۴-۲/۲۴	۲/۲۴	۰/۵	۰/۰۹	[۱۰]	اندازه‌گیری
۳	-۱۸۰/۹	-۹۲/۵	۹	-	۲۱/۲-۲۴/۹۸	۲۳/۰۸	۱/۸	۰/۱۸	[۳۰]	اندازه‌گیری
۴	-	-۹۰/۶	۳/۸	۳/۷۸	۰/۶۴-۰/۸	۰/۶۴	۱/۲	۰/۰۹	[۳۱]	اندازه‌گیری
۵	-۱۵۴/۷	-۱۱۹	۲۱/۸	۰/۱۴	۲/۲-۳	۲/۵	۱/۸	۰/۱۸	PLL پیشنهادی (CMOS)	شبیه‌سازی
۶	-۲۲۶	-۱۰۸/۹	۰/۱۳	۰/۰۰۰۳	۶۷/۲-۷۰	۶۸/۵	۰/۹	۰/۰۳۲	PLL پیشنهادی (CNTFET)	شبیه‌سازی

مراجع

[۱] علی اصغر اروجی، زینب رمضانی و عاطفه رحیمی فر،«ترانزیستور اثر میدان فلز-نیمه هادی در تکنولوژی سیلیسیم روی عایق با استفاده از یک تکه اکسید اضافی در کانال برای کاربردهای توان و فرکانس بالا»، مجله مهندسی برق دانشگاه تبریز، جلد ۴۶ ، شماره ۴، صفحه ۱-۶ ، ۱۳۹۵ .

[۲] مهسا مهراد و میثم زارعی، « ارائه ساختار نوین ترانزیستور اثر میدان سیلیسیم روی عایق دوگیتی با پنجره اکسید در درین گسترده‌شده به منظور کاربرد در تکنولوژی نانو» ، مجله مهندسی برق دانشگاه تبریز، جلد ۴۷ ، شماره ۲،صفحه ۷۲۷-۷۳۳ ، ۱۳۹۶ .

[3] R. Martel, T. Schmidt, H.R. Shea, T. Hertel and P. Avouris, “Single and Multi-wall Carbon Nanotube Field-Effect Transistors”, *Applied Physics Letters*, vol. 73, no. 1, pp. 2447-2449 1998.

[4] J. Deng, Device Modeling and Circuit Performance Evaluation for Nanoscale Devices: Silicon Technology Beyond 45 Nm Node and Carbon Nanotube Field Effect Transistors. Stanford University, Serra Mall, Stanford, United States, pp. 1-9, 138-142 and 152, June, 2007.

[5] M. Shafizadeh and A. Rezai,” Improved device performance in a CNTFET using La2O3 high-κ dielectrics”, Journal of Computational Electronics, 2017.

[6] A. Karimiz and A. Rezai,” A Design Methodology to Optimize the Device Performance in CNTFET”, ECS Journal of Solid State Science and Technology, July 11, 2017.

[7] F. Calmon, C. Andrei, O. Valorge, J.C.N. Perez, J. Verdier, and C. Gontrand, “Impact of Low-Frequency Substrate Disturbances on a 4.5GHz VCO”, Microelectronics journal, vol. 37, no. 10, pp. 1119–1127, 2006.

[8] H.C. Chiu, C.S. Cheng, Y.T. Yang and C.C. Wei, “A 10 GHz Low Phase-Noise CMOS Voltage-Controlled Oscillator Using Dual-Transformer Technology”, Solid-State Electronics. vol. 52, no. 5, pp. 765–770, 2008.

[9] Y.A. Eken and P. John, “A 5.9 GHz Voltage-Controlled Ring Oscillator in 0.18-um CMOS”, IEEE J. Solid-state Circuits vol. 39, no. 1, pp. 230–233, 2004.

[10] K.H. Cheng, Y.C. Tsai, Y. L. Lo and J.S. Huang, “A 0.5-V 0.4–2.24-GHz Inductorless Phase-Locked Loop in a System-on-Chip”, IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 58, no. 5, pp. 849–859, 2011.

[11] K. H. Tsai and S. I. Liu, “A 104-GHz Phase-Locked Loop Using a VCO at Second Pole Frequency”, IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 20, no. 1, pp. 80-88, 2012.

[12] W.S.T. Yan and H.C. Luong, “A 900-MHz CMOS Low-Phase-Noise Voltage- Controlled Ring Oscillator”, IEEE Transactions on circuits and systems II: analog and digital signal processing, vol. 48, no. 2, pp. 216–221, 2001.

[13] L. Dai and R. Harjani, “Design of Low-Phase-Noise CMOS Ring-Oscillators”, IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, vol. 49, no. 5. pp. 328–338, 2002.

[14] W. Fei, H. Yu, H. Fu, J. Ren and K.S. Yeo, “Design and Analysis of Wide Frequency Tunning Range CMOS 60 GHz VCO by Switching Inductor Loaded Transformer”, IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 61, no. 3, pp. 699-710, 2014.

[15] R.Y. Chen and W.Y. Chen, "A High-Speed Fast-Acquisition CMOS Phase/Frequency Detector for MB-OFDM UWB" IEEE Transactions on Consumer Electronics, vol. 53, no.1, pp.23, 26, 2007.

[16] M. Soyuer and R.G. Meyer, “Frequency Limitations of a Conventional Phase-Frequency Detector” IEEE Journal of solid-state circuits, vol. 25, no. 4, pp. 1019-1022, 1990.

[17] H. R Erfani-Jazi and N. Ghaderi, “A Divider-less, High Speed and Wide Locking Range Phase Locked Loop” AEU-International Journal of Electronics and Communications, vol. 69, no. 4, pp. 722-729, 2015.

www.SID.ir

Archive of SID

[18] M.K. Hati and T.K. Bhattacharyya, "A High o/p Resistance, Wide Swing and Perfect Current Matching Charge Pump Having Switching Circuit for PLL", Microelectronics Journal, vol. 44, no. 8, pp. 649-657, Aug. 2013.

[19] P. Liu, P.Sun, J. Jumg and D. Heo," PLL Charge Pump with Adaptive Body-Bias Compensation for Minimum Current Variatio", Electronics Letters, vol.4, No.1, pp.16-18,2012.

[20] F. Yuan, CMOS Active Inductors and Transformers Principle, Implementation, and Applications, Department of Electrical and Computer Engineering, Ryerson University, Toronto, Ontario, Canada. pp. 17-21, 29-55, 199-202 and 231-253, Dec. 2007.

[21] F. Yuan, "A Fully Differential VCO Cell with Active Inductors for Gbps Serial Links", Analog Integrated Circuits and Signal Processing, vol. 47, no. 2, pp. 213–223, 2005.

[22] A. Thanachayanont, "CMOS Transistor-Only Active Inductor for If/Rf Applications". IEEE International Conference on Industrial Technology, *ICIT'02*. vol.2, no.1, pp. 1209–1212, 2002.

[23] A. Amani Beni and N. Ghaderi, "A High Speed Voltage Controlled Oscillator with Carbon Nanotube Field Effect Trransistors", 3rd National & 1st International Conf. Applied Research in Electrical, Mechanical & Mechatronic, Malek e Ashtar university, Tehran, 2016. (in Persian)

[24] J. Yang, C.Y. Kim, D.W. Kim and S. Hong, "Design of a 24-GHz CMOS VCO With an Asymmetric-Width Transformer", IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 57, No. 3, pp. 173-177, 2010.

[25] H. Ramiah, C.W. Keat and J. Kanesan, Design of Low-Phase Noise, Low Power Ring Oscillator for OC-48 Application, IETE Journal of Research. vol. 58, no. 5, pp. 425-428, 2012.

[26] K.H. Cheng, T.H. Yao, S.Y. Jiang and W.B. Yang, "A Difference Detector PFD for Low Jitter PLL", In Electronics, Circuits and Systems, 2001. ICECS 2001. The 8th IEEE International Conference on. vol. 1, pp. 43-46, 2001.

[27] Y. Sun, L. Siek and P. Song, "Design of a High Performance Charge Pump Circuit for Low Voltage Phase-locked Loops", In Integrated Circuits, 2007. ISIC'07. International Symposium on, pp. 271,274, Sept. 2007.

[28] F. Ge, "PFD-CP Phase Locked Loop Design", PLL Design, 2001.

[29] W.H. Chiu, Y.H. Huang, and T.H. Lin, "A Dynamic Phase Error Compensation Technique for Fast-Locking Phase-Locked Loops", IEEE Journal of Solid-State Circuits, vol. 45, no. 6, pp. 1137-1149, 2010.

[30] P.K. Tsai and T.H. Huang, "Integration of Current-Reused VCO and Frequency Tripler for 24-GHz Low-Power Phase-Locked Loop Applications", IEEE Transactions on Circuits and Systems II: Express Brief, vol. 59, no. 4, pp. 199-203, 2012.

[31] I.T. Lee, Y.T. Tsai and S.I. Liu, "A Fast-Locking Phase-Locked Loop Using CP Control and Gated VCO, VLSI Design", In VLSI Design, Automation, and Test (VLSI-DAT), 2012 International Symposium on, pp. 1-4, 2012.

[32] J. Deng and H.-S. Wong, "A compact SPICE model for carbon-nanotube field-effect transistors including nonidealities and its application-Part II: Full device model and circuit performance benchmarking" IEEE Trans. Electron Devices, vol. 54, pp. 3195-3205, 2007.

زیرنویس‌ها

[1] Carbon nanotube field effect transistor (CNTFET)
[2] Clock pulse
[3] Phase locked loop (PLL)
[4] Data recovery
[5] Clock generation
[6] Frequency synthesizer
[7] Jitter
[8] Phase detector (PD)
[9] Charge pump (CP)
[10] Voltage controlled oscillator (VCO)
[11] Dead zone
[12] Open loop
[13] Delay Cell
[14] Phase noise
[15] Eye diagram

www.SID.ir