Archive of SID

ارائه یک الگوریتم کلیدزنی برای جبران‌ساز ولتاژ مبتنی بر مبدل AC-AC بدون نیاز به مدار اسنابر

محمد فرهادی کنگرلو[۱]، استادیار؛ سجاد گلوانی[۲]، استادیار

۱- دانشکده مهندسی برق و کامپیوتر - دانشگاه ارومیه - ارومیه - ایران – m.farhadi@urmia.ac.ir
۲- دانشکده مهندسی برق و کامپیوتر - دانشگاه ارومیه - ارومیه - ایران – s.galvani@urmia.ac.ir

چکیده: جبران‌ساز سری ولتاژ برای جبران کمبود ولتاژ در سطوح ولتاژ پایین در سیستم‌های توزیع استفاده می‌شود. این جبران‌سازها در حقیقت مبدل‌های سری با شبکه هستند که در صورت کاهش بیش از حد قابل‌قبول ولتاژ، وارد مدار شده و ولتاژ ازدست‌رفته را جبران می‌کنند. در این مقاله، یک الگوریتم برای کلیدزنی جبران‌ساز سری ولتاژ مبتنی بر مبدل AC-AC ارائه می‌شود. در مبدل‌های AC-AC به دلیل استفاده از کلیدهای دوطرفه و لزوم رعایت زمان مرده کلیدزنی، وجود مدارهای اسنابر موازی با کلیدها برای فراهم‌کردن مسیری برای عبور جریان در زمان مرده کلیدزنی (به‌منظور کاهش dv/dt روی کلیدها) ضروری است. مدارهای اسنابر علاوه بر اضافه‌کردن اجزای مدار دارای تلفات نیز هستند. با استفاده از الگوریتم کلیدزنی پیشنهادی، مدارهای اسنابر قابل‌حذف هستند چرا که وجود مسیر جریان در هر لحظه زمان و از جمله در حین کلیدزنی تضمین می‌شود. برای اثبات کارایی الگوریتم پیشنهادی نتایج شبیه‌سازی نرم‌افزاری ارائه می‌شود.

واژه‌های کلیدی: جبران‌ساز ولتاژ، کمبود ولتاژ، مدار اسنابر، مبدل AC-AC، الگوریتم کلیدزنی.

A Switching Algorithm for AC-AC Converter Based Voltage Compensator without Using Snubber Circuit

M. Farhadi-Kangarlu[1], Assistant Professor; S. Galvani[2], Assistant Professor

1- Faculty of Electrical and Computer Engineering, Urmia University, Urmia, Iran, Email: m.farhadi@urmia.ac.ir
2 - Faculty of Electrical and Computer Engineering, Urmia University, Urmia, Iran, Email: s.galvani@urmia.ac.ir

Abstract: Series voltage compensation is used in low-voltage distribution system to compensate for voltage variations. The compensators are indeed series-connected converters which inject the missing voltage in series to the grid in case of voltage sag. In this paper, a switching algorithm for AC-AC converter based voltage compensator is proposed. As the bidirectional AC power electronic switches are used in the AC-AC converters, considering the switching dead-time, snubber circuits should be used in parallel with the switches to provide a current path during the dead-time and hence to reduce the *dv/dt* stresses on the switches. The snubber circuits increase the circuit elements and have their own power losses. Using the proposed switching algorithm, the snubber circuits could be eliminated since a current path is always (including the dead-time) guaranteed. In order to evaluate the proposed algorithm, the simulation studies and discussions are presented.

Keywords: voltage compensator, voltage sag, snubber circuit, AC-AC converter, switching algorithm.

تاریخ ارسال مقاله: ۱۳۹۷/۱۰/۲۰
تاریخ اصلاح مقاله: ۱۳۹۸/۰۲/۲۹، ۱۳۹۸/۰۵/۰۴و ۱۳۹۸/۰۷/۰۹
تاریخ پذیرش مقاله: ۱۳۹۸/۰۸/۱۷
نام نویسنده مسئول: محمد فرهادی کنگرلو
نشانی نویسنده مسئول: ایران - ارومیه - بلوار دانشگاه - دانشگاه ارومیه - دانشکده مهندسی برق و کامپیوتر.

www.SID.ir

Archive of SID

۱- مقدمه

کمبود ولتاژ که به‌صورت کاهش مقدار مؤثر ولتاژ از ۰/۱ تا ۰/۹ مقدار نامی در فرکانس قدرت تعریف می‌شود، رایج‌ترین پدیده کیفیت توان در سیستم‌های قدرت است که دلیل عمده آن اتصال کوتاه در سیستم قدرت است. برای مبارزه با کمبود ولتاژ، راهکارهای مختلفی ارائه‌شده است که یکی از آن‌ها، کاهش وقوع کمبود ولتاژ با تقویت و بهره‌برداری بهتر سیستم قدرت است. این راهکار بسیار مؤثر و درعین‌حال پرهزینه بوده و معمولاً تنها با هدف کاهش تعداد کمبود ولتاژ انجام نمی‌گیرد. در مقابل، رایج‌ترین روش برای کاهش آثار کمبود ولتاژ روی بارهای حساس به تغییرات ولتاژ استفاده از جبران‌کننده‌ها است. جبران‌سازهای ولتاژ که تحت عناوین مختلفی مانند جبران‌ساز کمبود ولتاژ، بازیاب دینامیکی ولتاژ (DVR)، جبران‌ساز استاتیک سری و عناوین مشابه شناخته می‌شوند، در حقیقت مبدل‌های سری با شبکه هستند که در مواقع لازم ولتاژ مورد نیاز برای جبران سازی ولتاژ در طرف بار حساس را تولید کرده و به‌صورت سری به شبکه تزریق می‌کنند تا ولتاژ آن بازیابی شود [۲-۱].

ازآن‌جایی‌که از مبدل‌های الکترونیک قدرت در ساختار جبران سازهای ولتاژ استفاده می‌شود، به‌تبع تنوع در ساختار مبدل‌ها، جبران سازهای ولتاژ نیز از تنوع زیادی برخوردار هستند. یک دسته از ساختارهای جبران‌سازها از مبدل‌های AC-AC استفاده می‌کنند. استفاده از مبدل AC-AC باعث حذف لینک DC از ساختار مبدل شده و بنابراین می‌تواند به کاهش حجم و هزینه مدار منجر شود. از طرف دیگر، به‌دلیل عدم استفاده از ذخیره‌کننده انرژی، جبران‌سازهای مبتنی بر مبدل‌های AC-AC محدودیتی در زمان جبران سازی ندارند. از طرف دیگر، در این جبران‌سازها انرژی لازم برای جبران ولتاژ از خود شبکه گرفته شده و منجر به افزایش جریان کشیده‌شده از شبکه می‌شود که این خود دوباره افت ولتاژ ایجاد کرده و به کاهش بیش‌تر ولتاژ شبکه منجر می‌شود. بنابراین، استفاده از جبران‌سازهای مبتنی بر مبدل AC-AC در شبکه‌های ضعیف می‌تواند چالش‌برانگیز باشد [۳].

استفاده از مبدل‌های AC-AC به‌عنوان جبران ساز ولتاژ در مراجع مختلفی موردتوجه قرارگرفته است. در مراجع [۶-۴] جبران ساز سری ولتاژ مبتنی بر مبدل AC-AC تک‌فاز ارائه‌شده است. در این ساختارها، از مبدل‌های AC-AC تک‌فاز که دارای دو کلید الکترونیک قدرت دوطرفه است، برای جبران کمبود ولتاژ استفاده شده‌است. واضح است که مبدل AC-AC با دو کلید الکترونیک قدرت فقط می‌تواند ولتاژ با پلاریته یکسان با ولتاژ شبکه ایجاد کند، و بنابراین قادر به جبران انواع دیگر تغییرات ولتاژ مانند برآمدگی یا افزایش ولتاژ نیستند. برای حل این مشکل، در مراجع [۸-۷] از مبدل AC-AC تمام پل در ساختار جبران‌ساز استفاده شده‌است تا بتوان علاوه بر کمبود ولتاژ، تغییرات دیگر ولتاژ را نیز جبران کرد. هم‌چنین در مراجع [۱۰-۹] از ترانسفورماتور سر-وسط برای ایجاد ولتاژ هم‌فاز و یا فاز مخالف با ولتاژ ورودی استفاده شده و ضمن کاهش تعداد کلیدهای الکترونیک قدرت، ساختارهای ارائه‌شده در مراجع مذکور قادر به جبران انواع اغتشاش‌های ولتاژ نیز هستند. کاربرد مبدل ماتریسی در ساختار جبران‌ساز ولتاژ سه‌فاز در مراجع [۱۳-۱۱] ارائه‌شده است. در مراجع [۱۲-۱۱] از روش کم‌ترین خطا برای کنترل مبدل ماتریسی در ساختار جبران‌ساز استفاده شده‌است و بنابراین، بازه جبران‌سازی محدود می‌باشد. در مرجع [۱۳] از روش مدولاسیون پهنای پالس (PWM) برای کلیدزنی مبدل استفاده شده‌است و بنابراین بازه جبران سازی و سیع‌تر شده‌است ولی در آن بحثی از زمان مرده کلیدزنی و هم‌چنین مدارهای اسنابر به میان نیامده است. در مراجع [۱۵-۱۴] جبران‌سازهای کمبود ولتاژ انرژی صفر[1] ارائه شده است که در آن‌ها از ذخیره‌ساز انرژی و یا لینک DC با خازن‌های الکترولیتی با ظرفیت بالا استفاده نشده است، ولی، در ساختار آن‌ها از یکسوساز استفاده شده و بنابراین نیاز به کلیدهای دوطرفه و اسنابر ندارند. البته این ساختارها در هنگام عملکرد طوری به شبکه وصل می‌شوند که تمام توان بار از آن‌ها عبور می‌کند. این در حالی است که در جبران‌سازهای ولتاژ معمولاً کسری از توان بار از جبران‌ساز عبور می‌کند. یک مبدل AC-AC شبه منبع امپدانسی در مرجع [۱۶] ارائه‌شده است و عملکرد آن برای جبران کمبود ولتاژ مورد بررسی قرارگرفته است. این مبدل نیز به صورت تمام توان کار کرده و کل توان بار از آن می‌گذرد. البته به‌صورت مشابه مبدل‌های AC-AC به صورت تمام-توان برای جبران کمبود ولتاژ در مراجع مختلف دیگری نیز بررسی شده‌است [۲۰-۱۷]. باتوجه به این‌که در سیستم سه‌فاز معمولاً خطا و به‌تبع آن کمبود ولتاژ از نوع تک‌فاز است، فاز معیوب قادر نخواهد بود توان بیش‌تری برای جبران کمبود ولتاژ تحویل دهد. بنابراین، بهتر است انرژی موردنیاز برای جبران کمبود ولتاژ در یک فاز، از فازهای سالم دیگر گرفته شود. البته واضح است که این بحث در جبران‌سازهای مبتنی بر مبدل‌های AC-AC بیش‌تر موردتوجه است چرا که در سیستم‌های مبتنی بر مبدل‌های دارای لینک DC هر سه‌فاز در تأمین انرژی لینک DC و درنتیجه انرژی مورد نیاز برای جبران‌سازی شریک هستند. برای این‌که انرژی مورد نیاز برای جبران کمبود ولتاژ، از فازهای سالم گرفته شود، در مراجع [۲۳-۲۱] ساختارهای میان-فازی ارائه‌شده است که مبدل هر فاز از دو فاز سالم دیگر تغذیه می‌شود.

تعدادی از کارهای انجام‌شده در زمینه جبران کمبود ولتاژ با استفاده از مبدل‌های AC-AC بررسی شد. البته تعداد مقالات منتشر شده بسیار بیش‌تر است. با بررسی مقالات منتشر شده در این زمینه، مشخص شد که هیچ‌کدام از مراجع موضوع زمان مرده کلیدزنی و استفاده از مدارهای اسنابر را موردتوجه قرار نداده است. بنابراین، در این مقاله، یک الگوریتم جدید و درعین‌حال ساده برای کلیدزنی مبدل AC-AC مورد استفاده در ساختار جبران‌ساز ولتاژ ارائه‌شده است که با استفاده از آن نیازی به زمان مرده کلیدزنی وجود نداشته و حتی کلیدها باهم هم‌پوشانی نیز دارند تا همواره از وجود مسیری برای عبور جریان اطمینان حاصل شده و نیازی به استفاده از مدارهای اسنابر نباشد. بنابراین، نوآوری این مقاله را می‌توان ارائه یک الگوریتم کلیدزنی

www.SID.ir

Archive of SID

جدید به‌منظور حذف مدارهای اسنابر مورد استفاده در مبدل‌های AC-AC بیان کرد. با این کار، ضمن حذف چند جزء غیرفعال[۲] مدار، تلفات مربوط به مدارهای اسنابر نیز حذف شده و تأثیر منفی زمان مرده روی شکل‌موج خروجی نیز حذف شده‌است. البته الگوریتم کلیدزنی پیشنهادی دارای محدودیت در فرکانس کلیدزنی است که در مقاله مورد بررسی قرارگرفته است. هم‌چنین، این الگوریتم قابل اعمال به مبدل‌های با کلیدهای دوطرفه با آرایش امیتر مشترک نیست. در بخش ۲ چند ساختار جبران‌ساز تک‌فاز مبتنی بر مبدل AC-AC بررسی شده‌است. در بخش ۳، توضیح الگوریتم کلیدزنی پیشنهادی و هم‌چنین نحوه پیاده سازی و محدودیت آن بررسی شده‌است. سیستم کنترلی پیشنهادی برای جبران‌ساز در بخش ۴ ارائه شده‌است. نتایج شبیه‌سازی و نتیجه‌گیری مقاله نیز به‌ترتیب در بخش‌های ۵ و ۶ ارائه‌شده است.

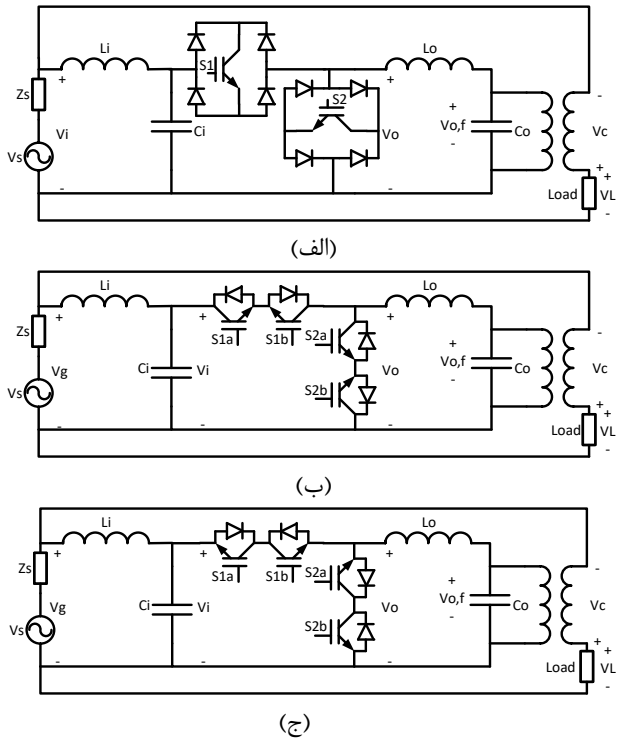
۲- جبران‌ساز ولتاژ مبتنی بر مبدل AC-AC

جبران‌ساز سری ولتاژ دارای ساختارهای متنوعی است. این تنوع بیش‌تر به‌دلیل استفاده از ساختارهای مختلف مبدل در مدار جبران‌ساز می‌باشد. یکی از انواع جبران‌ساز سری ولتاژ باتوجه به نوع مبدل استفاده‌شده در ساختار آن، جبران‌ساز سری مبتنی بر مبدل‌های AC-AC است. باتوجه به تنوع در ساختار مبدل‌های AC-AC، ساختارهای مختلفی برای جبران‌ساز ولتاژ مبتنی بر مبدل‌های AC-AC ارائه‌شده است که از جنبه‌های مختلف می‌توان تقسیم‌بندی کرد؛ از جمله این‌که از نظر تعداد فاز می‌توان ساختارهای تک‌فاز و سه‌فاز را در نظر گرفت. هم‌چنین، از نظر قابلیت جبران‌سازی نیز جبران‌ساز می‌تواند ساختارهای مختلفی داشته باشد؛ برای مثال، اگر هدف از استفاده از جبران‌ساز فقط جبران کمبود ولتاژ (که آمار اتفاق‌افتادن آن خیلی بیش‌تر از سایر پدیده‌ها است) باشد، ساختار ساده‌تری می‌توان در نظر گرفت. باتوجه به این‌که در این مقاله، هدف ارائه الگوریتم کلیدزنی برای جبران ساز است، بنابراین، ساختار تک‌فاز با قابلیت جبران کمبود ولتاژ برای مطالعه انتخاب شده‌است.

یکی از مشکلات مبدل‌های AC-AC این است که با قطع هر کلید و تا وصل کلید بعدی (که در عمل باید یک مدت زمان مشخصی باشد) مسیر جریان به‌طور کامل قطع شده و هیچ مسیر هرزگردی (مشابه آنچه در اینورترهای منبع ولتاژ وجود دارد) برای جریان وجود ندارد. بنابراین، اگر بار مبدل القایی باشد، یک مقدار بزرگ برای di/dt به وجود می‌آید که این در حقیقت یک اضافه ولتاژ بسیار بزرگ روی کلید ایجاد خواهدکرد. برای حفاظت و محدودکردن اضافه ولتاژ روی کلیدها در لحظات کلیدزنی از مدارهای اسنابر (در ساده‌ترین حالت یک مدار RC موازی با کلید) استفاده می‌شود.

سه طرح رایج برای جبران‌ساز تک‌فاز باتوجه به نوع کلید دوطرفه استفاده شده در ساختار مبدل AC-AC در شکل ۱ نشان داده شده‌است. در شکل ۱-الف از کلیدهای دوطرفه نوع پل استفاده شده‌است که در آن یک IGBT یا MOSFET و یک پل دیودی تشکیل یک کلید دوطرفه را می‌دهند. در این ساختار، با خاموش‌کردن کلید، الزاماً مسیر جریان از طرف آن کلید قطع می‌شود و کنترل دیگری نمی‌توان روی آن اعمال کرد. بنابراین، در این ساختار، باتوجه به لزوم رعایت زمان مرده کلیدزنی، استفاده از مدار اسنابر ضروری است. در شکل ۱-ب، برای تشکیل کلید دوطرفه از دو کلید الکترونیک قدرت به صورت امیتر مشترک استفاده شده‌است. دلیل اصلی اتصال امیتر مشترک این است که بتوان از یک مدار راه‌انداز برای کلیدزنی کلید دوطرفه استفاده کرد. بنابراین، در این ساختار نیز هر دو کلید موجود در یک کلید دوطرفه باهم روشن و خاموش می‌شود و بنابراین، استفاده از مدار اسنابر ضروری است. در جبران‌ساز نشان داده‌شده در شکل ۱-ج، از اتصال کلکتور مشترک کلیدهای الکترونیک قدرت برای تشکیل کلید دوطرفه استفاده شده‌است. در این ساختار، هرکدام از کلیدهای موجود در هر کلید دوطرفه می‌تواند به‌صورت مستقل کنترل شده و بنابراین می‌توان از این امکان در راستای هدف مشخصی استفاده کرد که در این مقاله، از این قابلیت برای حذف مدار اسنابر استفاده شده‌است.

باید توجه کرد که در این جبران سازها باتوجه به این‌که نوعاً سطح ولتاژ و توان پایین است، بهتر است برای کاهش تلفات و امکان افزایش فرکانس کلیدزنی از MOSFET به‌جای IGBT استفاده کرد. ولی چون در این مقاله بحث الگوریتم کلیدزنی است، بنابراین نوع کلید مورد استفاده تأثیری در بحث ندارد.



شکل ۱: سه ساختار مختلف جبران‌ساز سری ولتاژ مبتنی بر مبدل AC-AC باتوجه به نوع کلید دوطرفه استفاده‌شده، (الف) با کلید دوطرفه نوع پل، (ب) با کلید دوطرفه امیتر مشترک، (ج) با کلید دوطرفه کلکتور مشترک

www.SID.ir

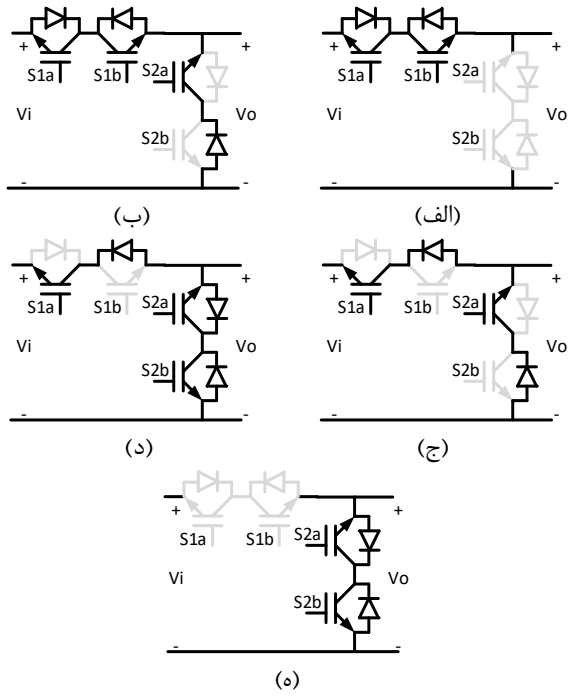
Archive of SID

۳- الگوریتم کلیدزنی پیشنهادی

۳-۱- توضیح الگوریتم کلیدزنی

با در نظر گرفتن شکل ۱-ج و باتوجه به این‌که ولتاژ ورودی مبدل (v_i) ولتاژ سینوسی با نیم سیکل مثبت و منفی است، می‌توان الگوریتمی برای کلیدزنی باتوجه به علامت ولتاژ ورودی ارائه داد؛ طوری که با استفاده از این الگوریتم مسیر جریان در حین کلیدزنی به هیچ وجه قطع نشود. فرض کنید ولتاژ ورودی مبدل در نیم سیکل مثبت است و مجموعه کلید S1 روشن است (S1a و S1b هر دو روشن هستند (شکل ۲-الف)). اگر جریان خروجی مبدل مثبت باشد، مسیر جریان ازطریق ترانزیستور کلید S1b و دیود کلید S1a خواهد بود و اگر جریان خروجی مبدل منفی باشد، مسیر جریان ازطریق ترانزیستور کلید S1a و دیود کلید S2a خواهد بود. فرض کنید هدف خاموش‌کردن مجموعه کلید S1 و روشن‌کردن مجموعه کلید S2 به صورتی است که مسیر جریان قطع نشود (ولتاژ ورودی همچنان مثبت است). باتوجه به این‌که ولتاژ ورودی مبدل مثبت است، اگر درحالی‌که کلیدهای S1a و S1b روشن هستند، S2a نیز روشن شود هیچ خللی در کار مدار ایجاد نشده و اتصال کوتاهی وجود نخواهد داشت (چرا که دیود کلید S2b در بایاس معکوس قرار دارد). بنابراین برای انتقال جریان از مجموعه کلید S1 به مجموعه کلید S2 ابتدا درحالی‌که مجموعه کلید S1 روشن است، کلید S2a نیز روشن می‌شود (شکل ۲-ب). به دنبال روشن‌کردن کلید S2a و با رعایت یک مقدار مشخص تأخیر زمانی (برابر با حداکثر زمان لازم برای کلیدزنی) کلید S1b خاموش می‌شود (شکل ۲-ج). دلیل خاموش‌کردن کلید S1b (و نه کلید S1a) در این مرحله این است که مسیر جایگزینی برای جریان مثبت خروجی توسط ترانزیستور کلید S2a و دیود کلید S2b فراهم شده‌است و بنابراین کلید S1b را می‌توان خاموش کرد. پس از خاموش‌کردن کلید S1b و با رعایت تأخیر زمانی مذکور، کلید S2b روشن می‌شود (شکل ۲-د). روشن شدن کلید S2b باز خللی در کار مدار ایجاد نکرده و موجب اتصال کوتاه نمی‌شود چرا که ولتاژ ورودی مبدل مثبت بوده و دیود کلید S1b در بایاس معکوس قرار دارد. درنهایت پس از روشن‌کردن کلید S2b و با رعایت تأخیر زمانی، کلید S1a نیز خاموش شده و مسیر جریان از مجموع کلید S1 به مجموعه کلید S2 به‌طور کامل انتقال می‌یابد (شکل ۲-ه). الگوریتم مشابهی برای انتقال جریان از مجموعه کلید S2 به S1 به کار می‌رود.

برای حالتی که ولتاژ ورودی مبدل منفی است ($v_i<0$)، برای انتقال جریان از مجموعه کلید S1 به مجموعه کلید S2 مراحل نشان داده شده در شکل ۳ انجام می‌شود. ابتدا کلیدهای S1a و S1b روشن هستند (شکل ۳-الف) و جریان را در هر دو طرف هدایت می‌کنند و نیز ولتاژ خروجی برابر با ولتاژ ورودی است. درحالی‌که کلیدهای مذکور روشن هستند، کلید S2b نیز روشن می‌شود (شکل ۳-ب) و باتوجه به این‌که D2a در بایاس معکوس قرار می‌گیرد (ولتاژ ورودی مبدل منفی است)، اتصال کوتاه ایجاد نمی‌شود.



شکل ۲: مراحل انتقال جریان از مجموعه کلید S_1 به مجموعه کلید S_2 برای حالت $v_i>0$

در مرحله بعد کلید S1a خاموش می شود (شکل ۳-ج) ولی مسیر جریان خروجی هم در جهت مثبت و هم در جهت منفی همچنان وجود دارد. سپس S2a نیز روشن می‌شود (شکل ۳-د)، ولی، باتوجه به این‌که D1a در بایاس معکوس قرار می‌گیرد، اتصال کوتاه در مدار رخ نمی‌دهد. درنهایت، کلید S1b نیز خاموش می شود و بدین‌ترتیب مسیر جریان از مجموعه کلید S1 به مجموعه کلید S2 انتقال می‌یابد. شایان ذکر است که همه مراحل با رعایت یک مقدار مشخص تأخیر زمانی صورت می‌گیرد تا از عملکرد ایمن مدار اطمینان حاصل شود. برای انتقال جریان از S2 به S1 نیز الگوریتم مشابهی را می‌توان استفاده کرد.

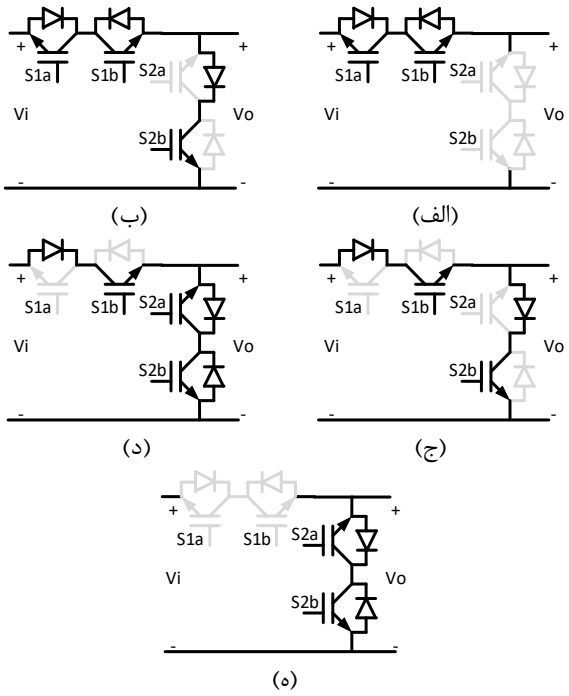
باتوجه به مطالب بالا، برای پیاده سازی روش پیشنهادی باید ولتاژ ورودی مبدل به‌صورت لحظه‌ای اندازه‌گیری شده و در الگوریتم پیشنهادی استفاده شود. ولی باتوجه به این‌که در کاربرد مطرح‌شده (جبران سازی ولتاژ) اساساً (حتی بدون استفاده از الگوریتم پیشنهادی) نیاز به‌اندازه‌گیری ولتاژ شبکه (ولتاژ ورودی مبدل) وجود دارد، بنابراین، استفاده از روش پیشنهادی در کاربرد مذکور تعداد اندازه‌گیری ولتاژ را افزایش نمی‌دهد.

۳-۲- نحوه پیاده‌سازی الگوریتم پیشنهادی

مراحل انجام الگوریتم کلیدزنی پیشنهادی در حالت‌های مختلف در جدول ۱ نشان داده شده‌است. همان‌طورکه این جدول نشان می‌دهد، دو حالت ممکن ولتاژ ورودی (مثبت و منفی) در نظر گرفته شده‌است. هم‌چنین در هر دو این حالت، دو حالت انتقال جریان از S1 به S2 و یا انتقال جریان از S2 به S1 نیز مورد تحلیل قرارگرفته است. در هر حالت، گام‌های کلیدزنی برای انتقال جریان آورده شده و در هر گام کلیدهای روشن و نیز مسیر جریان مشخص شده‌است.

www.SID.ir

Archive of SID



شکل ۳: مراحل انتقال جریان از مجموعه کلید S_1 به مجموعه کلید S_2 برای حالت $v_i<0$

۳-۳- محدودیت الگوریتم پیشنهادی

باتوجه به لزوم رعایت تأخیر زمانی مشخص بین گام‌های کلیدزنی، انتقال کامل از یک کلید به کلید با تأخیر زمانی صورت می‌گیرد. اگر تأخیر زمانی انتقال از هر گام‌به‌گام بعدی t_d در نظر گرفته شود، باتوجه به این‌که انتقال کامل از یک کلید دوطرفه به کلید دوطرفه دیگر در چهار گام صورت می‌گیرد، بنابراین در هر کلیدزنی کل تأخیر زمانی برابر با $4t_d$ است. درنتیجه در هر دوره کلیدزنی که یک خاموش شدن و یک روشن شدن اتفاق می‌افتد، تأخیر زمانی برابر با $8t_d$ لازم است که این امر باعث محدودیت در فرکانس کلیدزنی می شود. بدیهی است که هر دوره کلیدزنی باید خیلی بیش‌تر از این مقدار تأخیر زمانی باشد، تا در ولتاژهای مختلف خروجی عملکرد مبدل مختل نشود. چرخه کاری کلید S1 به کل دوره کلیدزنی به‌عنوان سیکل کاری (K) تعریف شود:

$$K = \frac{T_{on,S_1}}{T_s} \qquad (۱)$$

که در آن، T_{on,S_1} و T_s به‌ترتیب مدت زمان روشن‌بودن کلید S1 به کل مدت زمان یک دوره کلیدزنی است.

اگر کم‌ترین مقدار K به‌صورت $K_{\min}$ در نظر گرفته شود، با استفاده از رابطه (۱) می‌توان نوشت:

$$T_{on,S_1,\min} = K_{\min} T_s \qquad (۲)$$

برای این‌که مبدل بتواند کم‌ترین مقدار ولتاژ خروجی مورد انتظار (متناظر با $K_{\min}$) به‌خوبی تولید کند، مدت زمان $T_{on,S_1,\min}$ باید به مقدار قابل‌توجهی بیش‌تر از کل تأخیر زمانی ناشی از الگوریتم پیشنهادی در یک دوره کلیدزنی ($8t_d$) باشد. بنابراین، $T_{on,S_1,\min}$ باید حداقل چند برابر مدت زمان $8t_d$ باشد:

$$T_{on,S_1,\min} > m \times 8t_d \qquad (۳)$$

با استفاده از روابط (۱)-(۳)، رابطه زیر را می‌توان نوشت:

$$T_s > \frac{m \times 8t_d}{K_{\min}} \qquad (۴)$$

باتوجه به رابطه فوق و باتوجه به این‌که $T_s = 1/f_s$ است، رابطه زیر را می‌توان نوشت:

$$f_s < \frac{K_{\min}}{m \times 8t_d} \qquad (۵)$$

به‌عنوان مقادیر نوعی، می‌توان $K_{\min} = 0.1$، $t_d = 1\mu\sec$، و $m = 2$ در نظر گرفت. با این اعداد با استفاده از رابطه (۵) محدودیت زیر برای فرکانس کلیدزنی به دست می‌آید:

$$f_s < \frac{0.1}{2 \times 8 \times 10^{-6}} = 6250Hz \qquad (۶)$$

۴- سیستم کنترلی جبران‌کننده

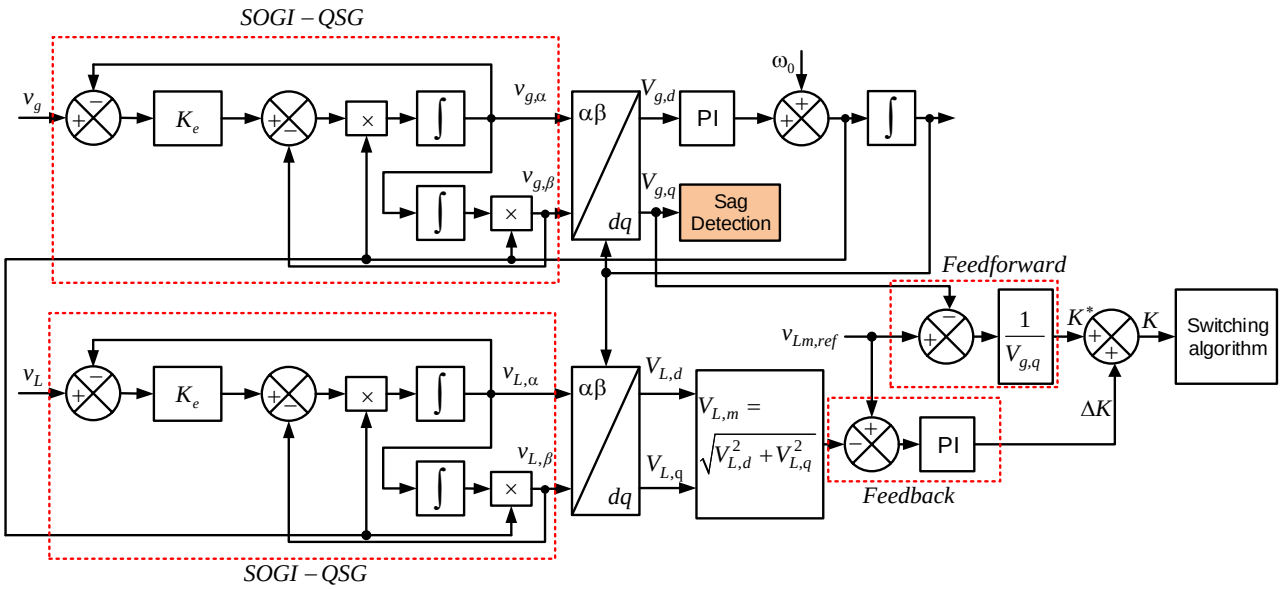
بلوک دیاگرام کامل کنترلی جبران‌ساز در شکل ۴ نشان داده شده‌است. قسمت‌های مختلف بلوک دیاگرام کنترلی استفاده شده قبلاً در مراجع مختلف برای کاربردهای دیگر مانند اینورتر متصل به شبکه ارائه‌شده است. ولی تا جایی که نویسندگان اطلاع دارند این بلوک دیاگرام به این شکل برای کاربرد در جبران‌کننده ولتاژ ارائه نشده است. برای کنترل جبران‌سازی سری ولتاژ، باید اطلاعات دامنه و فاز ولتاژ شبکه استخراج شود. برای این کار از حلقه‌های قفل فاز[۳] (PLL) استفاده می‌شود. در این مقاله از PLL مبتنی بر انتگرال‌گیر مرتبه دوم تعمیم‌یافته[۴] (SOGI) استفاده شده است که در حقیقت یک فیلتر تطبیقی است [۲۶-۲۴]. این PLL مبتنی بر ایجاد سیگنال متعامد (QSG)[۵] با استفاده از SOGI است. همان‌طورکه در شکل ۴ نشان داده شده است، واحد QSG دو خروجی دارد که یکی مؤلفه α و دیگری مؤلفه β نام‌گذاری شده است. مؤلفه α در حقیقت فیلتر شده سیگنال ورودی ورودی بوده و با آن هم فاز است. مؤلفه β نیز سیگنالی عمود بر سیگنال ورودی است. درنتیجه با داشتن دو مؤلفه عمود برهم می‌توان با استفاده از تبدیل پارک، مؤلفه‌های dq را به‌دست آورد. خروجی تبدل پارک، مولفه‌های dq ولتاژ موردنظر (ولتاژ شبکه یا بار) است. واحد PLL بر روی مؤلفه d ولتاژ شبکه عمل کرده (سعی در صفر کردن آن را دارد) و بنابراین بردار ولتاژ شبکه روی محور q می‌افتد و اگر PLL موفق عمل کند، مؤلفه d ولتاژ شبکه صفر خواهد شد. مؤلفه q هم همان دامنه ولتاژ شبکه است که از آن می‌توان با استفاده از یک مقایسه‌کننده برای تشخیص کمبود ولتاژ استفاده کرده و جبران‌ساز را فعال کرد.

www.SID.ir

Archive of SID

جدول ۱: جدول کلیدزنی برای پیاده‌سازی الگوریتم پیشنهادی در حالت‌های مختلف

وضعیت ولتاژ ورودی (v_i)	انتقال جریان	گام تغییر	وضعیت کلیدها				مسیر جریان		ولتاژ خروجی (v_o)	
			S_{1a}	S_{1b}	S_{2a}	S_{2b}	$i_o<0$	$i_o>0$	$i_o<0$	$i_o>0$
$v_i>0$	از S_1 به S_2	۰	۱	۱	۰	۰	T_{1a}, D_{1b}	D_{1a}, T_{1b}	v_i	v_i
		۱	۱	۱	۱	۰	T_{1a}, D_{1b}	D_{1a}, T_{1b}	v_i	v_i
		۲	۱	۰	۱	۰	T_{1a}, D_{1b}	T_{2a}, D_{2b}	v_i	۰
		۳	۱	۰	۱	۱	D_{2a}, T_{2b}	T_{2a}, D_{2b}	۰	۰
		۴	۰	۰	۱	۱	D_{2a}, T_{2b}	T_{2a}, D_{2b}	۰	۰
	از S_2 به S_1	۰	۰	۰	۱	۱	D_{2a}, T_{2b}	T_{2a}, D_{2b}	۰	۰
		۱	۱	۰	۱	۱	D_{2a}, T_{2b}	T_{2a}, D_{2b}	۰	۰
		۲	۱	۰	۱	۰	T_{1a}, D_{1b}	T_{2a}, D_{2b}	v_i	۰
		۳	۱	۱	۱	۰	T_{1a}, D_{1b}	D_{1a}, T_{1b}	v_i	v_i
		۴	۱	۱	۰	۰	T_{1a}, D_{1b}	D_{1a}, T_{1b}	v_i	v_i
$v_i<0$	از S_1 به S_2	۰	۰	۰	۱	۱	T_{1a}, D_{1b}	D_{1a}, T_{1b}	v_i	v_i
		۱	۰	۱	۱	۱	T_{1a}, D_{1b}	D_{1a}, T_{1b}	v_i	v_i
		۲	۰	۱	۰	۱	D_{2a}, T_{2b}	D_{1a}, T_{1b}	۰	v_i
		۳	۰	۱	۰	۱	D_{2a}, T_{2b}	T_{2a}, D_{2b}	۰	۰
		۴	۰	۱	۰	۱	D_{2a}, T_{2b}	T_{2a}, D_{2b}	۰	۰
	از S_2 به S_1	۰	۰	۱	۰	۱	D_{2a}, T_{2b}	T_{2a}, D_{2b}	۰	۰
		۱	۰	۱	۱	۱	D_{2a}, T_{2b}	T_{2a}, D_{2b}	۰	۰
		۲	۰	۱	۰	۱	D_{2a}, T_{2b}	D_{1a}, T_{1b}	۰	v_i
		۳	۰	۱	۰	۱	T_{1a}, D_{1b}	D_{1a}, T_{1b}	v_i	v_i
		۴	۱	۱	۰	۰	T_{1a}, D_{1b}	D_{1a}, T_{1b}	v_i	v_i



شکل ۴: بلوک دیاگرام کنترلی جبران‌کننده بر مبنای SOGI-PLL

www.SID.ir

Archive of SID

با صرف‌نظر از افت ولتاژ روی فیلتر ورودی و خروجی و هم‌چنین افت ولتاژ روی امپدانس ترانسفورماتور، که رابطه زیر بین سیکل کاری کلیدها و دامنه ولتاژ خروجی جبران ساز وجود دارد که در کنترل‌کننده مورد بحث از این رابطه استفاده شده‌است:

$$V_{C,m} = nKV_{g,m} \quad (۷)$$

که در آن، n نسبت تبدیل ترانسفوماتور (نسبت ولتاژ سمت شبکه به ولتاژ سمت مبدل)، $V_{C,m}$ دامنه ولتاژ خروجی جبران‌ساز و $V_{g,m}$ دامنه ولتاژ شبکه که برابر با $V_{g,q}$ نیز است.

با درنظرگرفتن شکل ۱، رابطه زیر را می‌توان نوشت:

$$V_{L,m} = V_{g,m} + V_{C,\mathrm{m}} \quad (۸)$$

با درنظرگرفتن این‌که در حضور جبران‌ساز، دامنه ولتاژ بار باید همواره برابر با مقدار مرجع آن باشد ($V_{L,m} = V_{L,m,ref}$) و این‌که $V_{g,m} = V_{g,q}$، رابطه زیر را می‌توان با استفاده از رابطه (۸) نوشت:

$$V_{C,m} = V_{L,m,ref} - V_{g,q} \quad (۹)$$

با استفاده از روابط (۷) و (۹)، مقدار سیکل کاری کلیدها را می توان به‌صورت زیر به‌دست آورد:

$$K = \frac{1}{n}\left(\frac{V_{L,m,ref} - V_{g,q}}{V_{g,q}}\right) \quad (۱۰)$$

اگر نسبت تبدیل ترانسفورماتور ۱ باشد، رابطه (۱۰) را می‌توان به‌صورت زیر بازنویسی کرد:

$$K = \frac{V_{L,m,ref} - V_{g,q}}{V_{g,q}} \quad (۱۱)$$

از رابطه فوق، در روش کنترلی پیشنهادی برای به‌دست‌آوردن سیکل کاری کلیدها استفاده شده‌است. به‌منظور افزایش سرعت کنترل‌کننده، کنترل ولتاژ بار با ترکیب دو حلقه پس‌خور و پیش‌خور انجام شده‌است. باتوجه به این‌که، دامنه ولتاژ خروجی جبران ساز باید برابر با دامنه کمبود ولتاژ یعنی برابر با اختلاف دامنه مرجع ولتاژ بار ($V_{Lm,ref}$) و مقدار اندازه‌گیری‌شده دامنه ولتاژ شبکه ($V_{g,q}$) باشد، بنابراین، اختلاف این دو مقدار می‌تواند به‌عنوان مقدار مرجع برای دامنه ولتاژ خروجی جبران‌سازی استفاده شود. در حالت کلی، جبران‌ساز سری ولتاژ، حتی در صورت نبود حلقه کنترلی پس‌خور نیز عملکرد جبران‌سازی را انجام خواهد داد ولی دیگر قادر نخواهد بود افت ولتاژ روی امپدانس فیلتر و ترانسفورماتور را لحاظ کند. بنابراین، برای این‌که جبران‌سازی دقیق صورت گیرد، یک حلقه کنترلی پس‌خور نیز با استفاده از کنترل‌کننده PI و با مقایسه مقدار مرجع و مقدار اندازه‌گیری شده دامنه ولتاژ بار ($V_{Lm,ref}$ و V_{Lm}) در نظر گرفته شده‌است. خروجی کنترل‌کننده در حقیقت دامنه ولتاژ خروجی جبران‌ساز را که باید به‌صورت سری به شبکه تزریق شود، در اختیار می‌گذارد. باتوجه به ساختار مبدل استفاده شده، با تقسیم این مقدار به دامنه ولتاژ شبکه، سیکل کاری[۶] کلیدهای مبدل (زمان روشن‌بودن مجموعه کلید S_1 به کل بازه کلیدزنی، K) به‌دست می‌آید. اکنون با داشتن سیکل کاری کلیدها و باتوجه به الگوریتم کلیدزنی پیشنهادی می‌توان کلیدزنی را انجام داد. همان‌طورکه ذکر شد، در سیستم کنترلی مورد استفاده دو حلقه کنترلی که یکی پیش‌خور و دیگری پس‌خور است برای کنترل ولتاژ استفاده شده‌است. حلقه پیش‌خور باعث افزایش سرعت کنترل‌کننده شده و حلقه پس‌خور نیز خطای جزئی باقی‌مانده را جبران می‌کند به‌طوری‌که در حالت دائم خطای ولتاژ ناچیز است.

۵- نتایج شبیه‌سازی

در این بخش، نتایج شبیه‌سازی جبران‌ساز مبتنی بر مبدل AC-AC (شکل ۱-ج) ارائه می‌شود. در شبیه‌سازی از الگوریتم کلیدزنی پیشنهادی و سیستم کنترلی شکل ۴ استفاده شده‌است. پارامترهای مهم مورد استفاده در شبیه‌سازی در جدول ۲ داده شده‌است. بین فرمان کلیدها ۱ میکروثانیه زمان در نظر گرفته شده‌است که بیش‌تر از زمان معمول لازم برای روشن و خاموش شدن کلیدها در عمل می‌باشد. اگر کلیدهای استفاده‌شده دارای زمان تأخیر روشن و خاموش شدن بیش‌تری باشند، تأخیر بیش‌تری بین فرمان کلیدها داده می‌شود. بنابراین، اگر تأخیر بین فرمان کلیدها بیش‌تر از زمان لازم برای روشن و خاموش شدن کلیدها باشد، هم‌چنان نیازی به اسنابر وجود ندارد. البته باید توجه کرد که با افزایش تأخیر بین فرمان کلیدها، THD شکل‌موج‌های خروجی اندکی بیش‌تر می‌شود و بنابراین مدت زمان تأخیر را نباید بیش‌تر از مقدار مورد نیاز برای روشن و خاموش شدن کلیدها در نظر گرفت. از طرف دیگر، در کلیدهای الکترونیک قدرت موجود مدت زمان لازم برای روشن و خاموش شدن کلیدها به‌طور قابل ملاحظه‌ای کم‌تر از ۱ میکروثانیه است.

در شکل ۵، به‌ترتیب از بالا به پایین، ولتاژ شبکه، ولتاژ خروجی قبل از فیلتر مبدل AC-AC، ولتاژ تزریقی به شبکه، ولتاژ بار و جریان بار برای کمبود ولتاژ ۰/۴ پریونیت (ولتاژ باقی‌مانده ۰/۶ پریونیت است) نشان داده شده‌است. همان‌طورکه این شکل نشان می‌دهد، کمبود ولتاژ شبکه در لحظه ۰/۰۴ ثانیه به‌اندازه ۰/۴ پریونیت اتفاق می‌افتد و تا لحظه ۰/۱۴ ثانیه ادامه می‌یابد.

جدول ۲: پارامترهای مورد استفاده در شبیه‌سازی

پارامتر	مقدار
مقدار مؤثر ولتاژ نامی	۲۲۰ ولت
فرکانس شبکه/فرکانس کلیدزنی	۵۰ هرتز/۵ کیلوهرتز
بار (مقاومت و اندوکتانس)	۲۰ اهم و ۴۰ میلی‌هانری
ترانسفورماتور	۱:۱
فیلتر ورودی	$L_i = 1mH,\ C_i = 22\mu F$
فیلتر خروجی	$L_o = 1mH,\ C_o = 22\mu F$

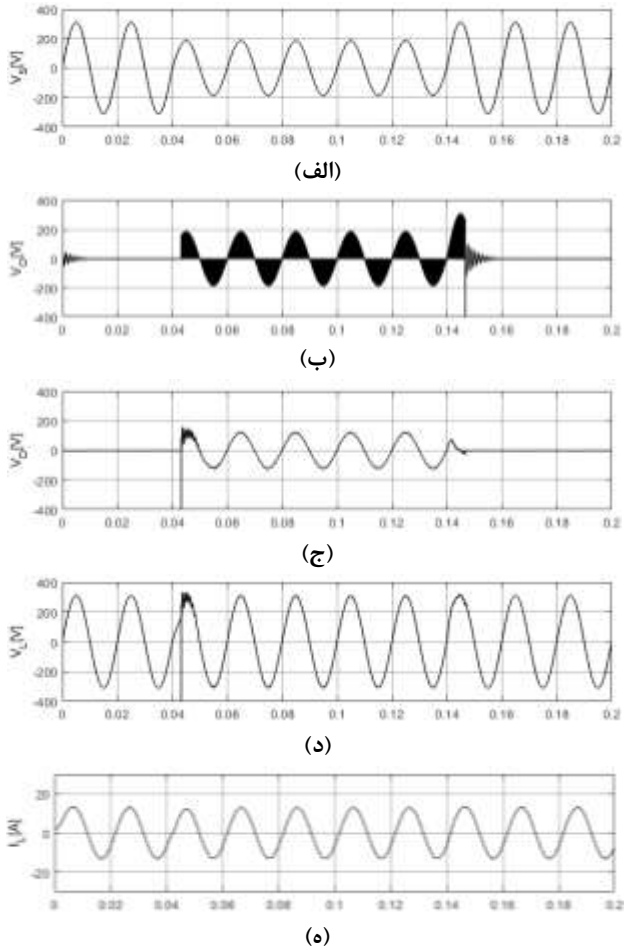
www.SID.ir

Archive of SID

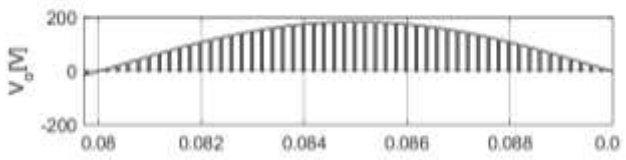
همان‌طورکه نتایج نشان می‌دهند، بعد از اتفاق‌افتادن کمبود ولتاژ، مدت زمان کوتاهی طول می‌کشد تا کمبود ولتاژ تشخیص داده شده و جبران‌ساز شروع به تولید ولتاژ کند. در این مدت، ولتاژ خروجی جبران‌ساز صفر بوده و ولتاژ بار با ولتاژ شبکه برابر است. بعد از تشخیص وقوع و مقدار کمبود ولتاژ، جبران‌ساز ولتاژ لازم را تولید کرده و به شبکه تزریق می‌کند تا دامنه ولتاژ بار بازیابی شود. درنتیجه، دامنه ولتاژ بار تثبیت می‌شود. در هنگام اتمام کمبود ولتاژ نیز، مدت زمان کمی طول می‌کشد تا واحد تشخیص کمبود ولتاژ، اتمام کمبود ولتاژ را تأیید کند. در این مدت، جبران‌ساز، همچنان ولتاژ تولید می‌کند ولی مقدار آن ناچیز بوده و تأثیر قابل‌توجهی روی ولتاژ بار ندارد. جریان بار نیز شکل‌موج سینوسی داشته و دارای تغییرات اندکی در ابتدا و انتهای کمبود ولتاژ است. باتوجه به اهمی-سلفی بودن بار، جریان آن نسبت به ولتاژ آن پس فاز است. باتوجه به شکل ۵ کمی بعد از زمان ۰/۰۴ ثانیه (زمان شروع کمبود ولتاژ) یک پیک بزرگ ولتاژ در ولتاژ خروجی جبران‌کننده (V_D) وجود دارد که چون این ولتاژ با ولتاژ ورودی جمع شده و مستقیماً روی خروجی می‌افتد پس این پیک ولتاژ در ولتاژ بار نیز مشاهده می‌شود. علت این پیک ولتاژ بازشدن کلید بای‌پس جبران‌کننده است که این کلید در خروجی ترانسفورماتور قرار گرفته و جبران‌کننده را در هنگامی که ولتاژ شبکه در حالت عادی است، از مدار خارج می‌کند. کمی بعد از اتفاق‌افتادن کمبود ولتاژ، این کمبود ولتاژ توسط قسمت تشخیص کمبود ولتاژ (قسمت sag detection در شکل ۴) تشخیص داده شده و به کلید بای‌پس دستور بازشدن داده می‌شود. باتوجه به این‌که تا هنگام بازشدن کلید کل جریان بار اهمی-سلفی از این کلید عبور می‌کرد ولی به‌محض بازشدن این کلید جریان به سیم‌پیچی ترانسفورماتور منتقل می‌شود و بنابراین di/dt زیاد و درنتیجه یک پیک ولتاژ بزرگ در ولتاژ خروجی جبران‌کننده به وجود می‌آید. باید توجه کرد که این پیک ولتاژ بعد از فیلتر یعنی در خروجی جبران‌کننده به وجود می‌آید و بنابراین فیلتر قادر به کاهش چشمگیر آن نیست. همچنین کمی بعد از ۰/۱۴ ثانیه (زمان اتمام کمبود ولتاژ) یک پیک ولتاژ ولی این بار در خروجی مبدل (قبل از فیلتر) ایجاد می‌شود که باز هم دلیل آن بسته‌شدن کلید بای‌پس است. با بسته‌شدن کلید بای‌پس تغییرات شدید و لحظه‌ای جریان باعث ایجاد پیک ولتاژ می‌شود. چون این پیک ولتاژ قبل از فیلتر یعنی در خروجی مبدل رخ داده‌است پس فیلتر به‌دلیل خاصیت پایین‌گذربودن، تغییرات شدید ولتاژ را به‌طور چشم‌گیری کاهش داده و در ولتاژ خروجی جبران‌کننده این پیک ولتاژ مشاهده نمی‌شود.

در شکل ۶، بزرگ‌نمایی شده ولتاژ خروجی مبدل AC-AC (قبل از فیلتر خروجی) نشان داده شده‌است. در این شکل، نحوه تولید ولتاژ با استفاده از کلیدزنی ولتاژ ورودی مشخص است.

برای این‌که اعمال الگوریتم کلیدزنی مشخص شود، سیگنال کلیدزنی کلیدهای مبدل AC-AC در شکل ۷ نشان داده شده‌است. همچنین در این شکل لحظه دستور کلیدزنی نیز مشخص شده‌است. باید توجه شود که در شکل مذکور، انتقال از مجموعه کلید S_1 به مجموعه کلید S_2 نشان داده شده‌است. همان‌طورکه این شکل نشان می‌دهد، بعد از یک مدت زمان کوتاه مشخص (در این جا یک میکروثانیه) پس از دریافت دستور کلیدزنی کلید S_{2a} روشن می‌شود. سپس بعد از همان مدت زمان، کلید S_{1b} خاموش شده و سپس با رعایت همان بازه زمانی، S_{2b} روشن شده و به دنبال آن کلید S_{1a} خاموش می‌شود. این کلیدزنی برای نیم سیکل مثبت ولتاژ ورودی مبدل ($v_i>0$) و انتقال جریان از مجموعه کلید S_1 به مجموعه کلید S_2 بوده و با حالت متناظر در جدول ۱ هم‌خوانی دارد.



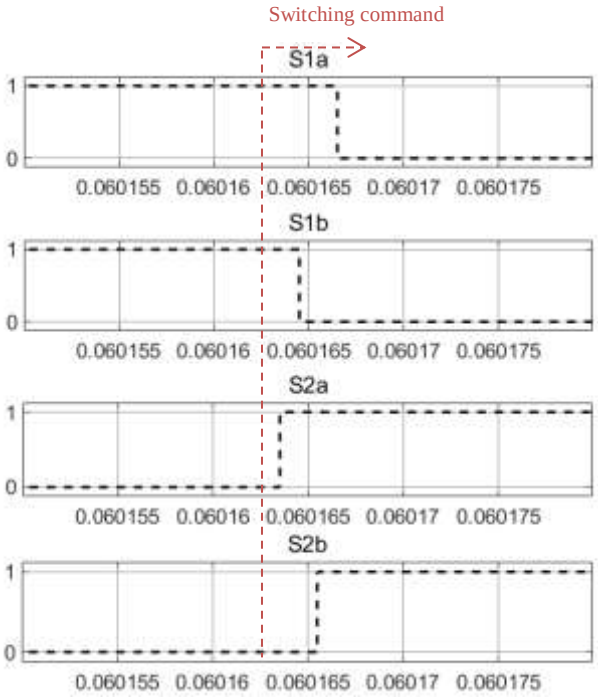
شکل ۵: نتایج شبیه‌سازی برای کمبود ولتاژ ۰/۴ پریونیت و بار اهمی-سلفی، (الف) ولتاژ شبکه، (ب) ولتاژ خروجی مبدل قبل از فیلتر خروجی، (ج) ولتاژ خروجی جبران‌ساز (ولتاژ تزریقی به شبکه)، (د) ولتاژ بار، (ه) جریان بار



شکل ۶: بزرگ‌نمایی شده ولتاژ خروجی مبدل قبل از فیلتر خروجی

www.SID.ir

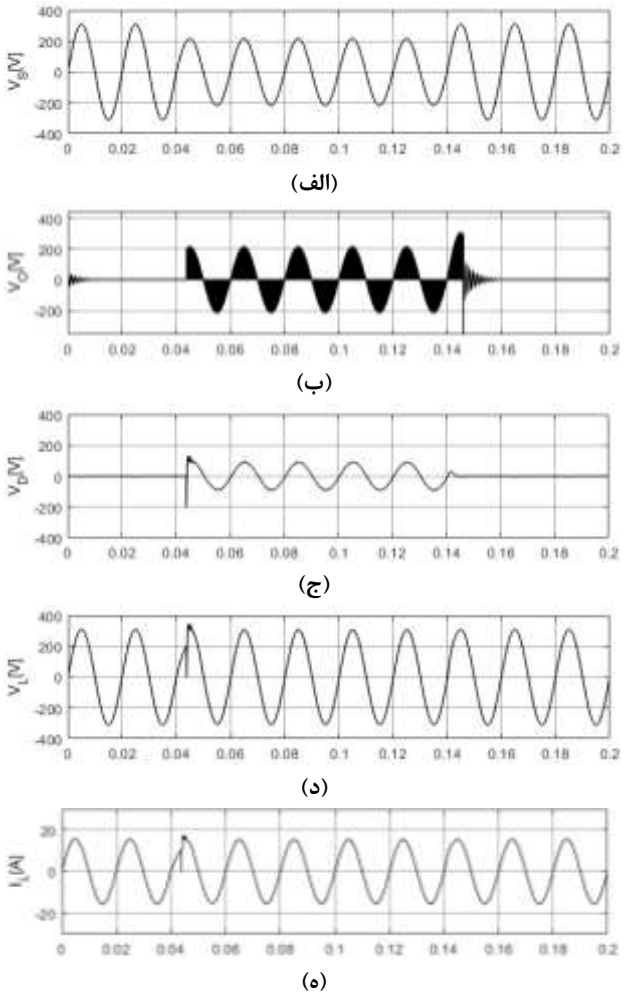
Archive of SID



شکل ۷: سیگنال کلیدزنی و دستور کلیدزنی برای انتقال از کلید S_1 به کلید S_2

برای بررسی عملکرد جبران‌کننده با الگوریتم کلیدزنی پیشنهادی در حالت‌ها و بارهای مختلف، برای دو حالت دیگر نیز نتایج شبیه‌سازی آورده شده‌است. شکل‌های ۸ و ۹ نتایج شبیه‌سازی را به‌ترتیب برای بار اهمی خالص ۲۰ اهم و کمبود ولتاژ ۰/۳ پریونیت و بار اهمی-سلفی اشاره‌شده در جدول ۲ موازی با یک خازن ۴۷ میکروفارادی و کمبود ولتاژ ۰/۴ پریونیت نشان می‌دهد. در شکل‌های مذکور، به‌ترتیب از بالا به پایین، ولتاژ شبکه، ولتاژ خروجی مبدل قبل از فیلتر، ولتاژ خروجی جبران‌کننده، ولتاژ بار و جریان بار نشان داده شده‌است. همان‌طورکه شکل ۸ (بار اهمی و کمبود ولتاژ ۰/۳ پریونیت) نشان داده شده است، در این حالت نیز جبران‌کننده به‌خوبی ولتاژ لازم برای جبران‌سازی را تولید کرده و ازطریق ترانسفورماتور به شبکه تزریق کرده است به‌نحوی که ولتاژ بار به مقدار نامی بازیابی شده‌است. باتوجه به این شکل، به دلیل اهمی‌بودن بار، حالت گذرای ایجادشده در شکل‌موج‌های ولتاژ کم‌تر از حالت‌های دیگر است. باتوجه به شکل ۹ (بار اهمی-سلفی موازی با یک خازن)، در حالتی که بار خازنی نیز وجود دارد، جبران‌کننده ولتاژ لازم را تولید کرده و ولتاژ بار را به مقدار نامی بازیابی کرده است. ولی باتوجه به وجود خازن و بالارفتن مرتبه مدار، پاسخ نو سانی به وجود آمده و حالت‌های گذرا در شکل‌موج‌های ولتاژ بیش‌تر از حالت‌های دیگر است. هم‌چنین شکل‌موج جریان خروجی نیز به دلیل وجود خازن دارای تغییراتی است.

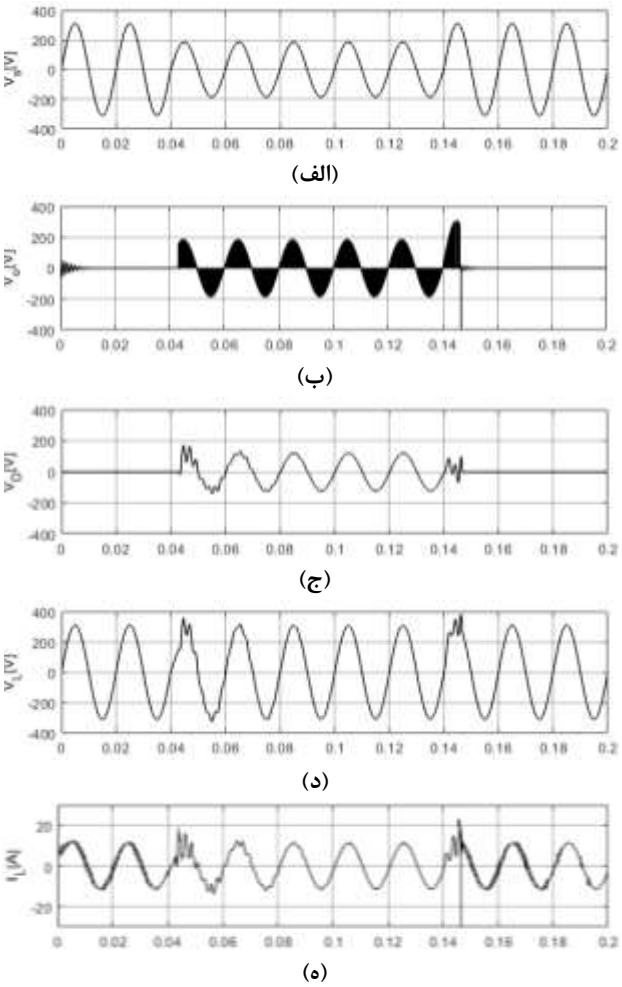
به‌منظور مقایسه روش کلیدزنی پیشنهادی با روش کلیدزنی مرسوم، شبیه‌سازی برای روش مرسوم نیز انجام شده‌است. در کلیدزنی مرسوم زمان مرده کلیدزنی بین کلیدها ۱ میکروثانیه درنظر گرفته شده‌است. هم‌چنین یک مدار اسنابر RC با مقاومت و خازن به‌ترتیب ۵۰ اهم و ۱۰۰ نانوفاراد به‌صورت موازی با هر یک از کلیدها قرار داده شده‌است. در شکل ۱۰-الف و ۱۱-الف ولتاژ خروجی مبدل قبل از فیلتر، که ولتاژ دو سر یکی از کلیدها نیز است، برای هر دو روش (مرسوم و پیشنهادی) نشان داده شده‌است. همان‌طورکه در شکل ۱۰-الف نشان داده شده‌است، در روش کلیدزنی مرسوم به دلیل زمان مرده کلیدزنی و قطع شدن مسیر جریان از طرق کلید، جریان مجبور به جاری‌شدن ازطریق مدار اسنابر می‌شود. بنابراین، باتوجه به امپدانس مدار اسنابر ولتاژی بالاتر از ولتاژ شبکه روی کلید شکل می‌گیرد. این امر باعث افزایش تنش ولتاژ روی کلید و افزایش تلفات آن می‌شود. البته باید توجه کرد که در صورت عدم استفاده از اسنابر، این تنش ولتاژ بسیار بیش‌تر نیز خواهد بود. ضمن این‌که اندازه مقاومت و خازن اسنابر نیز در این تنش ولتاژ تاثیرگذار است.



شکل ۸: نتایج شبیه‌سازی برای کمبود ولتاژ ۰/۳ پریونیت و بار اهمی، (الف) ولتاژ شبکه، (ب) ولتاژ خروجی مبدل قبل از فیلتر خروجی، (ج) ولتاژ خروجی جبران‌ساز (ولتاژ تزریقی به شبکه)، (د) ولتاژ بار، (ه) جریان بار

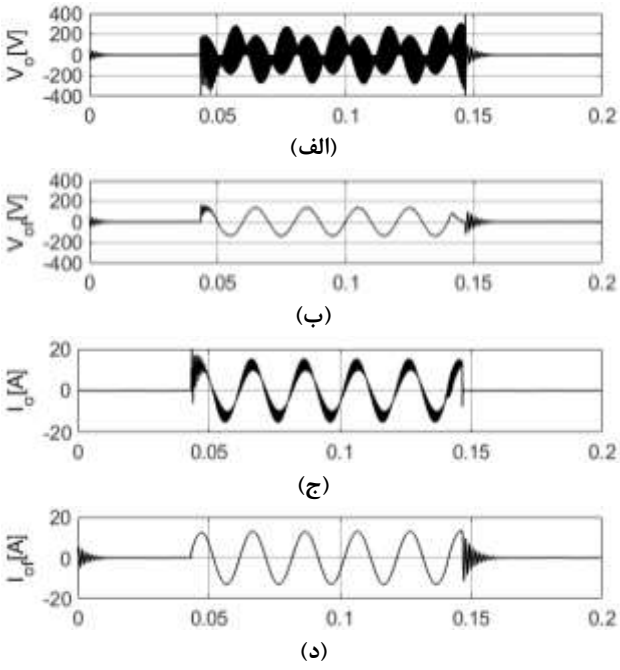
www.SID.ir

Archive of SID

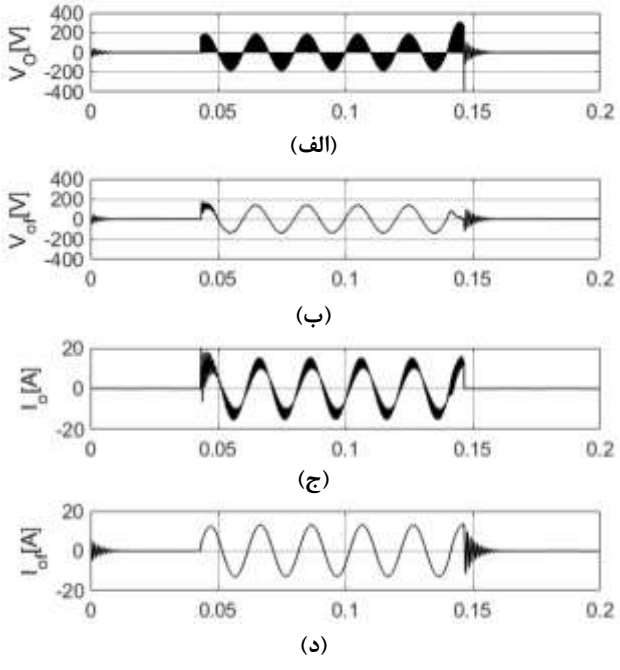


شکل ۹: نتایج شبیه‌سازی برای کمبود ولتاژ ۰/۴ پریونیت و بار اهمی-سلفی موازی با خازن، (الف) ولتاژ شبکه، (ب) ولتاژ خروجی مبدل قبل از فیلتر خروجی، (ج) ولتاژ خروجی جبران‌ساز (ولتاژ تزریقی به شبکه)، (د) ولتاژ بار، (ه) جریان بار

همان‌طورکه در شـــکل ۱۱-الف (ولتاژ خروجی مبدل (ولتاژ روی یکی از کلیدها) در روش کلیدزنی پیشنهادی) نشان داده شده‌است، در روش پیشنهادی تنش ولتاژ روی کلیدها به ولتاژ ورودی محدود شده و تغییرات اضـــافی ولتاژ وجود ندارد. این باعث کاهش تلفات کلید نیز خواهد شـــد. از نظر کیفیت شـــکل موج خروجی مبدل نیز، THD ولتاژ خروجی مبدل (قبل از فیلتر) در روش مرســـوم و پیشـــنهادی به‌ترتیب برابر با ۵۵٪ و ۴۹٪ است. در شکل ۱۰-ب و ۱۱-ب ولتاژ خروجی مبدل بعد از فیلتر به‌ترتیب برای روش مرســـوم و پیشـــنهادی نشـــان داده شده‌است. باتوجه به این‌که، تفاوت دو شکل‌موج در محتوای هارمونیکی فرکانس بالا است، THD شکل‌موج ولتاژ خروجی جبران‌کننده در روش مرســـوم و پیشـــنهادی تفاوت چشـــم‌گیری نداشـــته و به‌ترتیب برابر با ۱٪/۹۷ و ۱/۸۶٪ اســـت. در شـــکل ۱۰-ج و ۱۱-ج شـــکل موج جریان خروجی مبدل قبل از فیلتر به‌ترتیب برای روش مرســـوم و پیشـــنهادی ارائه‌شـــده اســـت. THD جریان خروجی مبدل قبل از فیلتر برای روش مرســـوم و پیشـــنهادی به‌ترتیب برابر با ۱۴/۴۷٪ و ۱۴/۳۱٪ اســـت که تقریباً یکسان است. شکل‌موج جریان خروجی مبدل بعد از فیلتر برای روش مرسوم و پیشنهادی به‌ترتیب در شکل‌های ۱۰-د و ۱۱-د نشان داده شده‌است که هر دو شکل‌موج سینوسی بوده و دارای THD خیلی کم ۰/۰۵٪ هستند.



شکل ۱۰: (الف) ولتاژ خروجی مبدل قبل از فیلتر (ولتاژ روی یکی از کلیدهای مبدل)، (ب) ولتاژ خروجی مبدل بعد از فیلتر، جریان خروجی مبدل قبل از فیلتر، و جریان خروجی مبدل بعد از فیلتر در روش کلیدزنی مرسوم و استفاده از مدار اسنابر



شکل ۱۱: (الف) ولتاژ خروجی مبدل قبل از فیلتر (ولتاژ روی یکی از کلیدهای مبدل)، (ب) ولتاژ خروجی مبدل بعد از فیلتر، جریان خروجی مبدل قبل از فیلتر، و جریان خروجی مبدل بعد از فیلتر در روش کلیدزنی پیشنهادی (بدون اسنابر)

www.SID.ir

Archive of SID

همان‌طورکه نتایج نشـان می‌دهند، با اسـتفاده از الگوریتم و روش کنترلی پیـشنهادی، ولتاژ بار به‌خوبی بازیابی شده و به مقدار نامی خود می‌رسـد. بنابراین، الگوریتم کلیدزنی پیشـنهادی، ضـمن این‌که تأثیر منفی روی کیفیت و کمیت ولتاژ خروجی جبران‌سـاز نداشـته، باعث حذف نیاز به مدارهای اسـنابر مبدل AC-AC شـده‌اسـت. الگوریتم پیـشنهادی نه‌تنها تأثیر منفی روی کیفیت شکل‌موج‌ها ندارد بلکه باعث کاهش جزئی THD شـکل‌موج‌ها نیز می‌شـود. البته باید ذکر شـود که روش پیـ شنهادی برای مبدل با آرایش کلید امیتر-مـ شترک قابل اعمال نیسـت. بنابراین، تعداد مدارهای راه‌انداز مسـتقل کلیدها در روش پیـشنهادی افزایش می‌یابد. هر چند که تعداد مدارهای راه‌انداز در روش پیـ شنهادی افزایش می‌یابد و این قطعاً یک عیب برای روش پیـ شنهادی اسـت، ولی ازطرف دیگر باعث می‌شـود وجود یک مسـیر برای عبور جریان تضمین شده و از اضافه ولتاژهای ناشی از خود مدار اسنابر (که در شبیه‌سازی‌های فوق نشان داده شد) روی کلیدها جلوگیری شده و ضمن افزایش طول عمر آن‌ها موجب کاهش تلفات کلیدزنی آن‌ها شود. ضمن این‌که در روش مر سوم که قابل اعمال به آرایش امیتر-مـ شترک بوده و بنابراین می‌تواند تعداد مدارهای راه‌انداز را کاهش دهد، اگر به هر دلیلی مدار اسنابر از بین برود (که اتفاقاً در عمل رایج است)، اضافه ولتاژهای بسـیار زیاد ناشـی از قطع مسـیر جریان در طول زمان مرده کلیدزنی باعث از بین رفتن کلیدهای قدرت خواهد شد که این عیب در روش پیشنهادی وجود ندارد.

۶- نتیجه‌گیری

در این مقاله، یک الگوریتم کلیدزنی جدیدی برای جبران‌سـاز مبتنی بر مبدل AC-AC ارائه شـد که باعث می‌شـود مسـیر جریان تحت هیچ شـرایطی قطع نشـده و بنابراین نیازی به اسـتفاده از مدارهای اسـنابر نباشد. هم‌چنین روش کنترلی ارائه شده نیز بر مبنای انتگرال‌گیر مرتبه دوم تعمیم‌یافته بوده و تشخیص و جبران کمبود ولتاژ را به‌صورت سریع فراهم می‌کند. همان‌طورکه نتایج شبیه‌سازی نشان دادند، با استفاده از الگوریتم کلیدزنی و روش کنترلی پیشـنهادی، مبدل AC-AC به‌خوبی ولتاژ مورد نیاز برای جبران‌سـازی را تولید کرده و به شـبکه تزریق می‌کند و بنابراین ولتاژ شبکه به‌خوبی بازیابی می‌شود. نتایج شبیه‌سازی برای کمبود ولتاژ ۰/۴ و ۰/۳ پریونیت و در بارهای مختلف ارائه شد ولی برای مقادیر دیگر کمبود ولتاژ نیز نتایج مشـابهی به‌دسـت آمده اسـت. هم‌چنین نتایج نشـان دادند که تنش ولتاژ روی کلید در حین کلیدزنی در روش پیشـنهادی به‌طور قابل ملاحظه‌ای کم‌تر از روش مرسـوم و با مدار اسنابر است.

مراجع

[1] M. Farhadi-Kangarlu, E. Babaei, and F. Blaabjerg, "A comprehensive review of dynamic voltage restorers," *International Journal of Electrical Power & Energy Systems*, vol. 92, pp. 136-155, 2017.

[۲] سید حسین طباطبائی و علیرضا جلیلیان، "کنترل بازیاب دینامیکی ولتاژ مبتنی بر فیلتر شکافی تطبیقی و میراسازی فعال به‌منظور بهبود کیفیت توان" مجله مهندسی برق دانشگاه تبریز، جلد ۴۴، شماره ۲، صفحات ۲۳-۳۴، تابستان ۱۳۹۳.

[۳] محمد فرهادی کنگرلو، *جبران‌سازی کم‌بود و بیش‌بود ولتاژ با استفاده از DVRهای مبتنی بر مبدل‌های AC-AC مستقیم*، پایان‌نامه کارشناسی ارشد، دانشگاه تبریز، تبریز، ۱۳۸۹.

[4] V. B. Bhavaraju and P. Enjeti, "A fast active power filter to correct line voltage sags," *IEEE Transactions on Industrial Electronics*, vol. 41, no. 3, pp. 333-338, 1994.

[5] S. M. Hietpas and M. Naden, "Automatic voltage regulator using an AC voltage-voltage converter," *IEEE Transactions on Industry Applications*, vol. 36, no. 1, pp. 33-38, 2000.

[۶] ابراهیم بابائی، محمد فرهادی کنگرلو، "جبران‌کننده دینامیکی کم‌بود ولتاژ در شبکه‌های توزیع برق با استفاده از مبدل ac/ac مستقیم" مجله مهندسی برق مدرس، دوره ۱۱، شماره ۵، بهار ۱۳۹۰.

[7] E. Babaei, M. F. Kangarlu, and M. Sabahi, "Compensation of voltage disturbances in distribution systems using single-phase dynamic voltage restorer," *Electric Power Systems Research*, vol. 80, no. 12, pp. 1413-1420, 12// 2010.

[8] J. Perez, V. Cardenas, H. Miranda, and R. Alvarez, "Compensation of voltage sags and swells using a single-phase AC-AC converter," in *30th Annual Conference of IEEE Industrial Electronics Society, 2004. IECON 2004*, 2004, vol. 2, pp. 1611-1616 Vol. 2.

[9] K. Lee, H. Koizumi, and K. Kurokawa, "Voltage Sag/Swell Controller by Means of D-UPFC in the Distribution System," in *2006 IEEE 4th World Conference on Photovoltaic Energy Conference*, 2006, vol. 2, pp. 2427-2430.

[10] E. Babaei and M. Farhadi Kangarlu, "Operation and control of dynamic voltage restorer using single-phase direct converter," *Energy Conversion and Management*, vol. 52, no. 8–9, pp. 2965-2972, 8// 2011.

[11] E. Babaei and M. F. Kangarlu, "A new topology for dynamic voltage restorers without dc link," in *Industrial Electronics & Applications, 2009. ISIEA 2009. IEEE Symposium on*, 2009, vol. 2, pp. 1016-1021: IEEE.

[۱۲] ابراهیم بابائی، محمد فرهادی کنگرلو، "بازیاب دینامیکی ولتاژ بر پایه مبدل‌های ماتریسی" مجله مهندسی برق دانشگاه تبریز، جلد ۴۰، شماره ۱، صفحات ۱-۱۲، ۱۳۸۹.

[13] E. Babaei, M. F. Kangarlu, and M. Sabahi, "Mitigation of voltage disturbances using dynamic voltage restorer based on direct converters," *IEEE Transactions on Power Delivery*, vol. 25, no. 4, pp. 2676-2683, 2010.

[14] A. Prasai and D. M. Divan, "Zero-Energy Sag Correctors—Optimizing Dynamic Voltage Restorers for Industrial Applications," *IEEE Transactions on Industry Applications*, vol. 44, no. 6, pp. 1777-1784, 2008.

[15] A. Prasai and D. M. Divan, "Zero-Energy Sag Corrector With Reduced Device Count," *IEEE Transactions on Power Electronics*, vol. 24, no. 6, pp. 1646-1653, 2009.

[16] X. Fang, G. Gao, L. Gao, and B. Ma, "Three-phase voltage-fed quasi-Z-source AC-AC converter," *CES Transactions on Electrical Machines and Systems*, vol. 2, no. 3, pp. 328-335, 2018.

www.SID.ir

Archive of SID

[17] S. Srinivasan and G. Venkataramanan, "Design of a versatile three-phase AC line conditioner," in *IAS '95. Conference Record of the 1995 IEEE Industry Applications Conference Thirtieth IAS Annual Meeting*, 1995, vol. 3, pp. 2492-2499 vol.3.

[18] G. Venkataramanan, B. K. Johnson, and A. Sundaram, "An AC-AC power converter for custom power applications," *IEEE Transactions on Power Delivery*, vol. 11, no. 3, pp. 1666-1671, 1996.

[19] G. Venkataramanan and B. Johnson, "A pulse width modulated power line conditioner for sensitive load centers," *IEEE Transactions on Power Delivery*, vol. 12, no. 2, pp. 844-849, 1997.

[20] X. Fang, G. Gao, L. Gao, and B. Ma, "Three-phase voltage-fed quasi-Z-source AC-AC converter," *CES Transactions on Electrical Machines and Systems*, vol. 2, no. 3, pp. 328-335, 2018.

[21] S. Subramanian and M. K. Mishra, "Interphase AC–AC Topology for Voltage Sag Supporter," *IEEE Transactions on Power Electronics*, vol. 25, no. 2, pp. 514-518, 2010.

[22] E. Babaei and M. F. Kangarlu, "Cross-phase voltage sag compensator for three-phase distribution systems," *International Journal of Electrical Power & Energy Systems*, vol. 51, pp. 119-126, 2013.

[23] S. Jothibasu and M. K. Mishra, "An Improved Direct AC–AC Converter for Voltage Sag Mitigation," *IEEE Transactions on Industrial Electronics*, vol. 62, no. 1, pp. 21-29, 2015.

[24] B. Singh, S. Kumar, and C. Jain, "Damped-SOGI-Based Control Algorithm for Solar PV Power Generating System," *IEEE Transactions on Industry Applications*, vol. 53, no. 3, pp. 1780-1788, 2017.

[25] X. He, H. Geng, and G. Yang, "Reinvestigation of Single-Phase FLLs," *IEEE Access*, vol. 7, pp. 13178-13188, 2019.

[26] F. Xiao, L. Dong, L. Li, and X. Liao, "A Frequency-Fixed SOGI-Based PLL for Single-Phase Grid-Connected Converters," *IEEE Transactions on Power Electronics*, vol. 32, no. 3, pp. 1713-1719, 2017.

زیرنویس‌ها

[1] Zero-Energy Sag Corrector (ZESC)

[2] Passive

[3] Phase-Locked-Loop (PLL)

[4] Second-Order Generalized Integrator (SOGI)

[5] Quadrature Signal Generation (QSG)

[6] Duty Cycle

www.SID.ir