Archive of SID

طراحی ضرب کننده تقریبی ۱۶ بیتی با کاربری پردازش دیجیتال

موسی یوسفی[۱]، استادیار، مصطفی قربانی[۲]، خلیل منفردی[۳]، دانشیار

۱- دانشکده مهندسی - دانشگاه شهید مدنی آذربایجان - تبریز - ایران – m.yousefi@azaruniv.ac.ir
۲- دانشکده مهندسی - دانشگاه شهید مدنی آذربایجان - تبریز - ایران – gh.mostafa137272@gmail.com
۳- دانشکده مهندسی - دانشگاه شهید مدنی آذربایجان - تبریز – ایران – khmonfaredi@azaruniv.ac.ir

چکیده: ضرب کننده‌ها از بلوک‌های مهمی هستند که به صورت وسیع در سیستم‌های پردازشی دیجیتال پیشرفته مورد استفاده قرار می‌گیرند. لذا ارائه یک ضرب کننده بهینه مزیت مهمی برای سیستم محاسباتی دیجیتالی به حساب می‌آید. ضرورتی ندارد که در تمام کاربری‌ها از ضرب کننده‌های دقیق استفاده شود، در برخی از کاربری‌ها مانند پردازش سیگنال، سطح مشخصی از خطا قابل قبول است. یک بخش اساسی ضرب کننده، کمپروسور است که در مرحله کاهش حاصل‌ضرب‌های جزئی در عمل ضرب مورد استفاده قرار می‌گیرد. در این مقاله طرح‌های جدیدی برای کمپرسورهای تقریبی۱۵:۴ و۵:۳، ارائه شده است که چه از نظر توان، تأخیر و خطاهای ایجاد شده نسبت به طرح‌های پیشین عملکرد بهتری داشته است و با استفاده از کمپرسورهای تقریبی پیشنهادی، ضرب کننده۱۶×۱۶ بیتی تقریبی طراحی شده است. طرح پیشنهادی در محیط نرم افزار Cadence با استفاده از تکنولوژی۱۸۰ نانومتر و ولتاژ تغذیه ۱/۸ ولت پیاده‌سازی و شبیه‌سازی شده است و نتایج شبیه‌سازی نشان می‌دهد که تأخیر کمپرسور۵:۳ پیشنهادی۰/۷۶ نانوثانیه و توان آن۰/۹۳۵ میکرو وات و فاصله خطای ایجاد شده برابر۲± به‌دست آمده است و همچنین برای کمپرسور۱۵:۴ تأخیر۱/۱۲ نانوثانیه و توان ۴/۷۵ میکروات به‌دست آمده است.

واژه‌های کلیدی: ضرب کننده تقریبی، کمپروسور، پردازش دیجیتال، تاخیر انتشار

Design of 16- bit Approximate Multiplier with Digital Processing Application

Mousa Yousefi[1], Assistant Professor[1], Mostafa Ghorbani,[2], Khalil Monfaredi, Associate Professor[3]

1- Faculty of Engineering, Azarbaijan Shahid Madani, Tabriz, Iran, Email: m.yousefi@azaruniv.ac.ir
2- Faculty of Engineering, Azarbaijan Shahid Madani, Tabriz, Iran, Email: gh.mostafa137272@gmail.com
3- Faculty of Engineering, Azarbaijan Shahid Madani, Tabriz, Iran, Email: khmonfaredi@azaruniv.ac.ir

Abstract: The multipliers are important blocks that used in digital processing modern systems. So, design of the efficient multiplier is important advantage for digitally computational system. In some processing fields as the signal processing, the specified level of the error is acceptable, so used of accurate multiplier in the all of the processing fields is not essential. One of the important blocks of the multiplier is the compressor that is used in stage of the partial multiplication for decreasing operations. In this paper, new design of the 5:3 and 15:4 approximate compressors are proposed, the power consumption, propagation delay and error distance of proposed compressors in the comparison others have proper operating, with used of the proposed approximate compressors designed the approximate 16*16-bit multiplier. The overall of the proposed approximate multiplier is simulated and implemented by 180 nm CMOS technology and 1.8 V power supply by the Cadence tools. The result of simulation is shown that propagation delay proposed 5:3 compressors is 0.76 ns and power consumption is 0.935 μW with ±2 error distance. And also, the proposed 15:4 compressor has 1.12 ns propagation delay, 4.75 μW power consumption.

Keywords: Approximate multiplier, compressor, digital processing, propagation delay

نام نویسنده مسئول: موسی یوسفی
نشانی نویسنده مسئول: دانشگاه شهید مدنی آذربایجان، دانشکده فنی و مهندسی، گروه برق تبریز- ایران

www.SID.ir

Archive of SID

۱- مقدمه

امروزه مدار های دیجیتال در پیاده سازی پرداز نده ها، پردازش سیگنال‌های رقمی، سری فوریه و... کاربرد بسیار گسترده‌ی پیدا کرده‌اند[۱]. از کلیدی‌ترین عناصر تشکیل دهنده سیستم‌های دیجیتال، واحدهای محاسباتی است که افزایش کارایی آن‌ها می‌تواند بر روی عملکرد این سیستم‌ها تاثیر بسزایی داشته باشد. از این رو، زیر شاخه بسیار مهمی در علم معماری کامپیوتر به این موضوع اختصاص پیدا کرده است که به نام محاسبات کامپیوتری یا محاسبات دیجیتال شناخته می شود[۲]. محاسبات کامپیوتری به بحث در مورد واحدهای محاسباتی مانند جمع کننده و ضرب کننده و همچنین سیستم‌های نمایش اعداد، روش‌های تخمین خطا و غیره می‌پردازد و سعی می‌کند تا کارایی این واحدهای محاسباتی را بهبود بخشد[۱، ۳].

واحد ضرب کننده به صورت گسترده درمعماری‌های پردازش سیگنال دیجیتال، میکروپرسسور ها، ریزپرداز نده ها FPGA[۱] و سیستم‌هایی که شامل: فیلترینگ، رمزنگاری و پردازش تصویرکاربرد دارد [۱، ۴]. انواع مختلف روش‌های محاسباتی کامپیوتری برای اجرای ضرب دیجیتال مورد استفاده قرار می‌گیرند[۵].

عملیات ضرب در اصل از حاصل جمع ضرب‌های جزئی بدست می‌آید در نتیجه مشکل انتشار رقم نقلی که در جمع وجود دارد به ضرب کننده نیز سرایت می‌نماید. ضرب کننده‌ها قابلیت پیاده سازی به صورت سری و موازی را دارند، که پیاده سازی هر کدام، تفاوت بسیار زیادی در مشخصات مدار نسبت به سایر پیاده سازی‌ها ایجاد می‌کند. در ضرب کننده سری که چالش طراحی آنها، تعداد ورودی ها وخروجی‌ها، توان مصرفی و فضای مصرفی پایین است، در حالیکه در این مدارها سرعت از اهمیت کمتری برخوردار است. در ضرب کننده موازی سرعت اهمیت بسیاری دارد. مزیت سرعت بالا، در کنار مسایلی همانند مصرف توان، مساحت مصرفی بالا و پایانه‌های ورودی و خروجی زیاد است[۶-۹].

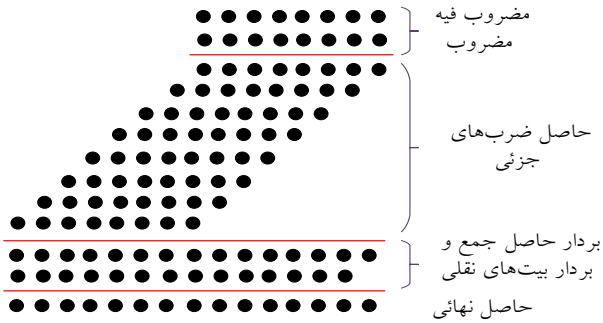
ساختار تمامی ضرب کننده‌های موازی به سه قسمت زیر تقسیم بندی می‌شوند:

۱- تولید حاصل ضرب‌های جزئی
۲- کاهش حاصل ضرب‌های جزئی
۳- جمع نهایی

در مرحله اول برای تولید حاصل‌ضرب‌های جزئی مضروب و مضروب فیه، بیت به بیت ضرب می‌شوند. در مرحله دوم به روش‌های گوناگون سعی در کاهش حاصل‌ضرب‌های جزئی است. برای کاهش از واحدی به نام کمپرسور[۲] استفاده می‌شود[۳، ۹-۱۱]. در این مرحله با استفاده از جمع کننده نتیجه نهایی بدست می‌آید.

این سه مرحله می‌توانند با ساختارهایی همانند گیت AND یا الگوریتم بوث[۳] جهت تولید حاصل ضرب جزئی پیاده سازی شود. جمع رقم آزاد عموماً با درخت والاس[۴] یا جمع کننده باینری پیاده‌سازی می‌شود [۱۲] [۶]، در شکل۱ ساختار ضرب کننده موازی و مراحل انجام ضرب نشان داده شده است.

عموماً در الگوریتم ها بین سرعت، پیچیدگی مدار، سطح و توان مصرفی بایدمصالحه شود.



شکل۱: مراحل انجام عمل ضرب موازی

در برخی از کاربردها نیاز به استفاده از محاسبات دقیق نیست، در این مقاله هدف طراحی یک ضرب کننده تقریبی با استفاده از بلوکهای کمپروسور تقریبی است. در روش محاسبات تقریبی چندین خطا وجود دارد که نقش بسیار مهمی را جهت محاسبه خروجی نهایی ایفا می‌کنند [۳، ۷]، که عبارتند از: مقدار نرخ خطا ER[۵]، فاصله خطا ED[۶] و فاصله خطا نرمالیزه شده. نرخ خطا به صورت تعداد خطاها در خروجی تقسیم بر کل تعداد خروجی‌ها مشخص می شود. فاصله خطا، به فاصله جبری بین خروجی خطا و مقدار صحیح آن گفته می‌شود. فاصله خطا نرمالیزه شده، به میانگین نسبت فاصله خطا تقسیم بر تمامی ورودی‌های مدار اطلاق می‌شود.

کمپروسور می‌تواند تعداد زیادی از ورودی‌ها را نسبت به جمع کننده‌های کامل و نیمه جمع کننده‌ها، مدیریت کند، کمپروسورهای تقریبی مختلفی در طراحی ضرب کننده‌ها ارائه شده است[۳-۹-۱۰] . کمپرسور۴:۲ به صورت گسترده توسط محققان مختلفی که چهار ضرب جزئی را به دو ضرب جزئی کاهش داده‌اند، استفاده می‌شود[۹] [۳]. تمامی ضرب‌های جزئی توسط یک درخت والاس جمع می‌شوند.

دراین مقاله با استفاده از اعمال خطاهای همپوشان نرخ خطا و پیچیدگی مدارهای موردنیاز کاهش یافته است در این تکنیک با اعمال خطا در یک خروجی از مقدار نهایی فاصله مثبت یا منفی می‌توان گرفت لذا با اعمال خطاهای مثبت و منفی بصورت همزمان میزان خطا کم می‌شود ازطرفی با اعمال خطاهای همپوشان مدار نهایی برای پیاده سازی نیز ساده تر می شود با این شرایط، این تکنیک نیز دارای مزایا و معایب خاص خودش می‌باشد اما از دیدگاه دقت، تمامی روش‌ها دارای فاصله خطا نرمالیزه شده زیاد و نرخ عبور اندک می‌باشند. عملکرد ضرب کننده تخمینی تنها توسط معیارهای مداری مورد بررسی قرار نمی‌گیرد. این مورد همچنین مبتنی بر تلرانس خطا نیز می‌باشد. داشتن خطا کمتر و عملکرد مداری بهتر همواره چالش برانگیز بوده و هست.

آنچه در این مقاله گزارش شده بدین ترتیب است که در بخش ۲ روند طراحی ضرب کننده تقریبی قرارداده شده است، دراین بخش

www.SID.ir

Archive of SID

ضمن توضیح اولیه درباره چگونگی پیاده سازی یک ضرب کننده پایه ساختار کمپروسورهای تقریبی پیشنهادی و روابط حاکم بر آنها و چگونگی طراحی آنها توضیح داده شده است و در ادامه ساختار ضرب کننده نهایی با استفاده از شکل‌ها و تصاویر مرحله‌ای توضیح داده شده است. در بخش ۳ نتایج شبیه سازی کمپروسورهای تقریبی پیشنهادی به همراه ضرب کننده تقریبی ۱۶ بیتی و مقایسه نتایج در قالب نمودارها و جدول‌ها شرح داده شده است.

۲- طراحی ضرب کننده تقریبی

۲-۱- الگوریتم پایه ضرب

ضرب در نگاهی ساده به روش دستی یک سلسله جمع به همراه جابجایی می‌باشد که درشکل ۲ نشان داده شده است.

		X2	X1	X0
		Y2	Y1	Y0
		X2*Y0	X1*Y0	X0*Y0
	X2*Y1	X1*Y1	X0*Y1	
X2*Y2	X1*Y2	X0*Y2		
P4	P3	P2	P1	P0

شکل ۲: شماتیک ضرب دو عدد۳ بیتی

توپولوژی های معمول ضرب عبارتند از روش هایی که به طور معمول در طراحی های عمومی مورد استفاده قرار می‌گیرد این نوع طراحی‌ها شامل یک سری بهینه‌سازی طراحی که باعث سهولت در طراحی می‌گردد. در تمامی ضرب‌کننده‌ها، نظم و شکل مناسب ضرب کننده بسیار مورد توجه می‌باشد. هر ضرب کننده‌ی در ابتدا شامل بخشی به نام مرحله تولید حاصل ضرب‌های جزئی می‌باشد که جدا از نوع و تکنولوژی ساخت پردازنده شامل یک دروازه AND می‌باشد. پس از آن هر ضرب کننده با استفاده از روشی، سعی در کاهش این حاصل‌ضرب‌های جزئی دارد و در آخر نیز یک جمع کننده وجود دارد تا حاصل نهایی به‌دست آید.

کمپر سور واحدی ا ست که برای بهبود عمل ضرب کمک می‌کند. این واحدها در کاهش درخت ضرب و جمع حاصل ضربهای جزئی نقش اساسی دارند. برای ساخت کمپر سورهای بزرگتر و پرظرفیت‌تر می‌توان از کمپر سورهای کوچکتر یا همان کمپر سور پایه مانند کمپر سور(۳:۲) به عنوان بلوک اولیه سازنده آن استفاده کرد.

۲-۲- کمپروسورهای پیشنهادی

۲-۲-۱- کمپرسور۵:۳ تقریبی دقیق

این کمپرسور دارای پنج ورودی اولیه (X_0,X_1,X_2,X_3,X_4) و سه خروجی (O_0,O_1,O_2) است. O'_2 خروجی تخمینی بوده و O_2, O_1, O_0 خروجی دقیقِ کمپرسور۵:۳ است. روابط حاکم بر کمپرسور۵:۳ دقیق اول در روابط ۱ تا ۳ نشان داده شده است. در تمام روابط O_i خروجی دقیق،O'_i خروجی تقریبی و X_i ورودی کمپروسورها است.

رابطه منطقی O_0 دقیق برابر با:

$$O_0= X0\oplus X1\oplus X2\oplus X3\oplus X4 \quad (۱)$$

رابطه منطقی O_1 دقیق برابر با :

$$O_1 = \{(X_0.(X_0 \odot X_1) + (X_2.(X_0 \oplus X_1))\} \oplus \{X_3.\overline{(X_0 \oplus X_1 \oplus X_2 \oplus X_3)}) + X_4.(X_0 \oplus X_1 \oplus X_2 \oplus X_3 \oplus X_4)\} \quad (۲)$$

و رابطه منطقی O_2 دقیق برابر است با:

$$O_2 = \{(X_0.(X_0 \odot X_1) + (X_2.(X_0 \oplus X_1))\}.\{X_3.\overline{(X_0 \oplus X_1 \oplus X_2 \oplus X_3)}) + X_4.(X_0 \oplus X_1 \oplus X_2 \oplus X_3)\} \quad (۳)$$

جدول۱ :رابطه بین خروجی واقعی (O2, O1)

X[4:0]	حاصل جمع	O2	O1	O0	X[4:0]	حاصل جمع	O2	O1	O0
0	0	0	0	0	16	1	0	0	**1**
1	1	0	0	1	17	2	0	1	**0**
2	1	0	0	1	18	2	0	1	**0**
3	2	0	1	0	19	3	0	1	**1**
4	1	0	0	1	20	2	0	1	**0**
5	2	0	1	0	21	3	0	1	**1**
6	2	0	1	0	22	3	0	1	**1**
7	3	0	1	1	23	4	1	0	**0**
8	1	0	0	1	24	2	0	1	**0**
9	2	0	1	0	25	3	0	1	**1**
10	2	0	1	0	26	3	0	1	**1**
11	3	0	1	1	27	5	1	0	**1**
12	3	0	1	0	28	3	0	1	**1**
13	3	0	1	1	29	5	1	0	**1**
14	3	0	1	1	30	5	1	0	**1**
15	4	1	0	0	31	5	1	0	**1**

اگر O_1 که رابطه پیچیده تری دارد را بصورت تقریبی محاسبه کنیم با توجه به ساده سازی آن با جدول کارنو می توان روابط ساده تری هم برای O_2 تقریبی و هم برای O_1 تقریبی بدست آورد. همانطوریکه در شکل ۳ مشاهده می‌شود در هر خانه ای که علامت ضرب گذاشته شده است خطا رخ داده است و مقدار آن خانه اگر یک باشد صفر درنظر گرفته می شود و اگر صفر باشد یک درنظر گرفته می شود. در این روش خطاهایی که در خروجی O_2 وجود دارد در خروجی O_1 نیز اعمال شده با این شرایط با استفاده از رابطه ۴ خروجی تقریبی برای O_1 را می‌توان نوشت.

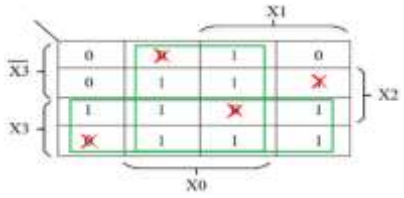
$$O'_1= \overline{X4}X3+X4\overline{X3}+\overline{X4}X3+\overline{X4}X0 \quad (۴)$$

اگر رابطه فوق را دو بار مکمل کنیم از نظر منطقی تغییر ایجاد نمی شود ولی می‌توان بجای استفاده از گیت های OR از گیت‌های منطق NAND ا ستفاده کرد که در این صورت در پیاده سازی سطح ترانزیستور با ترانزیستور کمتری می توان خروجی را بدست آورد، با این توضیحات رابطه O'_1 بصورت زیر است:

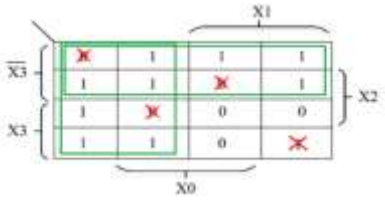
www.SID.ir

Archive of SID

$$O'_1 = \overline{X_4 \oplus X_3}.\overline{(X_4X_1)}.\overline{(X_4X_0)} \quad (۵)$$



(الف)



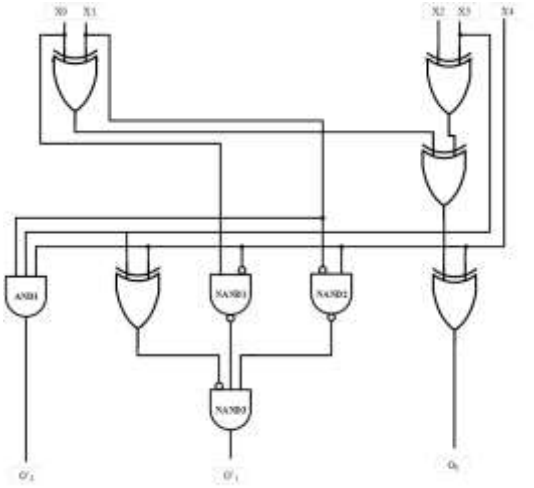
(ب)

شکل ۳: جدول کارنو کمپرسور۵:۳ تقریبی پیشنهادی برای خروجی $O'1$ الف: $X4$ و $\overline{X4}$:ب

با توجه به جدول ۲ رابطه منطقی برای O'_2 خروجی تقریبی برابر با:

$$O'_2 = X_4.X_3.X_1 \quad (۶)$$

۸ حالت متفاوت خروجی کمپرسور پیشنهادی و فاصله خطا در جدول۲ نشان داده شده است،



شکل ۴ :مدار منطقی کمپرسور۵ به۳ تقریبی پیشنهادی

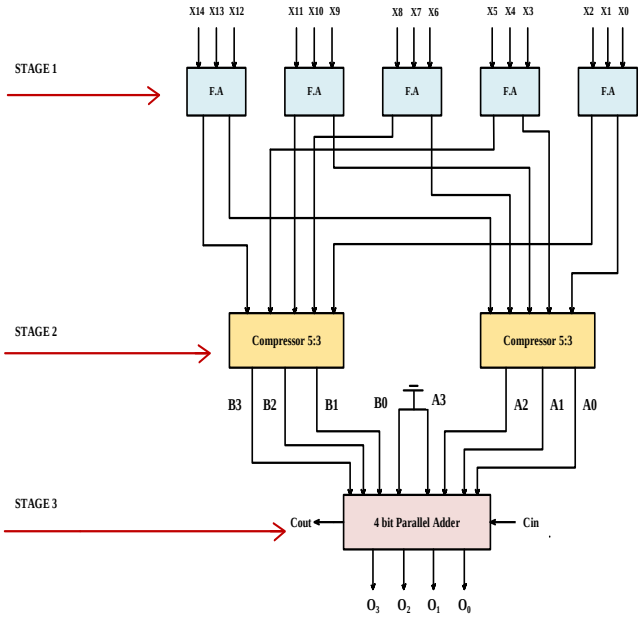
همانطور که در شکل ۴ مشخص است، برای پیاده سازی از گیت‌های XOR و NAND استفاده شده، در این طراحی، مسیر اصلی بین ورودی X_0 و خروجی O_0 است و چهار گیت XOR در این مسیر اصلی درگیر شده است. در جدول ۲ تمامی حالت‌های خروجی بررسی شده و می‌توان اشاره کرد که خروجی کمپرسور تنها در ۸ حالت متفاوت است و فاصله خطا در تمامی حالت‌های خطا برابر۲ یا ۲- است، کل نرخ عبور این طراحی برابر۷۵ درصد است.

جدول ۲ :خروجی واقعی (O_0،O_2،O_1وO_3) و تخمین زده شده (O'_1 و O'_2)

فاصله خطا	O_0	O_1	O'_1	O_2	O'_2	X[2:0]	فاصله خطا	O_0	O_1	O'_1	O_2	O'_2	X[2:0]
+2	1	0	1	0	0	16	0	0	0	1	0	0	0
0	0	1	1	0	0	17	+2	1	0	1	0	0	1
0	0	1	1	0	0	18	0	0	0	0	0	0	2
0	1	1	1	0	0	19	0	0	0	1	0	0	3
0	0	1	1	0	0	20	0	1	0	0	0	0	4
0	1	1	1	0	0	21	0	0	0	1	0	0	5
0	1	1	1	0	0	22	-2	0	1	0	0	0	6
-2	0	0	1	1	0	23	0	1	1	0	0	0	7
0	1	0	1	1	0	24	+2	0	1	0	0	0	8
0	1	1	1	0	0	25	0	0	1	0	0	0	9
+2	1	1	0	0	1	26	0	0	1	0	0	1	10
0	0	1	1	1	0	27	0	1	1	0	0	0	11
0	1	1	1	0	0	28	0	0	1	0	0	0	12
-2	1	0	1	1	0	29	0	1	1	0	0	0	13
0	1	0	1	1	1	30	0	1	1	0	0	0	14
0	1	1	0	0	1	31	-2	0	0	1	1	0	15

۲-۲-۲- طراحی کمپرسور تقریبی۱۵:۴ با استفاده از کمپرسور۵:۳ پیشنهادی

این بخش، طراحی کمپرسور تقریبی۱۵:۴ را با استفاده از کمپرسور۵:۳ تقریبی را بیان می‌کند. کمپرسور تقریبی ۱۵:۴ مطابق شکل ۵ پیشنهاد شده است. این کمپر سور دارای ۱۵ ورودی بوده و چهار خروجی تولید می‌کند.



شکل۵ کمپرسور تقریبی ۱۵:۴ با بهره‌گیری از کمپرسور تقریبی ۵:۳ پیشنهادی

همانطور که در شکل۵ مشخص است، در طراحی این کمپرسور از پنج تمام جمع کننده استفاده شده است و تعداد ورودی‌های جانبی

www.SID.ir

Archive of SID

نیز برابر ۱ است، این کمپرسور شامل بخشهای می‌باشد، در بخش اول از پنج عدد کمپرسور۳:۲ استفاده شده است که ۱۵ ورودی می‌گیرد. هر کمپرسور۳:۲ سه ورودی اولیه را دریافت کرده و مجموع و رقم نقلی را تولید می‌کند. بخش دوم، از دو عدد کمپرسور۵:۳ پیشنهادی استفاده شده است، مجموع در تمامی کمپرسورهای۳:۲ مرحله اول به کمپرسور۵:۳ داده می‌شود و به طور مشابه، رقم نقلی در جمع کننده کامل به دیگر کمپرسور۵:۳ داده می‌شود و در بخش سوم، از جمع کننده موازی چهار بیت در سطح نهایی در این کمپرسور استفاده شده است، و تعداد ورودی جانبی در این سطح برابر ۱ است.

۲-۳ الگوریتم ضرب کننده ۱۶ بیتی پیشنهادی

در این مقاله، الگوریتمی برای ساخت یک ضرب کننده ۱۶ بیتی تقریبی ارائه شده است. این الگوریتم با اقتباس از درخت والاس و با استفاده از کمپرسورهای مرتبه بالا و کاهش حاصل‌ضرب‌های جزئی پیاده سازی شده است. علاوه بر این از نیم جمع‌کننده و تمام جمع‌کننده در ستون‌های کناری و در ستون‌های میانی و مراحل آخر ضرب کننده برای کاهش حاصل‌ضرب‌های جزئی نیز استفاده شده است.

الگوریتم استفاده شده در این ضرب کننده تقریبی بدین شرح است:

۱- با شروع از ستون‌های کناری و حرکت به سمت چپ هر تعداد کمپرسور۴:۲ که امکان پذیر است درج می‌شود.

۲- سپس با حرکت از سمت راست به چپ در جاییکه نشود از کمپرسور۴:۲ استفاده کرد از کمپرسور۱۵:۴ استفاده می‌شود.

۳- اگر چند حا صل ضرب جزئی باقی بماند مجدد از کمپر سور۴:۲ برای کاهش حاصل‌ضرب‌های جزئی استفاده می‌شود.

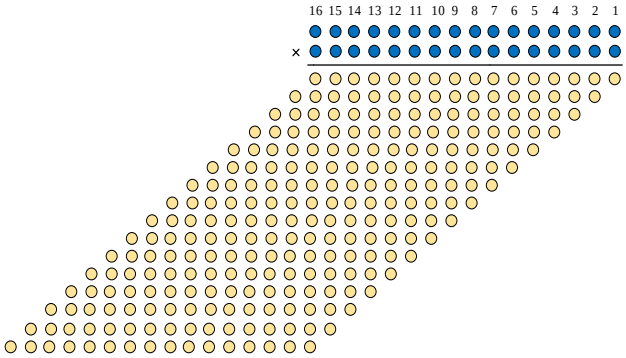
۴- اگر دو یا سه حاصل‌ضرب جزئی در هر ستون باقی بماند از نیم جمع کننده و تمام جمع کننده استفاده می‌شود.

۵- اگر تنها یک حا صل ضرب جزئی باقی بماند م ستقیما به مرحله بعدی منتقل می‌شود.

ضرب کننده ارائه شده با استفاده از این الگوریتم، در شکل ۶ نشان داده شده است. در این بخش یک دو ورودی ۱۶ در ۱۶ بیتی ضرب می‌شوند، مطابق آنچه در شکل ۶ مشاهده می‌شود، همین‌طور که مشخص شده طبق این نمایش فقط به جای اعداد از دایره استفاده شده است.

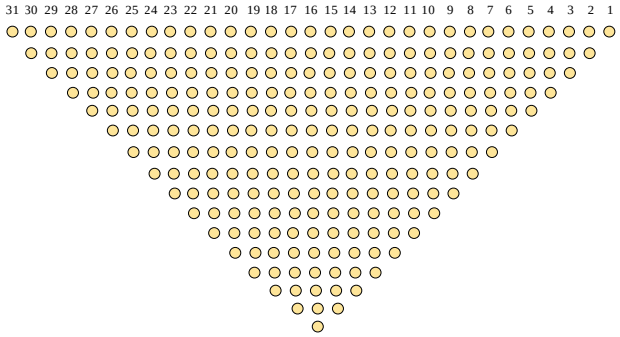
حال با ا ستفاده از شکل ۷ به راحتی می‌توان کمپر سورهایی که در این طراحی استفاده شده است را نمایش داد. در شکل ۸ بلوکهای مستطیلی بیانگر استفاده از کمپرسور تقریبی ۱۵:۴ و۴:۲ و۳:۲ در ضرب کننده است.

کمپرسور۱۵:۴ در سطر سیزدهم ضرب کننده استفاده شده است. سطر شماره ۱۳ در ضرب کننده دارای ۱۳ ضرب جزئی است. دو صفر در آن ستون جهت استفاده از کمپرسور۱۵:۴ استفاده شده است.

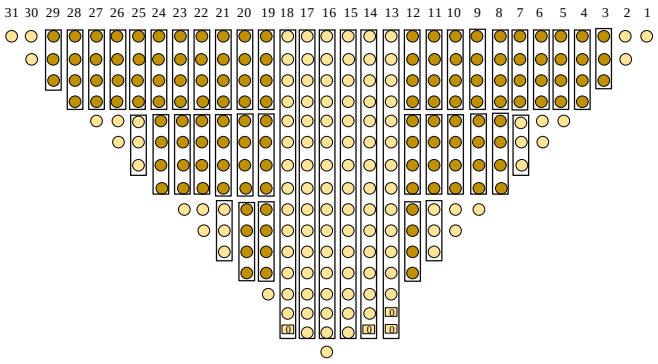


شکل ۶: مرحله اول ضرب دو عدد ۱۶ بیتی

در شکل ۶ برای نمایش بهتر، آن را به کمک شیفت به سمت بالا به شکلی در آورده‌ایم که نمایش بهتری داشته باشد. شکل ۷ همان شکل۶ است که فقط شیفت به سمت بالا داده شده و تاثیری در نتیجه کار نمی‌گذارد.



شکل ۷: شماتیک ضرب دو عدد ۱۶بیتی که شیفت عمودی به سمت بالا داده شده است



شکل: ۸ نمایش کمپرسورهای۱۵:۴و۴:۲و۳:۲ در ضرب دو عدد ۱۶ بیتی

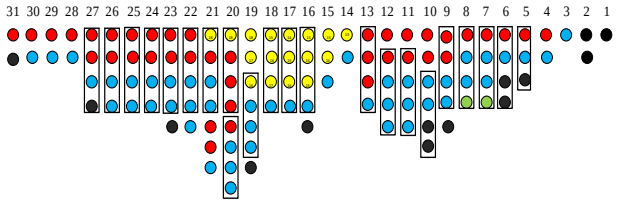
به طور مشابه، یک صفر در ستون ۱۴ام اضافه شده است. همراه با کمپرسور۴-۱۵ ای در ضرب کننده، دیگر کمپرسورهای دقیق مانند۴:۲، نیم جمع کننده و تمام جمع کننده برای کاهش ضرب جزئی ا ستفاده شده ا ست. برای درک بهتر ساختار ضرب از رنگ بندی ا ستفاده شده ا ست. رنگ بندی ها منطبق بر شکل‌های ۴ الی۸ ه ستند که در آن‌ها خروجی با ارزش2^n با ر نگ آبی، خروجی با ارزش2^{n+1} با ر نگ قرمز، خروجی با ارزش2^{n+2} و2^{n+3} و2^{n+4} که خروجی‌های کمپر سور۱۵:۴ ا ست با رنگ زرد نشان داده شده است، و رنگ مشکی بیانگر حاصل‌ضرب‌هایی

www.SID.ir

Archive of SID

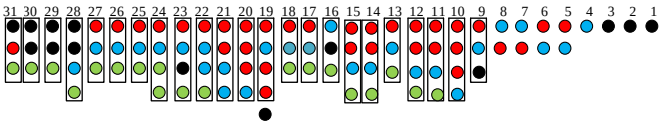
هستند که مستقیم از مرحله قبل انتقال داده شده‌اند و رنگ سبز نیز بیانگر نتیجه حاصل ازکمپرسور مرحله قبل است که به عنوان ورودی کمپرسور مرحله مورد نظر استفاده می‌شود.

با بکار گیری کمپرسورهای۱۵:۴ و۴:۲ و۳:۲ شکل ۹ حاصل می‌شود.



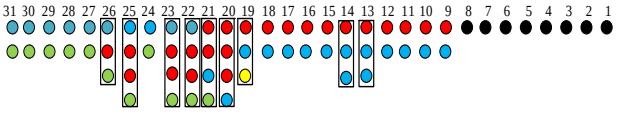
شکل ۹: نتیجه استفاده از کمپرسورهای ۱۵:۴ و ۵:۳

این عمل استفاده از کمپرسور را تا جایی ادامه می‌دهیم که در ردیف آخر به یک یا دو دایره (عدد) برسیم، به طور کلی اولویت قرار گیری به ترتیب با کمپرسور۴:۲ به دلیل کارایی بالاتر است. حالا با توجه به شکل ۹ مرحله دیگری نیاز است که در شکل۱۰ به تصور کشیده شده است.



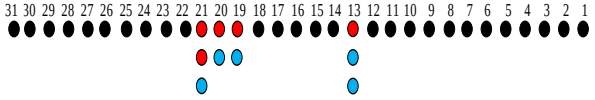
شکل ۱۰: استفاده مجدد از کمپرسور۴:۲و۳:۲ برای کاهش مرحله قبل

با توجه به شکل ۱۰ حاصل جمع ضرب‌های جزئی در شکل ۱۱ نشان داده شده است.



شکل ۱۱: نتیجه حاصل از مرحله سوم

با توجه به شکل۱۱ حاصل جمع ضرب‌های جزئی در شکل۱۲ نشان داده شده است.



شکل۱۲: نتیجه حاصل از مرحله چهارم

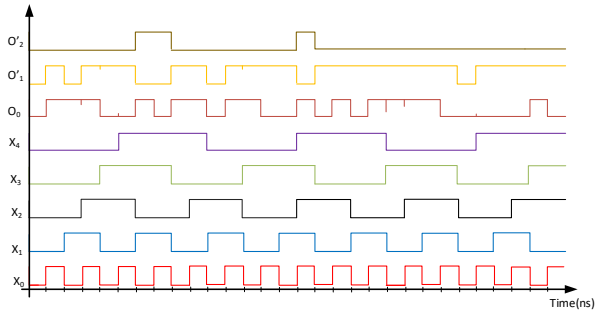
با توجه به شکل۱۲ حاصل جمع ضرب‌های جزئی در شکل۱۳ نشان داده شده است.

شکل ۱۳: نتیجه نهایی ضرب دو عدد۱۶ بیتی

چون سطر به یکی رسیده است جواب به‌دست آمده و دیگر نیازی به ادامه دادن ندارد. همانطور که دیده شد پنج مرحله انجام شد تا به جواب نهایی رسید.

۳- نتایج شبیه سازی

همه سیستم‌های طراحی شده در این مقاله اعم از گیت‌های منطقی و کمپروسورها و ضرب کننده با استفاده از تکنولوژی ۱۸۰ نانو متر CMOS با استفاده از نرم افزار CADENCE در سطح ترانزیستور پیاده‌سازی و شبیه‌سازی شده است. کمپرسور۵:۳ نیز دارای پنج ورودی(X_0، X_1، X_2، X_3، X_4) و سه خروجی(O_0، O'_1، O'_2) است این ساختار با ولتاژ تغذیه ۱/۸ ولت شبیه سازی شده و همچنین در کمپرسور۵:۳ و ۱۵:۴ از خازن‌هایی با مقدار ۲۰۰f به عنوان بار استفاده شده است. نمودار شکل موج حاصل از کمپرسور۵:۳ پیشنهادی (O_0، O'_1، O'_2) در شکل ۱۴ نشان داده شده است.



شکل ۱۴: ورودی و شکل موج حاصل از کمپرسور۵ به۳ تقریبی پیشنهادی

خروجی کمپرسور تنها در ۸ حالت ورودی متفاوت است و فاصله خطا برای داشتن ۸ حالت خطا، برابر۲ یا ۲- است. با توجه به شبیه سازی انجام شده و آنالیز آن، توان و تاخیر در این کمپرسور۰/۹۳۳ میکرو وات و۰/۷۱ نانوثانیه وفاصله خطا نیز۲± به دست آمده است.

کمپرسور ۱۵:۴ دارای پانزده ورودی (X_0، X_1، X_2، ....X_{14}) و چهار خروجی (O_0، O_1، O_2، O_3) است. ما در این طراحی از پنج تمام جمع کننده و دو کمپرسور۵:۳ تقریبی پیشنهادی و جمع کننده موازی استفاده کرده‌ایم. هر جمع کننده کامل سه ورودی اولیه را دریافت می‌کند و حاصلجمع و رقم نقلی را تولید می‌کند. مجموع در تمامی جمع کننده‌های کامل به کمپرسور۵:۳ داده می شود و به طور مشابه، رقم نقلی در جمع کننده کامل به دیگر کمپرسور۵:۳ داده می‌شود و خروجی کمپرسورها به جمع کننده موازی داده می‌شود و در نهایت خروجی‌ها به دست می‌آید. شبیه سازی با فرکانس ۱ گیگاهرتز انجام گرفته است، با توجه به شبیه سازی و آنالیز انجام شده توان و تاخیر در این کمپرسور ۴/۷۵ میکرو وات و ۱/۱۲ نانوثانیه به‌دست آمده است. در این بخش نتایج کمپرسورهای ۵:۳ مورد بررسی قرار گرفته است، جدول ۳ نرخ عبور و معیارهای مداری یک کمپرسور۵:۳ را نشان می‌دهد.

جدول۳ : نتایج شبیه سازی کمپرسورهای ۵:۳

نرخ گذر	عدد شایستگی	درصد خطا	PDP	زمان تاخیر(ns)	توان مصرفی (μW)	کمپروسور ۵:۳
%۱۰۰	صفر	صفر	۱/۱۰	۰/۹۴	۱/۱۷	دقیق
%۸۱/۲۵	۱۹/۱۳	۱۸/۷۵	۱/۰۲	۱/۰۱	۱/۰۱	[۱۳]
%۷۵	۱۷/۷۵	۲۵	۰/۷۱	۰/۷۶	۰/۹۳۵	طرح پیشنهادی

همانطور که انتظار داشتیم، کمپروسور۵:۳ دقیق دارای تاخیر زیادی بوده و توان بیشتری را نسبت به دیگر طراحی‌ها مصرف می کند. طراحی کمپرسور۵:۳ مرجع [۱۳]، ۱۳/۴درصد کمتر از مشابه دقیق .

www.SID.ir

Archive of SID

آن توان مصرف می‌کند و ۶/۹ درصد تاخیر بیشتری نسبت به مدل طراحی دقیق دارد، زیرا این طراحی دارای دوازده های منطقی بسیار بیشتر و طول مسیر مداری طولانی تری نسبت به مدل دقیق دارد. در طراحی پیشنهادی، که دو خروجی کمپرسور را تخمین زده‌ایم، ۲۱ درصد توان و ۱۹ درصد سرعت نسبت به طراحی دقیق بهبود یافته ا ست. بعلاوه، شاخص PDP[7] ۳۵ در صد بهتر شده ا ست، ضمناً تعداد دروازه های منطقی در مسیر اصلی کمتر از طراحی دقیق است. همچنین در جدول ۴ نتایج شبیه سازی کمپرو سور ۱۵:۴ ن شان داده شده ا ست، نتایج ن شان می‌دهد کمپرو سور پی شنهادی ن سبت به طرح دقیق از نظر توان مصرفی ۲۰ درصد بهتر شده و از نظر سرعت ۳۰ درصد افزایش داشته است ضمناً نسبت به طرح مرجع ۱۳، ۵ درصد از نظر سرعت ۳۰ درصد افزایش سرعت داشته است، سایر نتایج در جدول ۴ نشان داده شده است.

جدول ۴ : نتایج شبیه سازی کمپرسورهای ۱۵:۴ پیشنهادی به همراه سایر ساختارها

عدد شایستگی $W.S.\%/10^{-15}$	درصد خطای ٪	PDP (μW) (ns)	زمان تاخیر (ns)	توان مصرفی (μW)	کمپروسور ۱۵:۴
صفر	صفر	۷/۷۱	۱/۴۶	۵/۲۸	دقیق
۲/۸۲	۳۵/۴	۷/۹۷	۱/۶۰	۴/۹۸	[۱۳]
۲/۲۱	۴۱/۵۷	۵/۳۲	۱/۱۲	۴/۷۵	طرح پیشنهادی

جدول ۵ عملکرد ضرب کننده تقریبی ۱۶×۱۶ بیتی پی شنهادی را نشان می دهد. مصرف توان ضرب کننده در طراحی مرجع [۱۳] حدوداً ۵ درصد بهتر از طراحی دقیق است و تاخیر این طراحی بیشتراز طراحی دقیق ا ست. در طرح ضرب کننده پیشنهادی توان مصرفی ۲۵ درصد نسبت به طراحی دقیق کاهش یافته و سرعت این کمپرسور نسبت به طراحی دقیق حدود ۵/۸ درصد افزایش یافته است نهایتاً شاخص PDP، ۲۹ درصد بهتر شده ضمنا نسبت به مرجع ۱۳ شاخص PDP ۵ درصد بهتر شده است. با توجه به شبیه سازی انجام شده نتایج به دست آمده از شبیه سازی ضرب کننده پیشنهادی و سایر ساختارها در جدول۵ نشان داده شده است.

جدول ۵ : نتایج ضرب کننده های مختلف به همراه ضرب کننده پیشنهادی۱۶×۱۶ بیتی

PDP $(10^{-15}$ J)	تأخیر (ns)	توان مصرفی(μW)	تکنولوژی μm	مراجع
۳۳۰۰	۴/۳۶	۷۵۷	۱۸۰	ضرب کننده دقیق
۲۴۵۰	۴/۲۹	۵۷۱	۱۸۰	[۱۳]
۲۳۵۷	۴/۱۵	۵۶۸	۱۸۰	ضرب کننده پیشنهادی

۴- نتیجه‌گیری

در این مقاله، ساختار یک ضرب کننده تقریبی ۱۶ بیتی با بهینه سازی بر روی کمپرو سورهای آن ارائه شد. نتایج به د ست آمده برای طرح پیشنهادی کمپرسور تقریبی۵:۳ پیشنهادی به این صورت است که این طرح ۲۰ درصد توان و ۳۰ درصد سرعت بهتری نسبت به طراحی دقیق دارد. در این طراحی، دو خروجی کمپرسور را تخمین زده‌ایم وفاصله خطا در تمامی حالت‌های خطا برابر ۲ یا ۲- است، کل نرخ عبور این طراحی برابر ۷۵ در صد ا ست. بعلاوه، تعداد گیت‌های منطقی در مسیر اصلی کمتر از طراحی دقیق است. این ویژگی منجر به مصرف توان کمتر و سرعت بالاتری نسبت به طرح های قبلی، شد. همچنین نتایج به‌دست آمده برای کمپرسور۱۵:۴پیشنهادی نیز به این صورت است که این طرح بهترین نتایج را از لحاظ مصرف انرژی و سرعت فراهم می‌کند. در این طرح،

با استفاده از طرح‌های پیشنهادی کمپروسورها، الگوریتمی برای ساخت یک ضرب کننده ۱۶ بیتی ارائه شده است. این الگوریتم با اقتباس از درخت والاس و با استفاده از کمپرسورهای مرتبه بالا به کاهش حا صل ضرب‌های جزئی می‌پردازد. کل توان به‌د ست آمده برای ضرب کننده ۱۶×۱۶ بیت ۵۶۸ میکرو وات به دست آمد.

- .

مراجع

[1] Parhi, K.K., VLSI digital signal processing systems: design and implementation. 2007: John Wiley & Sons.

[2] Flores, I., The logic of computer arithmetic. 1963.

[3] Momeni, A., et al., Design and analysis of approximate compressors for multiplication. IEEE Transactions on Computers, 2014. **64**(4): p. 984-994.

[4] Kaur, J., N.K. Gahlan, and P. Shukla, Delay Power Performance Comparison of Array Multiplier in VLSI Design. International Journal of Advanced Research in Computer Science and Electronics Engineering, 2012. **1**(3): p. 41-44.

[5] Liu, D., Embedded DSP processor design: Application specific instruction set processors. 2008: Elsevier.

[6] Abed, S.e., et al., Low power Wallace multiplier design based on wide counters. International Journal of Circuit Theory and Applications, 2012. **40**(11): p. 1175-1185.

[7] Chandravathi, B. and D. Nagaraju, High speed and Area Efficient Rounding Based Approximate Multiplier for Digital Signal Processing. 2018.

[8] Faraji, H. and M. Mosleh, A fast wallace-based parallel multiplier in quantum-dot cellular automata. International Journal of Nano Dimension, 2018. **9**(1): p. 68-78.

[9] Pishvaie, A., G. Jaberipur, and A. Jahanian, Improved CMOS (4; 2) compressor designs for parallel multipliers. Computers & Electrical Engineering, 201 :(۶)۳۸ .۲p. 1703-1716.

[10] Kwon, O., K. Nowka, and E.E. Swartzlander, A 16-bit by 16-bit MAC design using fast 5: 3 compressor cells. Journal of VLSI signal processing systems for signal, image and video technology, 2002. **31**(2): p. 77-89.

[11] Mehrabi, S ،.et al., Design, analysis, and implementation of partial product reduction phase by using wide m: 3 (4≤ m≤ 10) compressors. International Journal of High Performance Systems Architecture, 2013. **4**(4): p. 231-241.

[12] Maunika, N.V. and M.V. Devi, A dwindled power and delay of Wallace tree multiplier. International Journal of Engineering and Innovative Technology (IJEIT), 2012. **2**(4.)

[13] Marimuthu, R., Y.E. Rezinold, and P.S. Mallick, Design and analysis of multiplier using approximate 15-4 compressor. IEEE Access, 2016. **5**: p. 1027-1036.

www.SID.ir

Archive of SID

زیرنویس‌ها

[1] Field Programmable Gate Array
[2] Compressor
[3] Booth
[4] Wallace
[5] Error Rate
[6] Error distance
[7] Power –Delay-Product

www.SID.ir