Archive of SID

بدست آوردن رابطه‌ی ولتاژ آستانه در ماسفت‌های سیلیکون روی الماس با طول کانال ۲۲ نانومتر و یک لایه عایق اضافی

زهرا سپهری[۱] آرش دقیقی[۲]

۱- دانشجوی دکتری-دانشکده مهندسی برق و کامپیوتر-دانشگاه صنعتی اصفهان-اصفهان-ایران
za.sepehri@gmail.com

۲- دانشیار- دانشکده فنی و مهندسی- دانشگاه شهرکرد- شهرکرد– ایران
daghighi-a@eng.sku.ac.ir

چکیده: در این مقاله برای اولین بار رابطه‌ی تحلیلی ولتاژ آستانه در یک ترانزیستور ماسفت سیلیکون روی الماس با یک لایه عایق اضافی و طول کانال کوتاه ارائه گردیده است؛ در این ساختار لایه‌ی عایق اول الماس است که بر روی زیرلایه‌ی سیلیکونی قرار دارد و لایه‌ی عایق دوم دی‌اکسیدسیلیکون می‌باشد که بر روی الماس قرار گرفته و از دو طرف به سورس و درین محدود شده‌است. رابطه‌ی تحلیلی برای محاسبه‌ی ولتاژ آستانه با محاسبه‌ی خازن‌های موجود در عایق مدفون استفاده شده‌است. نتایج بدست‌آمده از روابط تحلیلی و شبیه‌سازی افزاره برای ولتاژ آستانه در ترانزیستورهای سیلیکون روی الماس دولایه، سیلیکون روی عایق و سیلیکون روی الماس با ابعاد و طول کانال مشابه، مقایسه شده‌است. همچنین تاثیر ابعاد افزاره نظیر ضخامت اکسید گیت، ضخامت بدنه‌ی سیلیکونی، ضخامت عایق دوم و طول این عایق را بر روی ولتاژ آستانه‌ی افزاره‌ی سیلیکون روی الماس با عایق دولایه بررسی کرده‌ایم و نتایج حاصل از روابط تحلیلی را با نتایج بدست‌آمده از شبیه‌سازی افزاره مقایسه نمودیم و به تطبیق مناسبی بین نتایج حاصل دست‌یافته‌ایم.

کلمات کلیدی: سیلیکون روی الماس، سیلیکون روی عایق، ولتاژ آستانه، توزیع پتانسیل.

تاریخ ارسال مقاله : ۱۳۹۵/۰۲/۱۵

تاریخ پذیرش مشروط مقاله: ۱۳۹۶/۰۹/۱۲

تاریخ پذیرش مقاله : ۱۳۹۶/۱۱/۱۲

نام نویسنده‌ی مسئول : آرش دقیقی

نشانی نویسنده‌ی مسئول : ایران – شهرکرد – دانشگاه شهرکرد – دانشکده‌ی فنی و مهندسی.

www.SID.ir

Archive of SID

۱- مقدمه

در ادواتی با ابعاد کمتر از ۱۰۰ نانومتر، ادامه‌ی کوچک‌سازی[۱] ماسفت‌های معمولی بر طبق نقشه‌ی راه ITRS با مشکلاتی روبرو است؛ که نیازمند یک معماری جایگزین می‌باشد، چراکه با کوچک‌شدن ابعاد افزاره در محدوده‌ی نانو، اثرات کانال کوتاه نمود می‌کنند [۱-۲].

در ماسفت‌های معمولی زمانی که طول کانال کاهش یابد، بعلت افزایش خازن‌های سورس/درین، گیت کنترل کمتری بر روی کانال دارد، از این رو اثرات کانال کوتاه موجب کاهش اعتبار برخی مشخصه‌های افزاره، نظیر ولتاژ آستانه می‌شود؛ با کاهش طول کانال به دنبال اثرات کانال کوتاه مشکلات دیگری نیز واقع می‌شوند، نظیر کاهش شیب زیرآستانه، کاهش نرخ I_{on}/I_{off}، کاهش قابلیت تحرک حامل‌ها در کانال، کاهش طول عمر و کارایی ترانزیستور، کاهش سد پتانسیل ناشی از القای درین[۲]، و اثر حامل‌های داغ در ولتاژهای درین بالا [۳-۴]. از آنجا که از ترانزیستورهای ماسفت بمنظور ساخت کلیدهای آنالوگ نیز استفاده می‌شود، لذا بسته به کاربرد کلید، برخی از مشخصه‌های مذکور نظیر خازنهای پارازیتی، مقاومت حالت روشن، مقاومت حالت خاموش و غیره می‌تواند مهم باشد [۵]، ازاین‌رو بهبود این پارامترها اهمیت می‌یابد.

ماسفت سیلیکون روی عایق[۳] یکی از بهترین ساختارهای جایگزین برای افزاره‌های بالک است که مشکل کوچک‌سازی افزاره‌های بالک معمولی را برطرف می‌کند، و باعث کنترل عالی اثرات کانال کوتاه می‌شود [۶]. بررسی‌ها نشان می‌دهد که این افزاره ترارسانایی بالایی دارد [۳]، همچنین سوئینگ زیرآستانه‌ی عالی، جریان نشتی قابل کنترل و سرعت بالا از مزایای دیگر این ساختار نسبت به ادوات بالک است. در ماسفت‌های سیلیکون روی عایق تمام تهی، خازن‌های پارازیتی پیوندی کانال در سرعت بالای سوئیچینگ کاهش می‌یابد [۷]. قسمت فعال در این ماسفت‌ها لایه‌ی فوق نازک سیلیکونی و عایق مدفون در زیر آن است، عایق مدفون استفاده شده بسیاری از مشکلات مثل جریان نشتی [۳]، شیب بالای زیرآستانه و اثر بدنه [۷] را برطرف می‌سازد.

نواحی نازک سورس و درین، درماسفت‌ها، باعث اتصالات ضعیف الکترودهای سورس و درین و به دنبال آن مقاومت‌های سری سورس و درین بزرگتری می‌شود، علاوه بر آن این نواحی نازک جریان روشنی کمتری را در افزاره به دنبال دارد [۸].

برای برطرف کردن مشکل مقاومت سری سورس و درین در ادوات با بدنه‌ی فوق نازک، در مقالات تکنیکی دو ساختار از ماسفت‌های سیلیکون روی عایق ارائه شده‌است، در یک ساختار نواحی سورس و درین را به سمت بالا رشد می‌دهند به این ترتیب نواحی سورس و درین بزرگتری بدست می‌آید و مقاومت را کاهش دهد [۹-۱۰]. در این ساختار نواحی سورس و درین بزرگتر که از اتصال سیلیساید با سورس و درین حاصل شده، اتصال مطمئنی را ایجاد می‌کند که مقاومت کوچکتری به همراه دارد. اما نواحی سورس و درین توسط جداکننده از الکترود گیت جدا می‌شود که باعث دو نوع المان پارازیتی، یکی خازنهای پارازیتی بعلت کوپلینگ بین گیت و نواحی سورس و درین و دیگری مقاومت پارازیتی ناشی از امتداد نواحی سورس و درین به زیر جداکننده می‌شود[۱۰].

به منظور برطرف کردن این مشکلات ساختار سیلیکون روی عایق تمام تهی با نواحی سورس و درین فرورفته[۴] ارائه گردید؛ در این ساختار نواحی سورس و درین به عمق عایق مدفون فرو می‌رود که کاهش مقاومت سری در افزاره را به دنبال دارد [۱۰]. بدین ترتیب یک ماسفت سیلیکون روی عایق با سورس و درین فرورفته جریان درین بیشتری در مقایسه با ماسفت‌های سیلیکون روی عایق معمولی دارد و چون در مدارات آنالوگ و مدارات فرکانس بالا نیازمند جریان درین بالایی هستیم، ماسفت سیلیکون روی عایق تمام تهی قابلیت فوق‌العاده‌ای در کاربردهای آنالوگ و فرکانسهای رادیویی در تکنولوژی زیر ۵۰ نانومتر با فرکانس قطع بسیار بالا دارد [۱۱] که ماسفت‌های سیلیکون روی عایق را به یک کاندید مناسب برای کاربردهای سیلیکون روی چیپ[۵] تبدیل می‌کند. این ساختار علاوه بر مقاومت سری کوچکتر، اتصالات بهتری هم دارد [۱۲-۱۳].

تاکنون کارهای بسیاری در زمینه‌های تحلیل، شبیه‌سازی عددی و آزمایشگاهی ماسفت‌های سیلیکون روی عایق با سورس و درین فرورفته انجام شده‌است [۱۳-۱۵]. یک مدل تحلیلی برای ولتاژ آستانه [۱۳]، و آنالیز شرایط زیرآستانه [۱۴] به همراه یک مدل سوئینگ زیرآستانه [۱۵] برای افزاره ارائه کرده‌است. مرجع [۱۶] روش‌های مختلف شکل‌گیری ویفرهای سیلیکون روی عایق و مزایا و معایب تکنولوژی سیلیکون را مورد بررسی قرار داده و وابستگی این ساختار را به مشخصات فیزیکی و الکتریکی نشان می‌دهد.

ترانزیستورهای سیلیکون روی عایق برای کاربردهای فراوانی نظیر سیستم‌های میکروالکترو-مکانیکی، سیستم‌های نوری و سنسورها، و از همه مهمتر در مدارات مجتمع صنعتی CMOS استفاده می‌شود. ویفرهای سیلیکون روی عایق بطور ایده‌آل برای لبه‌ی هدایت مدارات مجتمع با سرعت بالا، تعداد ترانزیستور بالا و ولتاژ پایین/عملکرد توان پایین مورد استفاده قرار می‌گیرد [۱۷].

به کمک ساختار سیلیکون روی عایق با سورس و درین فرورفته مشکل مقاومت در این ادوات برطرف می‌شود اما مشکلی که در این ساختار وجود دارد اثرات خودگرمایی ناشی از رسانایی حرارتی پایین عایق مدفون در زیر فیلم سیلیکونی است، به علت هدایت گرمایی پایین دی‌اکسیدسیلیکون ($1.4\ W/K.m$) در مقایسه با سیلیکون ($140\ W/K.m$)، گرمای تولیدشده در قطعه نمی‌تواند به زیرلایه منتقل شود [۶]. خودگرمایی بر عملکرد قطعه چندین اثرات نامطلوب دارد که از آن جمله می‌توان به کاهش جریان درایو بعلت کاهش موبیلیتی، کاهش ترارسانایی، کاهش سرعت ترانزیستور و افزایش سرعت فرسودگی قطعه اشاره کرد؛ زمانی‌که تعداد ترانزیستورها روی

www.SID.ir

Archive of SID

یک چیپ بالا می‌رود، خودگرمایی اهمیت بیشتری می‌یابد [۱۸]. یک عایق مدفون ایده‌آل باید ویژگی‌های زیر را داشته‌باشد:

- هدایت گرمایی بالا برای تخلیه‌ی گرما
- خازن با ظرفیت بزرگ بین فیلم سیلیکونی و زیرلایه، تا کنترل الکتریکی بهتری برای گیت بدست آید.
- خازن کوچک بین سورس و زیرلایه
- میزان گذردهی الکتریکی پایین، تا کوپلینگ بین سورس و درین با بدنه کاهش یابد.

برای داشتن یک عایق مدفون مناسب باید بین مشخصات بالا مصالحه برقرار گردد، به این منظور عایق باید دو ویژگی اصلی یعنی بیشترین هدایت گرمایی و کمترین گذردهی الکتریکی را داشته باشد؛ در میان مواد عایق و بنابر دو فرض اصلی، الماس بهترین گزینه است، بنابراین چنانچه به عنوان عایق مدفون مورد استفاده قرار گیرد، می‌تواند با انتقال مناسب گرمای تولیدشده در ناحیه‌ی سیلیکون به زیرلایه، دمای قطعه را کاهش دهد و مانع از اثرات خودگرمایی شود. ترانزیستور سیلیکون روی عایق که در آن از الماس بعنوان عایق مدفون استفاده شده، سیلیکون روی الماس[۶] نامیده می‌شود و می‌تواند در کاربردهای توان بالا مورد استفاده قرار گیرد. چگالی توان این ساختار بسیار بیشتر از ادوات سیلیکون روی عایق است. هدایت گرمایی الماس($2000\ W/K.m$) تقریبا بیش از ۱۰ برابر سیلیکون و ۱۰۰۰ برابر دی‌اکسیدسیلیکون است [۱۶-۱۷].

در ساختار سیلیکون روی الماس بعلت استفاده از الماس بعنوان عایق، جریان حالت خاموشی قطعه بالا می‌رود که بر روی اثرات کانال کوتاه افزاره تاثیر می‌گذارد. پیش از این به دلیل مشکلاتی که در ساختارهای سیلیکون روی عایق (نظیر اثرات خودگرمایی) و سیلیکون روی الماس (نظیر اثرات کانال کوتاه) وجود داشت، ترانزیستور سیلیکون روی الماس با یک لایه عایق اضافی[۷] پیشنهاد شده [۱۹]، و همچنین چگونگی بهبود اثرات کانال کوتاه در این ساختار بررسی گردیده‌است [۲۰]. در این ساختار یک لایه عایق بر روی الماس و در بین سورس و درین قرار می‌گیرد و بطور جزئی لایه‌ی عایق الماس را می‌پوشاند، این لایه‌ی عایق دوم می‌تواند دی‌اکسیدسیلیکون، یا هر عایق دیگری با گذردهی الکتریکی کمتر نسبت به الماس باشد [۲۱].

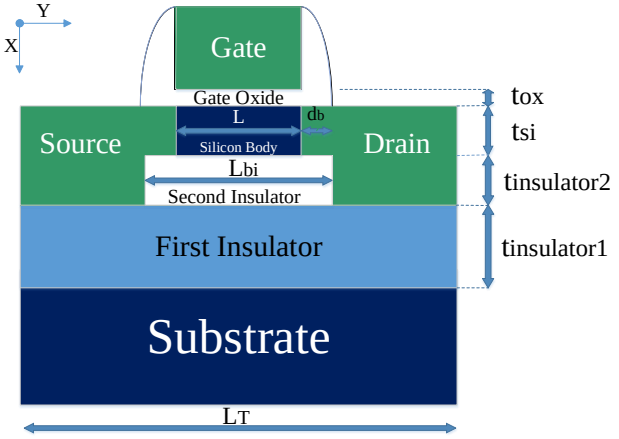
ما در این کار برای اولین بار رابطه‌ی تحلیلی ولتاژ آستانه‌ی ساختار سیلیکون روی الماس دولایه را به کمک معادلات پواسون بدست آورده و نتایج تحلیلی را با نتایج شبیه‌سازی افزاره‌ی نیمه‌هادی مقایسه کرده‌ایم.

ساختار مورد بررسی از نظر مشخصه‌ی $I_{DS}-V_{DS}$ با نمونه‌ی ساخته‌شده [۲۲] مقایسه شده‌است و تطبیق مناسبی بدست آمده‌است.

۲- مدلسازی ولتاژ آستانه

۲-۱- پتانسیل سطحی کانال جلو و پشت

در این مقاله رابطه‌ی ولتاژ آستانه را برای یک ترانزیستور سیلیکون روی الماس دولایه که شمای عرضی آن را در شکل ۱ می‌بینیم، بدست آورده‌ایم؛ به این منظور از معادلات پواسون دوبعدی در ناحیه‌ی کانال بهره جسته‌ایم.



شکل (۱): ساختار ماسفت سیلیکون روی الماس با عایق دولایه

در شکل فوق، t_{ox}، t_{si}، $t_{insulator2}$، $t_{insulator1}$ به ترتیب ضخامت اکسید گیت، ضخامت بدنه‌ی سیلیکونی، ضخامت سورس و درین فرورفته در عایق مدفون (ضخامت عایق دوم) و ضخامت عایق اول است؛ همچنین L، L_{bi}، L_T و d_b به ترتیب طول کانال، طول عایق دوم، طول کلی ساختار و طول همپوشانی سورس و درین با عایق دوم است. پارامتر مورد بررسی در این کار ابعاد لایه‌ی عایق دوم است. با کاهش فاصله‌ی بین سورس و درین مقاومت سری بدنه کاهش می‌یابد اما این کاهش همچنین باعث آسان‌تر شدن کوپلینگ میدان الکتریکی سورس و درین از طریق مرکز کانال شده که اثرات کانال کوتاه را افزایش می‌دهد به این ترتیب باید بین مقاومت سری و اثرات کانال کوتاه مصالحه‌ای برقرار گردد.

معادله‌ی پواسون در ناحیه‌ی کانال ساختار سیلیکون روی الماس دولایه قبل از وارونگی قوی به صورت رابطه‌ی(۱) می‌باشد:

$$\frac{d^2\psi(x,y)}{dx^2}+\frac{d^2\psi(x,y)}{dy^2}=\frac{qN_a}{k_{si}} \quad \text{for } 0<x<t_{si},\ 0<y<L \quad (1)$$

در رابطه‌ی فوق $\psi(x,y)$ پتانسیل الکترواستاتیک در بدنه‌ی سیلیکونی، x المان در جهت عمق کانال، y المان در جهت طول کانال و مبدا مختصات سمت چپ و بالای بدنه‌ی سیلیکونی درنظر گرفته می‌شود. همچنین N_a میزان ناخالصی در ناحیه‌ی کانال، k_{si} ضریب ثابت دی‌الکتریک سیلیکون، t_{si} ضخامت بدنه‌ی سیلیکونی و L طول کانال است.

از بررسی در [۱۴] بدست می‌آید که برای مقادیر پایین ولتاژ درین در صورتی که ساختاری متقارن مثل ساختار یک افزاره‌ی سیلیکون روی الماس دولایه داشته باشیم، می‌توان تغییرات پتانسیل را بین مرز

www.SID.ir

Archive of SID

گیت جلو و گیت پشت (جهت x در شکل۱) به صورت یک تابع سهمی تقریب زد:

$$\psi(x,y)=c_0(y)+c_1(y)+c_2(y) \qquad (2)$$

و $c_0(y)$، $c_1(y)$ و $c_2(y)$ تنها تابع y هستند. از آنجا که در ساختار سیلیکون روی الماس دولایه، در هریک از سطح جلو و پشت بدنه‌ی سیلیکونی حامل‌های بار می‌توانند معکوس شوند بنابراین در مرز اکسید گیت/بدنه‌ی سیلیکونی و در مرز عایق مدفون/بدنه‌ی سیلیکونی کانال می‌تواند تشکیل شود، که به ترتیب کانال جلو و کانال پشت نامیده‌می‌شود.

پس بایستی برای هریک از کانال جلو و پشت ایجاد شده در بدنه، معادله‌ی پواسون حل شود و رابطه‌ی ولتاژ آستانه برای کانال مربوطه بدست‌آید، و در نهایت مقدار کوچکتر بین این دو ولتاژ به عنوان ولتاژ آستانه معرفی شود. به منظور حل معادله‌ی پواسون دوبعدی فوق، می‌توان آن را به یک معادله‌ی پواسون یک‌بعدی و یک معادله‌ی لاپلاس دوبعدی تجزیه کرد، و به کمک شرایط مرزی که در رابطه‌ی (6)-(3) آمده‌است، پتانسیل سطحی و ولتاژ آستانه را بدست آورد [۱۴]،

قانون گوس در مرز اکسید گیت و بدنه‌ی سیلیکونی:

$$k_{si}\frac{d\psi(x,y)}{dx}|_{x=0}=k_{ox}.\frac{\psi(0,y)-(V_G-V_{FB1})}{t_{ox}} \qquad (3)$$

که k_{ox} ثابت دی‌الکتریک اکسید گیت و t_{ox} ضخامت اکسید گیت است، همچنین $\Psi(0,y)$ پتانسیل سطحی گیت جلو در مرز بین اکسید گیت و بدنه‌ی سیلیکونی، V_G ولتاژ بایاس گیت، $V_{FB1}=\Phi_M-\Phi_{si}$ ولتاژ باند مسطح[۸] گیت جلو است که Φ_M تابع کار[۹] گیت، $\Phi_{si}=\frac{\chi_{si}}{q}+\frac{E_{G,si}}{2q}+(\frac{KT}{q})\ln(\frac{N_a}{ni})$ تابع کار بدنه‌ی سیلیکونی، χ_{si} الکترونخواهی[۱۰]، $E_{G,si}$ انرژی شکاف و n_i ناخالصی ذاتی سیلیکون است.

قانون گوس در مرز عایق مدفون و بدنه‌ی سیلیکونی:

$$k_{si}\frac{d\psi(x,y)}{dx}|_{x=t_{si}}=C_{BD}.\frac{(V_D-V_{FB2})-\psi(t_{si},y)}{L}+C_{BS}.\frac{(V_S-V_{FB2})-\psi(t_{si},y)}{L}+C_{insulator}.\frac{(V_{sub}-V_{FB3})-\psi(t_{si},y)}{L} \qquad (4)$$

در رابطه‌ی فوق، t_{si} ضخامت بدنه‌ی سیلیکونی، k_{si} میزان ثابت دی‌الکتریک بدنه‌ی سیلیکونی، C_{BD} خازن بین بدنه و ناحیه‌ی فرورفته‌ی درین، C_{BS} خازن بین بدنه و ناحیه‌ی فرورفته‌ی سورس و $C_{insulator}$ خازن بین بدنه و زیرلایه است (روابط این خازن‌ها در بخش۲-۲ ارائه شده‌است)، همچنین $\psi(t_{si},y)$ پتانسیل سطحی گیت پشتی در مرز بین عایق مدفون و بدنه‌ی سیلیکونی V_D، V_S و V_{sub} به ترتیب ولتاژ درین، سورس و زیرلایه، $V_{FB2}=\frac{KT}{q}\ln(\frac{N_aN_{S-D}}{n_i^2})$ ولتاژ باند مسطح گیت پشتی-سورس/درین است (N_{S-D} میزان ناخالصی سورس و درین)، $V_{FB3}=\frac{KT}{q}\ln(\frac{N_{sub}}{N_a})$ ولتاژ باند مسطح گیت پشتی-زیرلایه (N_{sub} میزان ناخالصی زیرلایه) است.

- پتانسیل سطحی در انتهای ناحیه‌ی سورس:

$$\psi(x,0)=V_{bi} \qquad (5)$$

که $V_{bi}=\frac{KT}{q}\ln(\frac{N_aN_{S-D}}{n_i^2})$ پتانسیل ساخت است.

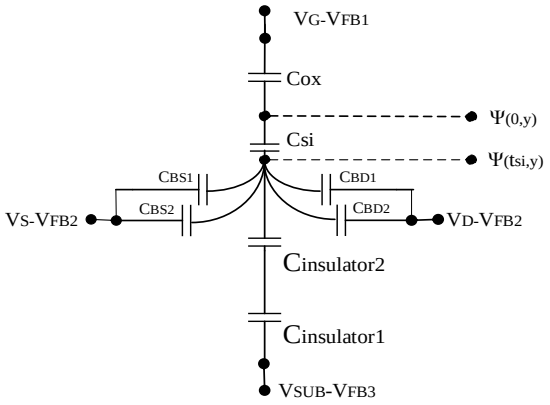
- پتانسیل سطحی در انتهای ناحیه‌ی درین:

$$\psi(x,L)=V_{bi}+V_{DS} \qquad (6)$$

در مرجع [۸-۱۳] خازن در نظر گرفته‌شده در ناحیه‌ی عایق مدفون با خازن‌هایی که ما برای ساختار سیلیکون روی الماس با عایق دولایه تعریف کرده‌ایم متفاوت است که این اختلاف به علت افزایش دقت در مدل و در نظر گرفتن تمامی خازن‌های موجود در عایق مدفون است؛ به این منظور در قسمت بعد به معرفی این خازنها و بیان رابطه‌ی آن‌ها خواهیم پرداخت.

۲-۲- خازن‌های ساختار

برای بدست آوردن شرایط مرزی نیاز داریم تا روابط خازن‌های ساختار را مورد بررسی قرار دهیم؛ در شکل۲ محل قرارگیری این خازن‌ها را می‌بینیم:



شکل (۲): خازن‌های ساختار سیلیکون روی الماس با عایق دولایه

در شکل فوق، C_{ox} خازن اکسید گیت، C_{si} خازن بدنه‌ی سیلیکونی، $C_{insulator1}$ خازن لایه عایق اول، $C_{insulator2}$ خازن لایه‌ی عایق اضافی، C_{BD1} خازن هم صفحه، C_{BD2} خازن عمودی بین ناحیه‌ی درین فرورفته در عمق لایه‌ی عایق مدفون، با بدنه‌ی سیلیکونی و بطور متناظر C_{BS1} خازن هم صفحه، C_{BS2} خازن عمودی بین ناحیه‌ی سورس فرورفته در عمق لایه‌ی عایق مدفون، با بدنه‌ی سیلیکونی است.

این خازن‌ها به کمک روابط (16)-(7) بدست می‌آیند:

$$C_{ox}=k_{ox}/t_{ox} \qquad (7)$$

$$C_{si}=k_{si}/t_{si} \qquad (8)$$

www.SID.ir

Archive of SID

$$C_{insulator2} = k_{insulator2} / t_{insulator2} \quad (9)$$

$$C_{insulator1} = k_{insulator1} / t_{insulator1} \quad (10)$$

$$C_{insulator} = \frac{C_{insulator1}.C_{insulator2}}{C_{insulator1} + C_{insulator2}} \quad (11)$$

$$C_{BS} = C_{BS1} + C_{BS2} \quad (12)$$

$$C_{BD} = C_{BD1} + C_{BD2} \quad (13)$$

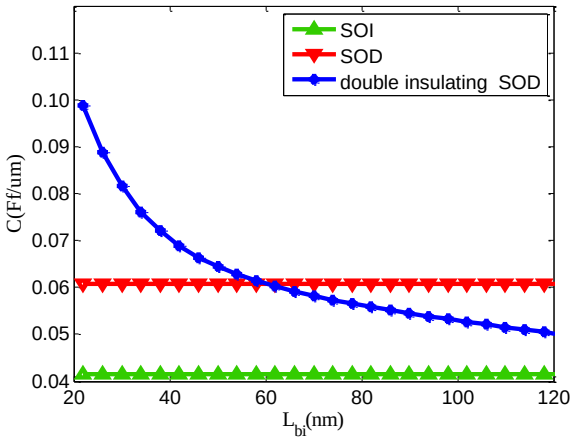
$$C_{BD1} = C_{BS1} = \frac{k_{insulator2}}{\pi}.\ln(1+\frac{L}{2.d}) \quad (14)$$

$$C_{BS2} = C_{BD2} = \frac{2k_{insulator2}}{\pi}.\ln(1+\frac{L}{2.d_b}) \quad for \quad \frac{L}{2} < t_{insulator2} \quad (15)$$

$$C_{BS2} = C_{BD2} = \frac{2k_{insulator2}}{\pi}.\ln(1+\frac{t_{insulator2}}{d_b}) \quad for \quad \frac{L}{2} > t_{insulator2} \quad (16)$$

$k_{insulator2}$ ثابت دی‌الکتریک عایق دوم، $k_{insulator1}$ ثابت دی‌الکتریک عایق اول، $t_{insulator2}$ ضخامت عایق دوم، $t_{insulator1}$ ضخامت عایق اول، d_b طول همپوشانی سورس و درین با عایق مدفون، d فاصله‌ی بین سورس/درین و بدنه‌ی سیلیکونی و L طول کانال است.

در شکل۳ خازن معادل در لایه‌ی عایق مدفون را برای ساختارهای سیلیکون روی عایق، سیلیکون روی الماس و سیلیکون روی الماس دولایه برحسب طول لایه‌ی عایق دوم رسم شده‌است.



شکل (۳): کوپلینگ کلی خازن بدنه در سرتاسر لایه‌های عایق برحسب طول لایه‌ی عایق دوم

با بررسی شکل بالا بدست می‌آید که خازن بدنه در سیلیکون روی الماس دولایه از یک مقدار اولیه‌ی ماکزیمم به ازای $L_{bi} = L$ (طول مؤثر کانال) شروع می‌شود و یک روند کاهشی را طی می‌کند، در این ناحیه ظرفیت خازن‌های C_{BD2} و C_{BS2} در ظرفیت معادل غالب می‌شود؛ با افزایش طول لایه‌ی عایق اضافی در $L_{bi} = 60nm$ ظرفیت خازن بدنه در سیلیکون روی الماس دولایه از ظرفیت خازنی سیلیکون روی الماس عبور کرده، و همچنان روند کاهشی خود را ادامه می‌دهد، در این صورت کوپلینگ خازن بدنه نسبت به سیلیکون روی الماس بهبود می‌یابد؛ این زمانی است که $C_{insulator1}$ و $C_{insulator2}$ غالب شده‌اند، با افزایش بیشتر L_{bi} مقدار خازن نهایتا به سیلیکون روی عایق خواهد رسید و بیش از این کاهش نخواهد یافت، در این حالت C_{BS1} و C_{BD1} غالب شده‌اند.

۲-۳- فرمولاسیون ولتاژ آستانه

با محاسبه‌ی خازن‌های ساختار و تعیین شرایط مرزی می‌توان پتانسیل سطحی را در کانال جلو و پشت بدست آورد؛ برای تعیین ولتاژ آستانه در یک ساختار سیلیکون روی الماس دولایه، از ولتاژ گیت، زمانی که حداقل پتانسیل سطحی برابر با $2\Psi_b$ می‌شود، بهره می‌جوییم که Ψ_b اختلاف بین تراز غیر ذاتی در ناحیه‌ی کانال و تراز ذاتی است.

۲-۳-۱ ولتاژ آستانه

در یک ماسفت سیلیکون روی الماس با یک لایه عایق اضافی، وارونگی کانال می‌تواند در مرز پشتی ناحیه‌ی کانال اتفاق بیفتد در حالی که مرز جلو هنوز در حالت تخلیه قرار دارد، که این حالت بعلت کوپل شدگی با نواحی سورس و درین اتفاق می‌افتد. بنابراین در حالت کلی ولتاژ آستانه به عنوان ولتاژ گیت در جایی تعریف می‌شود که مقدار بزرگتر بین حداقل پتانسیل سطحی گیت جلو و حداقل پتانسیل سطحی گیت پشت برابر با $2\Psi_b$ می‌شود. با حل معادله‌ی پواسون، رابطه‌ی ولتاژ آستانه برای کانال جلو و پشت به صورت روابط (17) و (18) بدست می‌آید:

$$V_{thf} = V_{FB1} + \frac{C_{si}}{C_{BS}+C_{BD}+C+C_{si}}.P + V_{sft}.\frac{C_{si}}{C_{BS}+C_{BD}+C+C_{si}}.[1+(\frac{C_{si}+C_{ox}}{C_{ox}})(\frac{C_{BS}+C_{BD}+C}{C_{si}})] \quad (17)$$

$$V_{thb} = V_{FB1} + \frac{C_{si}+C_{ox}}{C_{ox}}.Q + V_{sbt}.\frac{C_{si}+C_{ox}}{C_{ox}}.[(\frac{C_{ox}}{C_{ox}+C_{si}})(\frac{C_{BS}+C_{BD}+C}{C_{si}})] \quad (18)$$

در روابط فوق، پارامترهای P و Q به ولتاژهای بایاس، ابعاد و خازن های ساختار وابسته بوده، و V_{sft} و V_{sbt} از حل معادله‌ی پواسون بدست می‌آید.

حداقل پتانسیل سطحی در کانال جلو/پشت برای تعیین ولتاژ آستانه در کانال جلو/پشت استفاده شده و مقدار کوچکتر بین این دو،

www.SID.ir

Archive of SID

همانطور که در رابطه‌ی (19) هم نشان داده شده‌است، ولتاژ آستانه را تعیین می‌کند، بنابراین ولتاژ آستانه می‌تواند توسط هریک از ولتاژ آستانه‌ی سطح جلو یا ولتاژ آستانه‌ی سطح پشت بدست آید[8]:

$$V_{th}=\begin{cases}V_{thf} & for \quad \Psi(0,y)|_{\min}>\Psi(t_{si},y)|_{\min}\\ V_{thb} & for \quad \Psi(0,y)|_{\min}<\Psi(t_{si},y)|_{\min}\end{cases} \qquad (19)$$

۳- نتایج مدلسازی

به منظور بررسی بهبود ولتاژ آستانه با قرار دادن یک لایه عایق اضافی بر روی عایق مدفون، نتایج محاسبات فوق را با نتایج حاصل از شبیه‌سازی ادوات نیمه‌هادی مقایسه می‌کنیم. شبیه‌سازی‌های انجام شده در این مقاله به کمک نرم‌افزار شبیه‌ساز ادوات نیمه‌هادی، انجام شده‌است، همچنین از آنجاکه مدل هیدرودینامیک برای ادوات نیمه‌هادی در ابعاد نانو مدل انتقال انرژی مناسبی است، در شبیه‌سازی‌های انجام شده از این مدل بهره جسته‌ایم. در مدل هیدرودینامیک معادلات پواسون، پیوستگی الکترون-حفره و معادلات بقای انرژی برای الکترون، حفره و شبکه حل می‌شود و همچنین دمای حامل‌های الکترون و حفره به طور مجزا از دمای شبکه محاسبه می‌گردد [۲۳]. به این ترتیب عملکرد ساختارهای سیلیکون روی عایق، سیلیکون روی الماس و سیلیکون روی الماس با عایق دولایه را در ولتاژ آستانه با یکدیگر مقایسه نموده‌ایم.

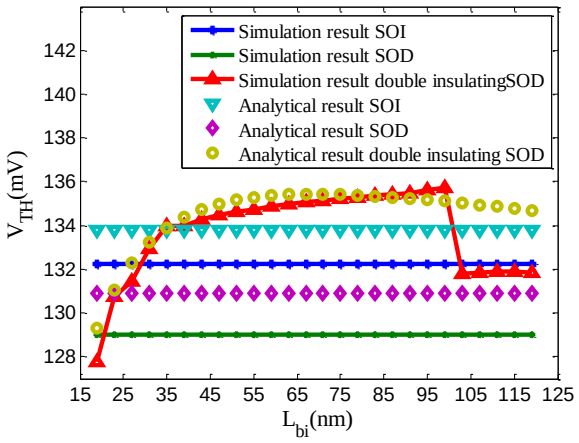
ابعاد و پارامترهای بکار رفته در شبیه‌سازی ساختار در جدول۱ آورده شده‌است. در ساختار سیلیکون روی عایق لایه‌ی عایق مدفون دراکسیدسیلیکون و در ساختار سیلیکون روی الماس از جنس الماس است؛ درحالی‌که در سیلیکون روی الماس دولایه از هر دو ماده بهره جسته‌ایم به طوری که عایق اول الماس و عایق دوم دی‌اکسیدسیلیکون است.

جدول (۱): مقادیر پارامترهای بکار رفته در ساختار

پارامتر	مقدار
طول کلی ساختار	152nm
طول کانال	22nm
طول همپوشانی سورس و درین با اکسید مدفون	3nm
ضخامت عایق اول	100nm
ضخامت عایق دوم	28nm
ضخامت فیلم سیلیکونی	7nm
ضخامت اکسید گیت	0.5nm
ثابت دی‌الکتریک عایق اول (الماس)	5.7
ثابت دی‌الکتریک سیلیکون	11.7
ثابت دی‌الکتریک عایق دوم (دی‌اکسید سیلیکون)	3.9
میزان ناخالصی گیت	$5\times10^{22}cm^{-3}$
میزان ناخالصی سورس و درین	$10^{22}cm^{-3}$
میزان ناخالصی بدنه‌ی سیلیکونی	$1.5\times10^{19}cm^{-3}$
میزان ناخالصی زیرلایه	$10^{15}cm^{-3}$

اولین پارامتری که تاثیر آن را بر روی ولتاژ آستانه بررسی می‌نماییم، ضخامت عایق دوم است.

در شکل۴ نتایج حاصل از مدلسازی و شبیه‌سازی ولتاژ آستانه در حالت اشباع نسبت به طول عایق دوم، در ساختارهای سیلیکون روی عایق، سیلیکون روی الماس و سیلیکون روی الماس دولایه نشان داده شده‌است. گستره‌ی طول عایق اضافی از 16nm (کمتر از طول کانال) تا 126nm تغییر می‌کند.



شکل (۴): ولتاژ آستانه برحسب طول عایق دوم

همانطور که در شکل هم دیده می‌شود ولتاژ آستانه در ساختار سیلیکون روی الماس دولایه به ازای طول عایق اضافی کوچک در نزدیکی ولتاژ آستانه‌ی افزاره‌ی سیلیکون روی الماس قرار دارد اما با افزایش این طول شاهد یک روند صعودی در ولتاژ آستانه هستیم، به طوری‌که در $46nm<L_{bi}<96nm$ ولتاژ در ترانزیستور سیلیکون روی الماس دولایه از ولتاژ ساختار سیلیکون روی عایق هم بالاتر می‌رود در این حالت خازن C_{BD} و C_{BS} توسط C_{BD1} و C_{BS1} غالب می‌شود.

بنابراین در بازه‌ای که ولتاژ آستانه از ولتاژ در سیلیکون روی عایق بیشتر می‌شود، بهترین حالت برای استفاده از سیلیکون روی الماس دولایه است، چراکه با داشتن مزایای این ساختار مثل خازن‌های پارازیتی و مقاومت سری کوچک، بیشترین ولتاژ آستانه را هم در بین ادوات سیلیکون روی عایق دارد.

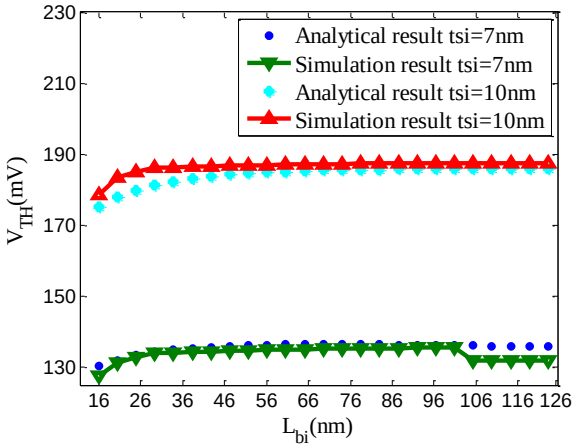
اکنون که ولتاژ آستانه را بر حسب طول لایه‌ی عایق دوم بدست آوردیم، تاثیر ضخامت بدنه‌ی سیلیکونی، ضخامت اکسید گیت، ضخامت عایق اول و ضخامت عایق اضافی را بر روی این ولتاژ بررسی می‌نماییم.

در شکل۵ با تغییر ضخامت بدنه‌ی سیلیکونی نتایج حاصل را برای ولتاژ آستانه با یکدیگر مقایسه نموده‌ایم. با توجه در شکل خواهیم دانست که در ادوات با ناخالصی سنگین، با افزایش ضخامت بدنه ولتاژ آستانه نیز افزایش خواهد یافت، و این به آن علت است که با افزایش ضخامت بدنه به ولتاژ گیت بیشتری برای معکوس شدن کانال نیاز است و بنابراین ولتاژ آستانه‌ی بزرگتری هم خواهیم داشت. همچنین دیده می‌شود که با افزایش ضخامت بدنه افت ناگهانی ولتاژ در طول

www.SID.ir

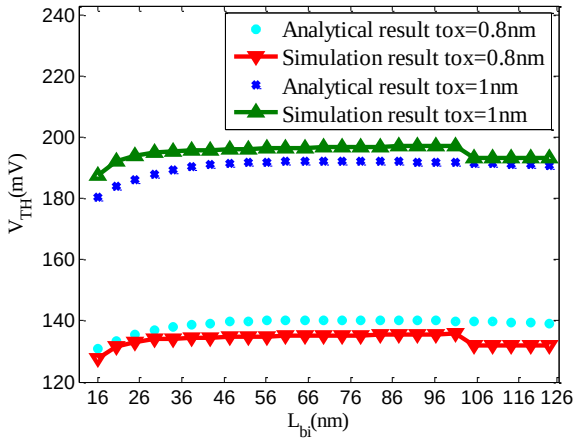
Archive of SID

کوچکتری از عایق اضافی اتفاق می‌افتد و بیشترین افت در $t_{si} = 7nm$ اتفاق می‌افتد.



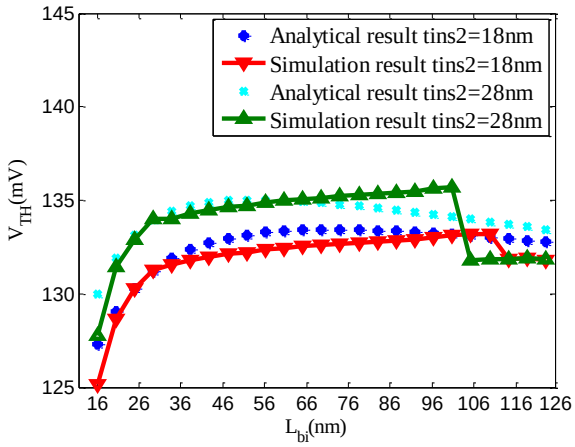
شکل (۵): ولتاژ آستانه برحسب طول عایق دوم برای مقادیر متفاوت ضخامت فیلم سیلیکونی

در شکل۶ ولتاژ آستانه‌ی یک ترانزیستور سیلیکون روی الماس با یک لایه عایق اضافی را برای دو مقدار از ضخامت اکسید گیت به تصویر کشیده‌ایم. از شکل برمی‌آید که با افزایش این ضخامت تغییری در روند ولتاژ آستانه اتفاق نمی‌افتد برای هر دو مقدار افت ولتاژ در طول یکسانی از عایق دوم اتفاق افتاده و تنها یک شیفت به مقادیر بالاتر پیدا کرده‌است. زمانی‌که t_{ox} کاهش یابد C_{ox}افزایش را به همراه دارد که باعث می‌شود گیت جلو کنترل بیشتری روی پتانسیل کانال در کل ضخامت بدنه داشته باشد و همچنین پتانسیل سطحی گیت پشتی توسط گیت جلو نسبت به گیت پشت بیشتر کنترل می‌شود.



شکل (۶): ولتاژ آستانه برحسب طول عایق دوم برای مقادیر متفاوت ضخامت اکسید گیت

در شکل ۷ با تغییر ضخامت عایق اضافی ولتاژ آستانه را برای دو مقدار از این ضخامت رسم کرده‌ایم، دیده می‌شود که با افزایش ضخامت عایق دوم نه تنها ولتاژ آستانه بیشتر خواهد بود بلکه افت ولتاژ هم شدیدتر خواهد شد و این افت در طول کوچکتری از عایق دوم رخ می‌دهد.



شکل (۷): ولتاژ آستانه برحسب طول عایق دوم برای مقادیر متفاوت ضخامت عایق دوم

۴- نتیجه‌گیری

در این مقاله ساختار سیلیکون روی الماس دولایه با ساختارهای سیلیکون روی عایق و سیلیکون روی الماس مقایسه گردید، که در آن لایه‌ی عایق دوم بر روی عایق الماس قرار می‌گیرد و بطور جزئی الماس را می‌پوشاند. به این منظور خازن بدنه را در سرتاسر عایق مدفون بطور تحلیلی محاسبه کرده و نتایج را به تصویر کشیدیم؛ همچنین برای اولین بار به صورت تحلیلی ولتاژ آستانه را در یک ترانزیستور سیلیکون روی الماس با یک لایه عایق اضافی به کمک معادلات پواسون دوبعدی و از طریق مدل‌های توزیع پتانسیل سطحی گیت جلو و پشت بدست آوردیم.

تاثیر ضخامت و طول عایق دوم را بر روی ولتاژآستانه و خازن بدنه نشان دادیم و دیدیم که با افزایش طول عایق دوم خازن بدنه یک روند کاهشی را طی می‌کند به طوری که در مقادیر بالا به خازن بدنه در ساختار سیلیکون روی عایق می‌رسد، و ولتاژ آستانه افزایش یافته و در گستره‌ای از این طول به بیش از ولتاژ آستانه در ساختار سیلیکون روی عایق خواهد رسید، که این بازه از طول عایق دوم بهترین ساختار را برای یک سیلیکون روی الماس دولایه به تصویر کشیده‌است. همچنین ولتاژ آستانه را برای مقادیر متفاوت از ضخامت بدنه‌ی سیلیکونی، ضخامت اکسید گیت، ضخامت عایق الماس و ضخامت عایق دوم به تصویر کشیده‌ایم و تاثیر هریک را بررسی کردیم. همچنین نتایج حاصل از روابط تحلیلی را با نتایج حاصل از شبیه‌سازی قطعه مقایسه کرده و به تطبیق مناسبی دست‌یافته‌ایم.

از نتایج بدست می‌آید که در صورت انتخاب صحیح و مناسب ابعاد، این ساختار عملکرد مناسبی را در بین ادوات سیلیکون روی عایق دارا می‌باشد و می‌تواند بعنوان یک ساختار با مزایای بیشتر جایگزین سایر ادوات سیلیکون روی عایق شود.

www.SID.ir

Archive of SID

مراجع

[1] Saramekala, G.K., Santra, A., Dubey, S., Jit, S., and Tiwari, P.K., (2013) "An analytical threshold voltage model for a short-channel dual-metal-gate (DMG) recessed-source/drain (Re-S/D) SOI MOSFET," Superlattices and Microstructures, 60, pp580-595.

[2] Priya, A., Mishra, R.A., (2016) "A two dimensional analytical modeling of surface potential in triple metal gate (TMG) fully-depleted Recessed-Source/Drain (Re-S/D) SOI MOSFET," Superlattices and Microstructures, 92, pp 316-329.

[3] Coling, J.P., (2007), "Multi-gate SOI MOSFETs, Microelectronic Engineering 84," pp 2071-2076.

[۴] قبادی، افضلی کوشا، "بررسی و مدلسازی اثر ناپایداری در دمای بالا و بایاس منفی(NBTI) و تزریق حامل‌های انرژی (HCI) در افزاره‌های چندگیتی نانومتری"، مجله انجمن مهندسین برق و الکترونیک ایران، شماره دوم، صفحه ۱-۱۴، پائیز ۹۴.

[۵] حسن‌زاده، دانائی، "یک راهکار جدید برای کاهش جریان نشتی در کلیدهای CMOS"، مجله انجمن مهندسین برق و الکترونیک ایران، شماره چهارم، صفحه ۳۳-۴۰، زمستان ۹۵.

[6] Kumar, P.R., and Mahapatra, S., (2010) "Analytical modelling of quantum threshold voltage for triple gate MOSFET," Solid-State Electronics, 54, pp 1586–1591.

[7] Tiwari, P.K., Kumar, A., and Talukdar, D., (2016) "An analytical gate tunneling current model of Re-S/D SOI MOSFETs," 2016 IEEE Uttar Pradesh Section International Conference on Electrical, Computer and Electronics Engineering (UPCON).

[8] Kumar, A., and Tiwari, P.K., (2014) "A threshold voltage model of short-channel fully-depleted recessed-source/drain (Re-s/d) UTB SOI MOSFETs including substrate induced surface potential effects," Solid-State Electronics, 95, pp 52-60.

[9] Zhang, Z., Zhang, Sh., and Chan, M., (2004) "Self-Align Recessed Source Drain Ultrathin Body SOI MOSFET," IEEE Electron Device Letters, 25(11), pp740-742.

[10] Ke, W., Han, X., Li, D., Liu, X., Han, R., and Zhang, Sh., (2006) "Recessed Source/Drain for Scaling SOI MOSFET to the Limit," IEEE Trans.

[11] Patil, G.C., and Qureshi, S., (2013) "Asymmetric drain underlap dopant-segregated Schottky barrier ultrathin-body SOI MOSFET for low-power mixed-signal circuits," Semiconductor Science and Technology. 28, 045002.

[12] Saramekala, G.K., Dubey, S., and Tiwari, P.K., (2014) "Analog and radio-frequency (RF) performance evaluation of fully-depleted (FD) recessed-source/drain (Re-S/D) SOI MOSFETs," Superlattices and Microstructures, 76, pp77-89.

[13] Svilicic, B., Jovanovic, V., and Suligoj, T., (2009) "Analytical models of front- and back-gate potential distribution and threshold voltage for recessed source/drain UTB SOI MOSFETs," Solid-State Electron. 53.

[14] Svilicic, B., Jovanovic, V., and Suligoj, T., (2010) "Analysis of subthreshold conduction in short channel recessed source/drain UTB SOI MOSFETs," Solid-State Electron. 54, pp 545-551.

[15] Saramekala, G.K., Santra, A., Kumar, M., Dubey, S., Jit, S., and Tiwari, P.K., (2014) "Analytical subthreshold current and subthreshold swing models of short-channel dual-metal-gate (DMG) fully-depleted recessed-source/drain (Re-S/D) SOI MOSFETs," J. Compute. Electron, 13, pp 467-476.

[16] Kamal, B., Arezki, B., Hakim, A., and Ahcene, L., (2008) "On Silicon on Insulator Technology and Devices," Africa Physical Review, 11(7), pp 26-28.

[17] Tech, M., (2013) "Study of Floating Body Effect in SOI Technology," International Journal of Modern Engineering Research (IJMER), 3, pp 1817-1824.

[18] Mazellier, J-P., Faynot, O., Cristoliveanu, S., Deleonibus, S., and Bergonzo, P., (2008), "Integration of diamond in fully-depleted silicon-on-insulator technology as buried insulator: A theoretical analysis," Diamond & Related Materials. 17, pp 1248-1251.

[19] Daghighi, A., Double Insulating Silicon-on-Diamond Device, USPTO Patent, US 2013/8375341 B2.

[20] Daghighi, A., (2013) "A novel structure to improve DIBL in fully-depleted Silicon-on-Diamond substrate," Diamond & Related Materials .40, pp. 51-55.

[21] Young, K.K., (1989), "Analysis of conduction in fully depleted SOI MOSFETs," IEEE Transactions on Electron Devices, 36(3), pp 504.

[22] Krivokapic, Z., Maszara, P., and Lin, M-R. (2005) "Manufacturability of 20-nm Ultrathin Body Fully Depleted SOI Devices with FUSI Metal Gates," IEEE Transaction on Semiconductor Manufacturing, 18(1).

[23] ISE TCAD Manual, ISE Integrated System Engineering, Version 10.0, 2004.

زیرنویس‌ها

[1] Scaling
[2] Drain Induced Barrier Lowering (DIBL)
[3] Silicon-on-Insulator (SOI)
[4] Recessed Source/Drain Fully-Depleted SOI (Re S/D FD SOI)
[5] Silicon on Chip (SoC)
[6] Silicon-on-Diamond (SOD)
[7] Double Insulating SOD
[8] Flat Band
[9] Work function
[10] Electron affinity

www.SID.ir