

خطی سازی تقویت کننده کم نویز کسکود با پیاده سازی روش برهم نهی اجزا

محمدحسین مسکراف^۱ عباس گلمکانی^۲

۱- دانش آموخته کارشناسی ارشد- دانشکده مهندسی برق و مهندسی پزشکی- دانشگاه صنعتی سجاد- مشهد- ایران

Mo.Ms116@sadjad.ac.ir

۲- استادیار- دانشکده مهندسی برق و مهندسی پزشکی- دانشگاه صنعتی سجاد- مشهد- ایران

Golmakani@sadjad.ac.ir

چکیده: این مقاله درصدد بهبود خطینگی تقویت کننده کم نویز است که با موازی کردن یک مسیر کمکی به تقویت کننده اصلی دست می آید و نیز برای دستیابی به بهره بیشتر از ترکیب کسکود استفاده شده است، در مدار پیشنهاد شده از طریق ایجاد مسیر کمکی و سلف های اضافه شده در پایه سورس ترانزیستور، دامنه و فاز تنظیم می شود. به این ترتیب کنترل ضریب غیرخطی مرتبه سوم ممکن می گردد، تا در نهایت ضریب غیرخطی مرتبه سوم کل را تا حد امکان کوچک نمود. همچنین اثر ضریب غیرخطی مرتبه دوم بروی IIP3 مورد بررسی قرار می گیرد. معمولاً برای تحلیل اثرات غیرخطی، از تحلیل سری توانی استفاده می شود. پیشنهاد روش (DS) ارائه شده در این مقاله، قابلیت اضافه شدن به انواع مدارهای تقویت کننده را دارا است چراکه به صورت موازی با تقویت کننده اصلی قرار می گیرد. در این شبیه سازی از تکنولوژی TSMC_RF 180 nm استفاده شده است. نتایج به دست آمده مقدار بهره را در حدود 18dB، عدد نویز 2.43dB و مقدار IIP3 در حدود +7.5dB نشان می دهد.

واژه های کلیدی: خطی سازی، تقویت کننده کم نویز، LNA، Feed Forward، Derivative superposition (DS)

تاریخ ارسال مقاله: ۱۳۹۴/۰۴/۰۷

تاریخ پذیرش مشروط مقاله: ۱۳۹۵/۱۰/۰۱

تاریخ پذیرش مقاله: ۱۳۹۷/۰۸/۱۴

نام نویسنده ی مسئول: دکتر عباس گلمکانی

نشانی نویسنده ی مسئول: ایران - مشهد - خیابان جلال آل احمد ۶۰/۲ - دانشگاه صنعتی سجاد - دانشکده ی مهندسی برق و مهندسی پزشکی

در برخی مقالات [۶]، [۷] از روش DS برای حذف ضریب غیرخطی مرتبه دوم استفاده می‌شود، به طوری که این مهم را با دو سلف برای تنظیم دامنه و فاز برای مؤلفه‌های ضرایب مرتبه دوم و سوم غیرخطی انجام می‌دهند. روش پیش‌خور بر روی فرکانس کاری و یا به عبارتی تطبیق ورودی تأثیر دارد که مطلوب نخواهد بود. همچنین اتصال ورودی به ترانزیستوری که در ناحیه‌ی وارونگی ضعیف بایاس شده است، باعث افزایش عدد نویز خواهد شد.

۳- نظریه روش پیش‌خور

با توجه به ساختار سورس مشترک که در ناحیه اشباع بایاس شده است؛ می‌توان جریان سیگنال کوچک خروجی را با سری توانی زیر مدل کنیم.

$$i_d(v_{gs}) = g_1 v_{gs} + g_2 v_{gs}^2 + g_3 v_{gs}^3 + \dots \quad (1)$$

که v_{gs} ولتاژ سیگنال کوچک گیت-سورس در حول نقطه کار است. g_1 ترانسانایی سیگنال کوچک است. g_2 و g_3 ضرایب مرتبه بالاتری هستند که نشان‌دهنده رفتار غیرخطی سیستم است. در این میان g_3 از اهمیت زیادی برخوردار است، چراکه کنترل‌کننده IM3 در سطوح ولتاژ پایین است. که نهایتاً مقدار IIP3 را تحت تأثیر می‌گذارد. دامنه IIP3 در نقطه تلاقی به‌وسیله رابطه زیر مشخص می‌شود [۸].

$$A_{IP3} = \sqrt{\frac{4}{3} \left| \frac{g_1}{g_2} \right|} \quad (2)$$

در سری توانی فوق ضرایب به ولتاژ DC گیت-سورس (V_{GS}) و سورس-درین (V_{DS}) وابسته هستند. ولی می‌توان برای حالتی که ترانزیستور در ناحیه اشباع کار می‌کند از وابستگی به ولتاژ درین-سورس چشم‌پوشی کرد. ضرایب معادله (۱) در زیر نشان داده شده است.

$$g_1 = \frac{\partial I_{DS}}{\partial V_{GS}}, g_2 = \frac{1}{2!} \frac{\partial^2 I_{DS}}{\partial V_{GS}^2}, g_3 = \frac{1}{2!} \frac{\partial^3 I_{DS}}{\partial V_{GS}^3} \quad (3)$$

برای آنکه پارامترهای یک ترانزیستور غیرخطی به دست آید، ابتدا ولتاژ درین - سورس (v_{ds}) ثابت در نظر گرفته می‌شود و ولتاژ گیت - سورس (v_{gs}) جاروب می‌شود و سپس سه مشتق اول ولتاژ dc جریان درین-سورس (i_{ds}) را با توجه به (V_{gs}) مربوط به آنچه در معادله (۳) است به دست می‌آید. نتیجه این محاسبات در شکل (۱) تا (۳) رسم شده است.

غیرخطی بودن ترانزیستورهای ماسفت ناشی از مشخصه‌ی (V-I) آن‌ها است. g_{m1} ترانسانایی اصلی است و بهره خطی را ایجاد می‌کند و g_{m2} و g_{m3} هم ضرایب مراتب دوم و سوم است که رفتار غیرخطی تقویت‌کننده را بیان می‌کنند [۹].

۱- مقدمه

با توجه به افزایش روزافزون استفاده از مدارهای بی‌سیم و وجود طیف فرکانسی شلوغ، احتمال تداخل رادیویی در ورودی گیرنده‌ها افزایش می‌یابد [۱]. سیگنال‌های موجود در کانال‌های گیرنده‌های فرا پهن باند (۳/۱ گیگاهرتز تا ۱۰/۶ گیگاهرتز) بالقوه می‌تواند باعث ایجاد اینترمدولاسیون شود [۲] و به تبع آن باعث تخریب سیگنال مطلوب در باند می‌شود به همین دلیل نیاز به طراحی گیرنده‌هایی با خطینگی بالا بیش‌ازپیش موردتوجه طراحان قرارگرفته است. یکی از راه‌های جلوگیری از تداخل برای گیرنده‌های فرا پهن باند استفاده از روش‌های جبران سازی و فیلتر کردن اولیه است [۳]. پس در این شرایط باید تقویت‌کننده کم نویز به‌اندازه کافی خطی باشد تا بتواند اثرات سیگنال‌های سد کننده را تحمل کند و از ایجاد اینترمدولاسیون جلوگیری نماید. البته باید توجه داشت که نباید خطی سازی به بهای از دست دادن بهره یا افزایش عدد نویز باشد.

راه کارهای خطی سازی با استفاده از شبکه فیدبک را نمی‌توان به راحتی در فرکانس‌های رادیویی استفاده کرد زیرا ممکن است از دیدگاه پایداری دچار مشکل شود و همچنین وابستگی المان‌های مسیر فیدبک به تغییرات فرکانس زیاد است.

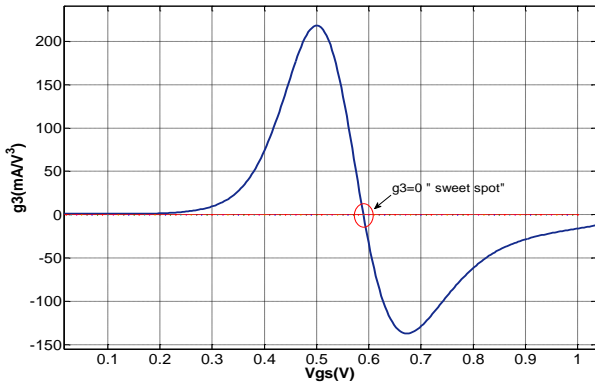
بایاس کردن ترانزیستور در نقطه کار بهینه باعث خطینگی زیاد می‌شود ولی این بازه بسیار باریک و حساس به تغییرات است. البته بایاس کردن در نقطه مطبوع، ترانسانایی طبقه‌ی ورودی را محدود می‌کند و منجر به کاهش بهره و افزایش عدد نویز خواهد شد [۴].

بخش دوم به معرفی روش پیش‌خور پرداخته است. در بخش سوم محاسبات و تئوری روش پیش‌خور بررسی شده است. بخش چهارم به تحلیل سیگنال کوچک روش برهم‌نهی اجزا (DS) می‌پردازد. بخش پنجم مقاله به تحلیل مدار پیشنهادی اختصاص یافته است و روابط ریاضی حاکم بر المان‌های مختلف مدار که بر خطینگی اثرگذار هستند را ارائه می‌دهد. بخش ششم به گزارش نتایج شبیه‌سازی اختصاص دارد و در بخش آخر به نتیجه‌گیری پرداخته شده است.

۲- معرفی روش خطی سازی پیش‌خور

روش پیش‌خور به طرق گوناگون در خطی سازی تقویت‌کننده‌های کم نویز مورد استفاده قرار می‌گیرد [۵]. استفاده از این روش حذف اعوجاج مرتبه سوم و در نتیجه افزایش خطینگی را نوید می‌دهد، که البته باعث بدتر شدن عدد نویز خواهد شد. روش DS یکی از زیرمجموعه‌های روش پیاده‌سازی پیش‌خور است. در پیاده‌سازی این روش با موازی کردن دو ترانزیستور که یکی در ناحیه‌ی وارونگی ضعیف و دیگری در وارونگی قوی بایاس شده است، بهره می‌بریم. عرض ترانزیستورها و نیز ولتاژ بایاس آن‌ها به گونه‌ای انتخاب می‌گردد که ضریب g_3 آن‌ها همدیگر را خنثی کنند.

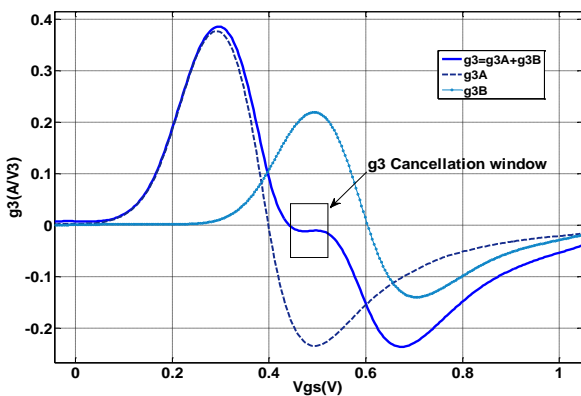




شکل (۲) - ج

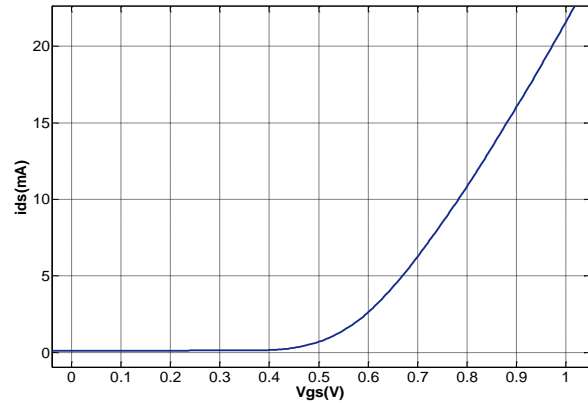
شکل (۲): مشخصه ترانسسانی NMOS به ازای ولتاژ $V_{ds}=1$ و $W/L=(90\ \mu\text{m}/0.18\ \mu\text{m})$

اگر فقط با بایاس کردن به کاهش g_3 پرداخته شود، مدار تقویت کننده به نقطه کار حساس می شود و نیز بایاس کردن ترانزیستور در $g_3=0$ ، ترانسسانی طبقه ورودی را به بهره کمتر و عدد نویز بیشتر محدود می کند. برای رفع این مشکلات نیاز به یک درجه آزادی بیشتر هست که با اضافه کردن یک ترانزیستور به صورت موازی با تقویت کننده اصلی می توان بر آن ها غلبه نمود. وابستگی g_3 به V_{gs} باعث می شود تا g_3 از مثبت به منفی تغییر علامت دهد. این تغییر علامت به علت تغییر ولتاژ گیت- سورس و متعاقباً تغییر ناحیه کاری ترانزیستور از وارونگی ضعیف به وارونگی قوی است [۱۰]. اگر به نحوی بتوان قسمت مثبت g_3 را با استفاده از یک ترانزیستور دیگر که در ناحیه کاری دیگری قرار دارد و g_3 آن منفی است (در ناحیه وارونگی قوی بایاس شده باشد)، جمع نمود؛ می توان g_3 معادل را تقریباً صفر در نظر گرفت که در شکل (۳) نشان داده شده است. که این بدان معناست که مقدار IIP_3 از نظر تئوری به شدت بهبود می یابد.



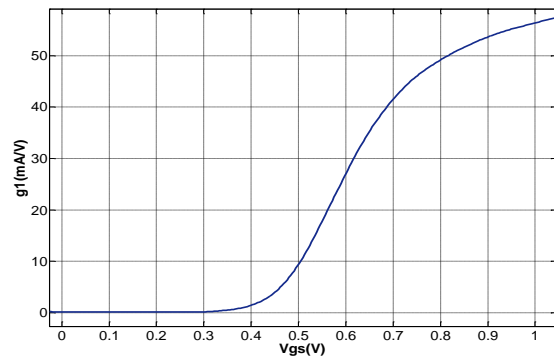
شکل (۳): اعوجاج مرتبه سوم ترانزیستور اصلی (g_{3A})، ترانزیستور کمکی (g_{3B}) و خروجی نهایی (g_3)

اما بهبود در دامنه AIP_3 به خاطر $g_{3tot=0}$ فقط در فرکانس های کم که راکتانس مدار قابل چشم پوشی است، بسیار چشم گیر خواهد بود و

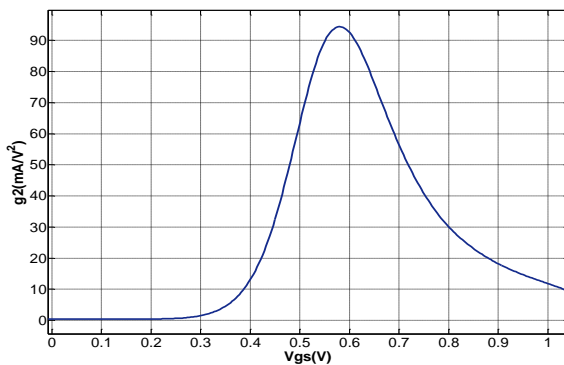


شکل (۱): تغییرات جریان درین برحسب ولتاژ گیت- سورس به ازای ولتاژ درین سورس ثابت در تکنولوژی TSMC_RF180nm و $W/L=(120\ \mu\text{m}/0.18\ \mu\text{m})$

با توجه به شکل های (۲) می توان گفت: در V_{gs} کوچک، g_3 مثبت است به دلیل آنکه ترانزیستور در ناحیه وارونگی ضعیف است. در V_{gs} های بزرگ، g_3 منفی است چراکه اشباع سرعت حامل ها باعث فشردگی بهره خواهد شد (کاهش تحرک پذیری). ایده اصلی، بایاس کردن ترانزیستور در نقطه مطبوع است؛ که در شکل (۳) نشان داده شده است. در این نقطه $g_3=0$ است و انتظار می رود اثرات غیرخطی مرتبه سوم نیز از بین برود. اما همان طور که از شکل (۲۱-ب) مشهود است، مقدار g_2 حداکثر می گردد؛ که برای کم کردن آن یا باید از ساختارهای دیفرانسیلی استفاده نمود و یا در روش هایی که در بخش بعدی توضیح داده خواهد شد، بهره جست.



شکل (۲) - الف



شکل (۲) - ب

و نیز با فرض آنکه ورودی تطبیق مزدوج در فرکانس می‌شود.
 $\omega \approx \omega_a \approx \omega_b$ باشد. می‌توانیم برای محاسبه IIP3 بنویسیم:

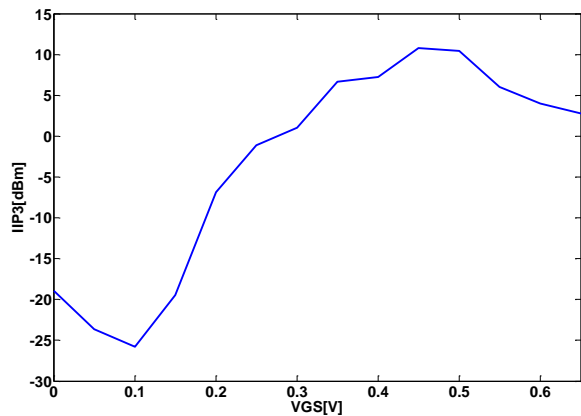
$$IIP_3 = \frac{4g_1^2 \omega^2 LC_{gs}}{3|\varepsilon|} \quad (5)$$

که در رابطه اخیر داریم (معادله ۶)

$$\varepsilon = g_3 - \frac{2g_2^2/3}{g_1 + \frac{1}{j2\omega L} + j2\omega C_{gs} + z_1(2\omega)\frac{C_{gs}}{L}} \quad (6)$$

از رابطه (۵) و (۶) دیده می‌شود که حتی اگر g_3 را صفر کنیم، بازهم مقدار IIP3 بی‌نهایت نمی‌شود (به شکل (۶) دقت شود). درحالی‌که در فرکانس‌های پایین می‌توانستیم IIP3 را بسیار بزرگ کنیم [۴].

عبارت دوم در معادله (۶) نمی‌گذارد که مقدار IIP3 با وجود صفر بودن مقدار g_3 ، به سمت بی‌نهایت میل کند. به عبارتی می‌توان گفت که این جمله، نشان‌دهنده اثرگذاری ضریب غیرخطی مرتبه دوم بر IM3 را به‌وضوح نشان می‌دهد. همان‌طور که اشاره شد این اثرگذاری به خاطر وابستگی سلف موجود در سورس است.



شکل (۶): شبیه‌سازی IIP3 مدار (۷) برحسب ولتاژ گیت - سورس در فرکانس 2.4GHz

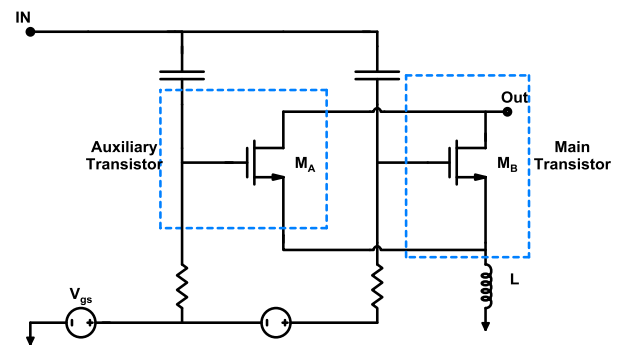
۵- تحلیل مدار پیشنهادی

برای بهبود IIP3 در روش DS در فرکانس‌های رادیویی نیاز نیست که ترکیب تداخل مرتبه دوم به IM3 را کاملاً از بین ببریم. فقط کافی است که دامنه آن همانند دامنه تداخل مرتبه سوم باشد ولی دارای فاز مخالف آن باشد. برای این‌که بتوان میزان تداخل مرتبه دوم را کنترل کرد به‌جای تنظیم، هارمونیک دوم و تغییر سائز ترانزیستورها، می‌توانیم با ایجاد اختلاف‌فاز توسط سلف‌های مدار پیشنهادشده که در شکل (۸) نشان داده شده است. ترکیب تداخل مرتبه دوم به IM3 را از

البته در فرکانس‌های بالا بهبود IIP3 توسط المان‌های دیگر نیز کنترل می‌شود.

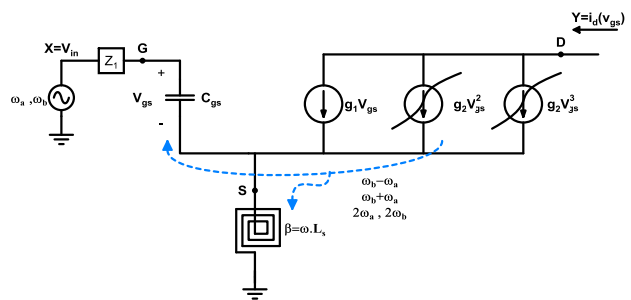
۴- تحلیل روش برهم‌نهی اجزا

برای تحلیل IIP3 نیاز به بررسی مدل سیگنال کوچک روش DS معمولی هست. شماتیک این روش در شکل (۴) نشان داده شده است. مدار معادل سیگنال کوچک شکل (۴) را با توجه به اینکه در این مدار مقدار g_i ها باهم جمع شده است و با صرف‌نظر کردن از اثر خازن گیت-درین، می‌توان خازن گیت-سورس دو ترانزیستور NMOS را باهم جمع کرد (دو ترانزیستور باهم موازی هستند). شکل (۵)



شکل (۴): روش DS برای ترکیب دو ترانزیستور NMOS

اگر فرض شود مقدار سلف درین صفر است. مقدار IM3 کاملاً توسط $g_3 V_{gs}^3$ ساخته می‌شود؛ اما سلف تبهگن سورس یک مسیر فیدبک برای جریان درین به V_{gs} می‌سازد.



شکل (۵): مدل سیگنال کوچک تقویت کننده کم نویز تبهگن

که معمولاً این فیدبک در فرکانس‌های بالا برای جریان درین (i_d) قوی است. برای مثال هارمونیک دوم $2\omega_b$ و $2\omega_a$ به‌وسیله $g_2 V_{gs}^2$ از طریق سورس-گیت به ورودی فیدبک می‌شوند و با کمیت اصلی جمع می‌شوند. این مؤلفه‌ها دوباره با $g_2 V_{gs}^2$ ترکیب می‌شوند و فرکانس‌های $2\omega_a \pm \omega_b$ و $2\omega_b \pm \omega_a$ را می‌سازند. از این‌رو ضریب غیرخطی مرتبه دوم جریان درین باعث ایجاد IM3 می‌شود. با فرض رابطه زیر:

$$\Delta\omega (= \omega_b - \omega_a) \ll \omega_a, \omega_b \Rightarrow j\Delta\omega L \approx 0 \quad (4)$$

برای این مدار برای سادگی از ضرایب مرتبه بالاتر صرف نظر می‌کنیم و $g_{1a} \approx 0$ و $g_{2a} \approx 0$ فرض می‌شود.

می‌توان جریان خروجی را با استفاده از سری ولترا به صورت رابطه (۷) نوشت. البته در این روابط به‌طور واضح $S (=j\omega)$ متغیر لاپلاس است.

$$i(v_x) = C_1(s) \circ v_x + C_2(s_1, s_2) \circ v_x^2 + C_3(s_1, s_2, s_3) \circ v_x^3 \quad (7)$$

که در این رابطه $C_n(s_1, s_2, \dots, s_n)$ تبدیل لاپلاس مرتبه n ام کرنل ولترا است و یا می‌توان گفت: تابع تبدیل غیرخطی مرتبه n ام است. علامت ۰ یعنی دامنه و فاز طیف هرکدام از v_x^n ها به وسیله دامنه و فاز $C_n(s_1, s_2, \dots, s_n)$ تغییر می‌کند. البته فرکانس هر مؤلفه $(\omega_1 + \omega_2 + \dots + \omega_n)$ است. پس برای تحریک دو تن ورودی داریم:

$$v_x = A[\cos(\omega_a t) + \cos(\omega_b t)] \quad (8)$$

پاسخ مدار به دامنه تن ورودی در محل تداخل مرتبه سوم IM3 فرکانس $2\omega_b - \omega_a$ و فرکانس پایه ω_a خواهد بود (به رابطه (۲) دقت شود).

$$A_{IP3}(2\omega_b - \omega_a) = \sqrt{\frac{4}{3} \frac{C_1(s_a)}{C_3(s_b, s_b, -s_a)}} \quad (9)$$

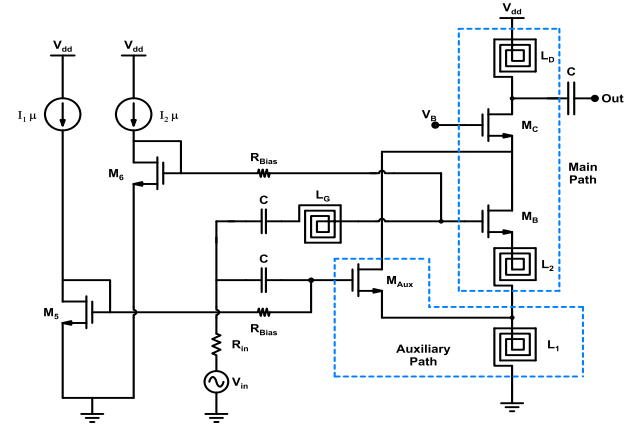
IIP3 را می‌توان توان قابل دسترس منبع ورودی در نقطه تلاقی مرتبه سوم نیز دانست [۵].

$$IIP3(2\omega_b - \omega_a) = \frac{A_{IP3}(2\omega_b - \omega_a)^2}{89R(Z_1(s_a))} \frac{1}{69R(Z_1(s_a))} \left| \frac{C_1(s_a)}{C_3(s_b, s_b, -s_a)} \right| \quad (10)$$

برای یافتن تابع (۹) نیاز به استفاده از روش ورودی هارمونیک است. در این روش به ورودی تحریک چند تن اعمال می‌شود (در فرکانس‌های مختلف)؛ سپس معادلات کیرشهف در حوزه فرکانس به ازای جمیع فرکانس‌های ورودی حل می‌شود. تعداد فرکانس‌های نامعلوم در v_x برابر با مرتبه تابع تبدیلی است؛ که محاسبه می‌شود. برای شروع به ورودی یک سیگنال تک تن اعمال می‌شود تا بتوان تابع تبدیل خطی را به دست آورد. این روند با تحریک کردن ورودی به ازای فرکانس‌های دیگر چند تن ادامه پیدا می‌کند، به طوری که می‌توان توابع تبدیل مرتبه بالاتر را به دست آورد.

تحلیل برای استخراج $C_1(s_a)$ و $C_3(s_b, s_b, -s_a)$ برای تن‌های بافاصله کم، زمانی که ورودی در حالت تطبیق مزدوج در فرکانس پایه و نیز امپدانس کم پایانه ورودی در فرکانس دوم باشد؛ معادله حاکم بر IIP3 به صورت رابطه (۱۱) به دست می‌آید [۵].

بین برد که برای دست یافتن به این مهم می‌توان از دو سلف سری استفاده کرد. البته با این انتخاب راحت‌تر می‌توان به تطبیق ورودی مناسب دست یافت. با توجه به اینکه در این روش سورس هر ترانزیستور به گره مختلفی وصل شده است؛ می‌توان با تغییر میزان سلف، فاز و دامنه ترکیب مرتبه سوم را تغییر داد.

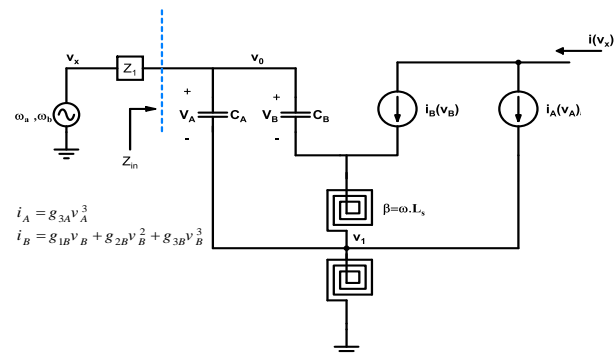


شکل (۸): مدار پیشنهاد شده

M_{Aux} در ناحیه وارونگی ضعیف قرار دارد که g_{3Aux} مثبت است و M_B در وارونگی قوی که مقدار g_{3A} منفی است. می‌توان گفت: اثرات g_{1Aux} و g_{2Aux} در پاسخ کلی قابل صرف نظر کردن است چراکه با توجه به بایاس ترانزیستور M_{Aux} در ناحیه زیر آستانه مقادیر این دو پارامتر بسیار کوچک خواهد بود که مقادیر این دو مؤلفه در شکل‌های ۲-الف و ۲-ب رسم شده است. حسن این روش در آن است که می‌توان با دو سلف مقدار دامنه و فاز g_{3Aux} را زمانی که ترکیب g_{2B} و g_{3B} تبدیل به IM3 می‌شوند را کنترل کرد.

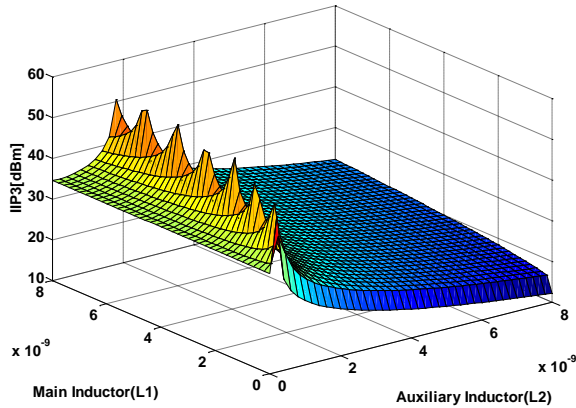
برای روشن تر شدن عملکرد مدار شکل (۸) برای دستیابی به IIP3 در فرکانس‌های رادیویی، از مدار ساده شده سیگنال کوچک شکل (۹) استفاده می‌کنیم.

در شکل (۹) مدار معادل تونن ورودی را با ولتاژ ساده سازی شده است. C_A و C_B خازن‌های گیت سورس ترانزیستور M_A و M_B هستند. به طور واضح V_A و V_B به ترتیب ولتاژهای سیگنال کوچک ترانزیستور M_A و M_B هستند. i_A و i_B جریان‌های درین این دو ترانزیستور هستند.



شکل (۹): مدار معادل سیگنال کوچک

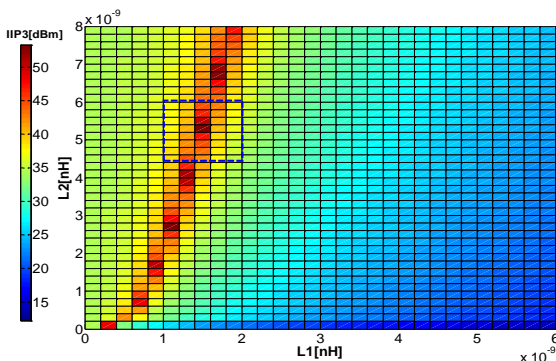
ایده روش DS بهبودیافته بر پایه آن است که L_2 بخشی از سلف تبهگن باشد و برای چرخاندن فاز g_{3A} که در ساخت IM3 شرکت می‌کند؛ مورد استفاده قرار گیرد. البته دقت شود که به‌گونه‌ای باید L_2 تنظیم شود که $g_{3A}V_A^3$ بتواند $g_{2B}V_B^2$ را نیز خنثی کند. این دو روند به‌صورت تصویری در شکل (۱۰) آورده شده است.



شکل (۱۱): شبیه‌سازی IIP3 برحسب سلف‌های L_1 و L_2 در فرکانس 2.4GHz

برای آن که $IM3=0$ شود، باید بخش حقیقی و بخش موهومی ε صفر شود. رابطه فوق را می‌توان به ازای L_1 و L_2 حل نمود. البته باید در انتخاب سایز مناسب و ولتاژ بایاس مناسب برای این روش دقت لازم را داشت. در این مقاله به حل عددی رابطه (۱۲) پرداخته شده است و در پایان مقدار بهینه را برای سلف L_1 و L_2 به‌دست می‌آید که در شکل (۱۱) نشان داده شده است.

کانتورهای شکل (۱۱) در شکل (۱۲) نشان داده شده است. منطقه مشخص شده در شکل (۱۲) مقدار مطلوب سلف‌ها را نشان می‌دهد؛ مقدار $L_1 \approx 2nH$ و $L_2 \approx 5nH$ انتخاب شد. البته با توجه به شکل می‌توان مقادیر مختلفی برای سلف‌ها در نظر گرفت. ولی باید به نکات دیگری از جمله تطبیق ورودی، عدد نویز و مساحت اشغال شده سطح تراشه توجه نمود.



شکل (۱۲): شبیه‌سازی IIP3 برحسب سلف‌های L_1 و L_2 در فرکانس 2.4GHz

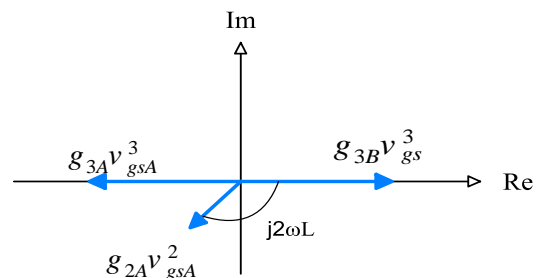
$$IIP_3 \approx \frac{4g_{1B}^2 \omega^2 [L_1(C_A + C_B) + L_2 C_B]}{3|\varepsilon|} \quad (11)$$

که ε در فرمول اخیر در رابطه (۱۲) آمده است. البته در رابطه اخیر فرض می‌شود که $\omega \approx \omega_a \approx \omega_b$ باشد.

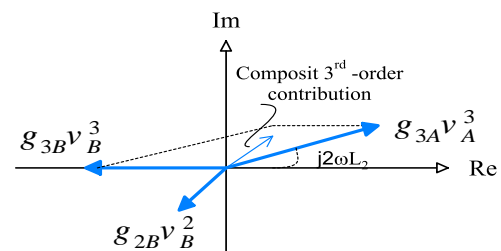
$$\varepsilon = g_{3A} (1 + j\omega L_2 g_{1B}) [1 + (j\omega L_2 g_{1B})^2] \left[1 + \frac{L_2 C_B}{L_1(C_A + C_B) + L_2 C_B} \right] + g_{3B} - \frac{2g_{2B}^2}{3g_{1B}} \frac{1}{1 + \frac{1}{j2\omega(L_1 + L_2)g_{1B}}}$$

پارامتر ε نشان می‌دهد چه عوامل غیرخطی در شکل (۹) منجر به ساختن IM3 می‌شود. دو عبارت اول در (۱۲) عوامل غیرخطی مرتبه سوم M_B و M_A را به ترتیب نشان می‌دهد؛ و عبارت آخر این رابطه عوامل غیرخطی مرتبه دوم M_B را که باعث IM3 می‌شود را نشان می‌دهد.

ترکیب فاز مؤلفه مرتبه سوم M_B و M_A وابسته به مقدار سلف L_2 است. اگر $L_2=0$ باشد، بخش موهومی عبارت اول رابطه (۱۲) صفر می‌شود. در این حالت دو عبارت اول رابطه (۱۲) نمی‌تواند بردار برآیندی ایجاد کنند که بتوانند مشارکت ترکیب‌های مرتبه دوم می‌ای را که توسط عبارت آخر (۱۲) ایجاد شده است و دارای بخش موهومی غیر صفر است را خنثی نماید. پس عملاً با $L_2=0$ نمی‌توان اعوجاج را از بین برد. این روش همان‌طور که در شکل (۱۰) آمده است؛ اساس روش DS معمولی و بهبودیافته را نشان می‌دهد.



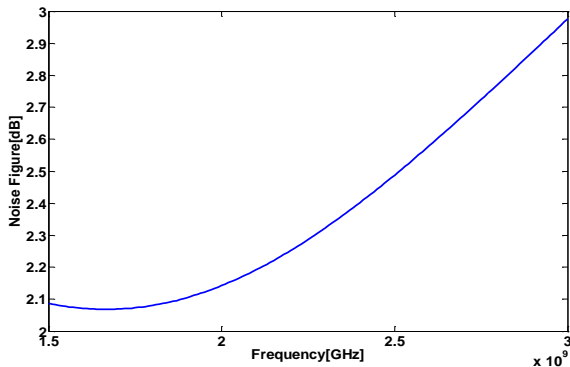
(الف)



(ب)

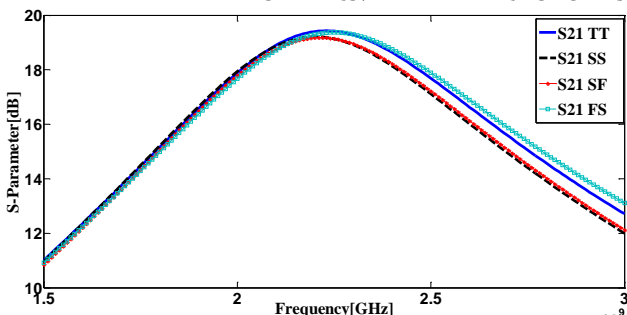
شکل (۱۰): (الف) نمودار جملات غیرخطی (Distortion) برای DS معمولی و (ب) DS بهبودیافته

در نمودار شکل (۱۴) عدد نویز برحسب فرکانس رسم شده است. با توجه به آنکه در تقویت کننده‌ی پیشنهاد شده ورودی همزمان به هر دو ترانزیستور متصل است می‌تواند عدد نویز بالایی داشته باشد، که با یک مصالحه بین توان مصرفی و عدد نویز می‌توان مقدار بهینه را با توجه به کاربرد انتخاب کرد. لازم به ذکر است توان مصرفی مدار پیشنهادی در حدود ۱۵ میلی وات است.



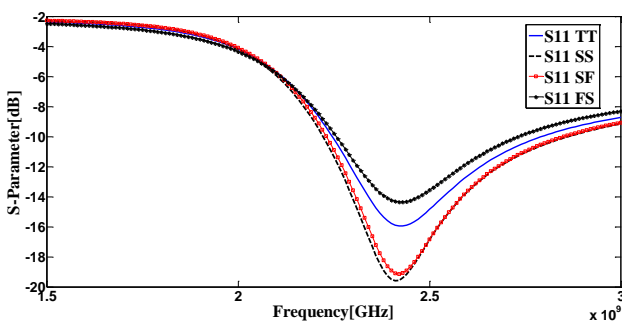
شکل (۱۴): عدد نویز برحسب فرکانس

با توجه به استفاده از تکنولوژی TSMC_RF 180 nm برای اطمینان از صحت عملکرد مدار با توجه به مراحل ساخت و تغییرات پارامترهای مداری ناشی از این مراحل توجه نمود. برای اطمینان از عملکرد مدار شبیه‌سازی در گوشه‌های پروسه اجرا شده است که نتایج شبیه‌سازی در گوشه‌های مختلف برای پارامترهای پراکندگی در شکل‌های ۱۵ و ۱۶ آمده است. در شکل ۱۵ پارامتر S21 برحسب فرکانس در گوشه‌های مختلف پروسه نشان داده شده است.



شکل (۱۵): عدد نویز برحسب فرکانس

همان‌طور که دیده می‌شود مقدار بهره در بازه مطلوب به پروسه وابستگی چندانی ندارد و نتایج در تمامی گوشه‌ها قابل قبول است و مدار به خوبی عمل می‌کند.



شکل (۱۶): عدد نویز برحسب فرکانس

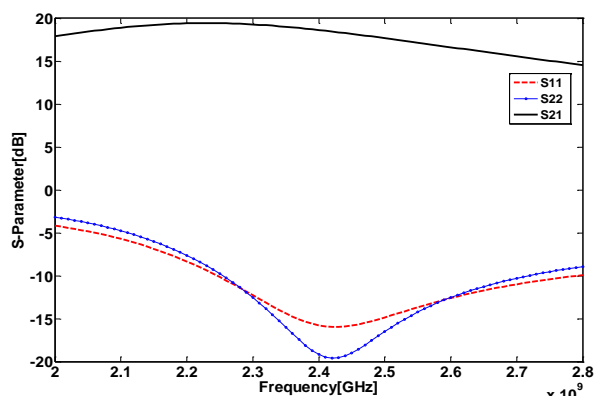
همان‌طور که از شکل (۱۱) مشاهده می‌شود، در مقادیر خاصی از سلف‌ها مقدار IM3 شاخه کمکی و شاخه اصلی هم دیگر را خنثی می‌کنند و مقدار IIP3 به حداکثر خود می‌رسد. با توجه به توضیحات بخش چهارم و نتایج شبیه‌سازی شکل (۶)، نقطه بایاس بهینه برای حالتی که g_3 کل تقریباً صفر می‌شود را برای مدار پیشنهادی نیز باید مدنظر قرارداد.

۶- نتایج شبیه‌سازی

در این شبیه‌سازی از تکنولوژی TSMC_RF180 nm استفاده شده است و تمام عناصر پارازیتیک برای المان‌های مداری در نظر گرفته شده است برای مثال ضریب کیفیت سلف‌ها برای این تکنولوژی در حدود ۳ است که در تمام مراحل، شبیه‌سازی‌ها بر اساس مقادیر واقعی تکنولوژی انجام شده است و از هیچ المان ایده‌آل در شبیه‌سازی‌ها استفاده نشده است.

برای بررسی صحت عملکرد مدار پارامترهای پراکندگی بررسی می‌شود که در این بخش ابتدا نسبت بازگشت سیگنال یا S11 بررسی می‌شود. در تمام محدوده پهنای باند موردنظر این مقدار از -14dB کمتر است؛ که نمودار آن در شکل (۱۳) به رنگ قرمز مشخص شده است. در شکل (۱۳) بهره (S21) بررسی شده است. که مقدار آن در حدود 18dB ثبت شده است. یکی از پارامترهای موردتوجه در تقویت کننده‌های کم نویز میزان بازگشت سیگنال در پورت خروجی یا S22 است که نتایج شبیه‌سازی آن در شکل به رنگ آبی می‌باشد.

همان‌طور که در بخش طراحی توضیح داده شد، با توجه به ساختار مدار ارائه شده چون ورودی را همزمان به گیت هر دو ترانزیستور وصل می‌شود، برای انجام تطبیق در ورودی کمی دچار مشکل خواهیم بود. ولی خوشبختانه در کل پهنای باند به مقادیر بسیار مناسب دست یافته می‌شود.



شکل (۱۳): نتایج شبیه‌سازی بهره S21 (نمودار مشکی)، نسبت بازگشت سیگنال S11 (نمودار آبی) و نسبت بازگشت سیگنال در خروجی S22 (نمودار قرمز) - برحسب فرکانس

است و البته با اضافه کردن یک طبقه دیگر به خروجی می‌توان به مقدار بهره بالایی دست‌یافت که می‌توان با توجه به کاربرد آن را اضافه یا حذف کرد و به بهره‌ای در حدود ۱۴ دسی‌بل دست‌یافت. بهبود IIP3 در برابر تغییرات کم عدد نویز و بهره از مزایای این روش نسبت به سایر روش‌ها است.

بر اساس مقاله [۱۱] از یک معیار شایستگی عمومی استفاده می‌شود، که رابطه آن به‌صورت زیر است:

$$FOM = 10 \log \left(\frac{Freq_{(GHz)} \cdot Gain_{(Mag)} \cdot IIP3_{mW}}{(F-1)_{(Mag)} \cdot P_{DC(mW)}} \right) \quad (13)$$

و به‌طور واضح این معیار تابعی از فرکانس کاری، گین، مقدار خطسانی و نویز و توان مصرفی مدار است. که نتایج مربوط به محاسبات در جدول (۱) آمده است. مقاله [۱۲] درحالی‌که به خطسانی بالاتری دست‌یافته است اما مقدار بهره آن کم است و در [۱۳] درحالی‌که توان مصرفی بسیار کم است، عدد نویز بزرگ و بهره کمی را شاهد هستیم که با توجه به کاربرد باید با یک مصالحه بین توان مصرفی، عدد نویز و خطسانی مقدار بهینه را یافت. در این طراحی با حل نظر گرفتن ملاحظات عملی و پیاده‌سازی سلف‌های درون تراشه با حل معادلات حاکم بر مدار پیشنهاد شده با انتخاب آگاهانه و مناسب مقادیر سلف‌ها را انتخاب نمودیم که سبب کاهش مقادیر سلف‌ها برای مدار تطبیق در ورودی و خروجی شد و نیاز مدار به سلف‌های بزرگ و خارج از تراشه برای تطبیق ورودی و خروجی مرتفع گردید. در مدار پیشنهادی ابعاد بزرگ‌ترین سلف در حدود ۳۷۰ میکرومتر است که البته استفاده از این روش یک ایده برای پیاده‌سازی بر روی تراشه است و دیگر نیاز به استفاده از مدارها جانبی برای تطبیق یا فیلتر کردن سیگنال ورودی نیست.

جدول (۱): مقایسه و خلاصه مقادیر شبیه‌سازی

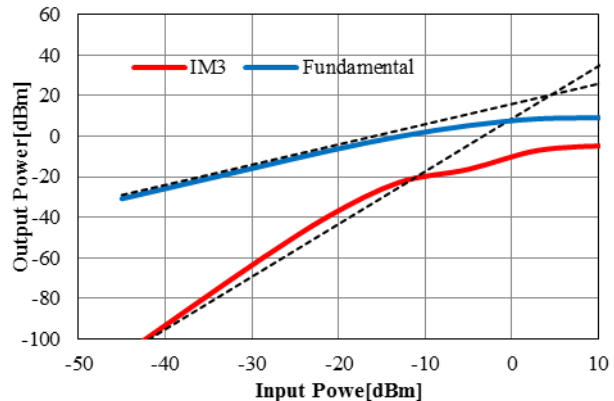
Work	Tech μm	Freq GHz	S21 dB	NF dB	Pdc mW	IIP3 dBm	FOM
This work	0.18	2.5	18	2.43	15	+7.5	9.015
With outline	0.18	2.5	12.8	2.12	10	-5	-2.53
[۱۲]	0.18	3	10	1.9	12	8.9	9.593
[۱۴]	0.18	1.2	>20	3.1	38.4	3	-2.22
[۱۵]	0.18	0.9	22	5.3	19.6	-10	-16.1
[۱۳]	0.18	5	9.2	4.5	1	-16	-7.00
[۱۶]	0.09	2.4	22.1	2.5	12.9	-10.8	-5.96

مراجع

- [1] B. Razavi, "Cognitive Radio Design Challenges and Techniques," IEEE J. Solid-State Circuits, vol. 45, no. 8, pp. 1542–1553, Aug. 2010.

در شکل ۱۶ پارامتر S11 برحسب فرکانس در گوشه‌های مختلف پروسه نشان داده شده است. همان‌طور که دیده می‌شود مقدار بازگشت سیگنال در بازه مطلوب کمتر از -۱۳dB است و نتایج در تمامی گوشه‌ها قابل قبول است.

یکی از پارامترهای رایج برای نشان دادن خطی بودن مدارهای مختلف، نقطه تلاقی مرتبه سوم و یا به‌اختصار (IIP3) است. همان‌طور که در شکل ۱۷ مشاهده می‌شود برای پیدا کردن IIP3 باید از برون‌یابی استفاده کرد؛ که در اینجا برای مدار پیشنهادی مقدار IIP3 تقریباً +7dBm به دست می‌آید.



شکل (۱۷): شبیه‌سازی IIP3 برحسب توان ورودی

۷- نتیجه‌گیری

همان‌طور که اشاره شد اضافه کردن ترانزیستور کمکی می‌تواند تطبیق ورودی را کم کند که به علت اضافه شدن اثر خازنی شبکه ترانزیستور کمکی است، در نتیجه تطبیق ورودی با مشکل روبرو خواهد شد. پس اضافه کردن ترانزیستورهای کمکی بیشتر با وجود آنکه درجه آزادی بیشتری به ما می‌دهد ولی باعث تأثیر روی مقدار عدد نویز و موارد دیگر می‌شود.

بایاس کردن دو ترانزیستور که در دو ناحیه کاری مختلف کار می‌کنند دارای چالش‌هایی است؛ که برای پیاده‌سازی نیاز به دقت بیشتری دارد که در بخش طراحی به آن اشاره شد.

مدار ارائه شده در این مقاله قابلیت پیاده‌سازی بر روی انواع تقویت‌کننده‌های کم نویز را خواهد داشت چراکه به‌صورت موازی با تقویت‌کننده اصلی قرار می‌گیرد.

ماهیت این راهکار بالقوه توانایی افزایش عدد نویز را دارد که با یک مصالحه بین توان و عدد نویز می‌توان انتخاب مناسبی داشت. در جدول (۱) مقایسه بین مدار پیشنهادی و مدارهای مراجع دیگر آمده است. در این مقایسه سعی شده است که از نتایج شبیه‌سازی مقالات استفاده شود.

در این گزارش با استفاده از روش DS و مقایسه‌ی آن با روش‌های دیگر از جمله فیدبک به بیان معایب و برتری‌های آن پرداخته شد و با کسکود کردن تقویت‌کننده‌ی اصلی از مزایای این ساختار استفاده شده

- [2] A. F. Khavari, K. Mafinezhad, and M. M. Nejad, "A Broadband Low Power CMOS LNA for 3.1 – 10.6 GHz UWB," Iran. Assoc. Electr. Electron. Eng., vol. 14, no. 4, pp. 1–13, 2018.
- [۳] سجاد علیزاده، حسین خالقی بیزکی و مجید اخوت، "بهبود کارایی سیستم UWB مبتنی بر TiR در شرایط تخمینگر غیر اید آل کانال" مجله انجمن مهندسی برق و الکترونیک ایران، سال یازدهم شماره اول، ۱۳۹۳.
- [4] T. W. Kim, "A Common-Gate Amplifier With Transconductance Nonlinearity Cancellation and Its High-Frequency Analysis Using the Volterra Series," IEEE Trans. Microw. Theory Tech., vol. 57, no. 6, pp. 1461–1469, Jun. 2009.
- [5] V. Aparin and L. E. Larson, "Modified derivative superposition method for linearizing FET low-noise amplifiers," IEEE Trans. Microw. Theory Tech., vol. 53, no. 2, pp. 571–581, Feb. 2005.
- [6] H. Shin, J. Kim, and N. Kim, "Source Degenerated Derivative Superposition Method for Linearizing RF FET Differential Amplifiers," IEEE Trans. Microw. Theory Tech., vol. 63, no. 3, pp. 1–10, Mar. 2015.
- [7] Y. M. Kim, H. Han, and T. W. Kim, "A 0.6-V +4 dBm IIP3 LC folded cascode CMOS LNA with gm linearization," IEEE Trans. Circuits Syst. II Express Briefs, vol. 60, no. 3, pp. 122–126, 2013.
- [8] B. Razavi, RF Microelectronics (Prentice Hall Communications Engineering and Emerging Technologies Series). Prentice Hall Press, 2011.
- [9] Y.-S. Lin, C.-C. Wang, G. Lee, and C.-C. Chen, "High-Performance Wideband Low-Noise Amplifier Using Enhanced pi-Match Input Network," IEEE Microw. Wirel. Components Lett., vol. 24, no. 3, pp. 200–202, Mar. 2014.
- [10] G. Drive, L. Jolla, V. Aparin, G. Brown, and L. E. Larson, "Linearization of CMOS LNA's via optimum gate biasing," in Circuits and Systems, 2004. ISCAS'04. Proceedings of the 2004 International Symposium on, 2004, vol. 4, p. IV-748.
- [11] S. Joo, T.-Y. Choi, and B. Jung, "A 2.4GHz Resistive Feedback LNA in 0.13um CMOS," IEEE J. Solid-State Circuits, vol. 44, no. 11, pp. 3019–3029, Nov. 2009.
- [12] K. Liang, C. Ho, M. Hsieh, and Y. Chan, "Using auxiliary amplifier to cancel third-order intermodulation distortion for a 1.9 GHz CMOS linear amplifier design," RFIC Symp. 2005. Dig. Pap. 2005 IEEE Radio Freq. Integr. Circuits, pp. 237–240.
- [13] H.-H. Hsieh and L.-H. Lu, "Design of Ultra-Low-Voltage RF Frontends With Complementary Current-Reused Architectures," IEEE Trans. Microw. Theory Tech., vol. 55, no. 7, pp. 1445–1458, Jul. 2007.
- [14] D. Im, I. Nam, H.-T. Kim, and K. Lee, "A Wideband CMOS Low Noise Amplifier Employing Noise and IM2 Distortion Cancellation for a Digital TV Tuner," IEEE J. Solid-State Circuits, vol. 44, no. 3, pp. 686–698, Mar. 2009.
- [15] X. Fan, H. Zhang, and E. Sánchez-Sinencio, "A Noise Reduction and Linearity Improvement Technique for a Differential Cascode LNA," IEEE J. Solid-State Circuits, vol. 43, no. 3, pp. 588–599, Mar. 2008.
- [16] C.-P. Chang, J.-A. Hou, J. Su, C.-W. Chen, T.-S. Liou, S.-C. Wong, and Y.-H. Wang, "A High Gain and Low Supply Voltage LNA for the Direct Conversion Application With 4-KV HBM ESD Protection in 90-nm RF CMOS," IEEE Microw. Wirel. Components Lett., vol. 16, no. 11, pp. 612–614, Nov. 2006.