Archive of SID

مرجع جریان ۱۰۰µA با ضریب تغییرات دمایی پایین مبتنی بر ترکیب ترانزیستورهای زیرآستانه و اشباع

امین شیخی[۱]، دانشجوی کارشناسی ارشد؛ فرشاد گودرزی[۲]، دانشجوی کارشناسی ارشد؛ سیروس طوفان[۳]، استادیار

۱- دانشکده مهندسی برق و کامپیوتر - دانشگاه زنجان - زنجان- ایران – Amin.sheykhi@znu.ac.ir
۲- دانشکده مهندسی برق و کامپیوتر - دانشگاه زنجان - زنجان - ایران – Farshad.goodarzi@znu.ac.ir
۳- دانشکده مهندسی برق و کامپیوتر - دانشگاه زنجان - زنجان - ایران – S.toofan@znu.ac.ir

چکیده: در این مقاله یک مرجع جریان با تکنیک ترکیب ساختار ترانزیستورهای اشباع و زیرآستانه ارائه می‌شود. در این کار ابتدا با هریک از این ساختارها جریان‌های PTAT و CTAT تولید و با یکدیگر ترکیب شد. سپس برای دستیابی به ضریب تغییرات دمایی پایین جریان‌های خروجی این دو ساختار با ضرایب مناسبی جمع گردید تا یک جریان مرجع برابر با ۱۰۰µA به دست آید. مدار پیشنهادی برای این مرجع جریان در تکنولوژی ۰/۱۸µm CMOS TSMC طراحی و جانمایی آن به ابعاد ۱۷۷/۴µm×۱۸۰/۵µm در نرم‌افزار Cadence رسم و مدار استخراج شده از آن شبیه‌سازی شد. نتایج شبیه‌سازی نشان دادند که این مرجع جریان در بازه دمایی ۴۰ºC- تا ۱۲۰ºC برای حالت TT دارای ضریب تغییرات دمایی ۳/۶۸ppm/ºC می‌باشد. علاوه بر این، میانگین ضریب تغییرات دمایی آن برای ۱۰۰۰ بار تکرار مونت کارلو برابر ۱۶/۳۸۴ppm/ºC است. همچنین نتایج شبیه‌سازی نشان داد که این مدار نسبت به تغییر یک ولتی ولتاژ تغذیه دارای حساسیت ۲/۹٪ می‌باشد. ولتاژ دو سر این مرجع جریان در ۹۸٪ مقدار نامی خود برابر ۳۹۶mV است. توان مصرفی این مدار در ولتاژ تغذیه ۱/۸V برابر ۳۹/۶۷µW است.

واژه‌های کلیدی: آینه جریان کسکودی، ضریب تغییرات دمایی، مرجع جریان.

A 100µA Low Temperature Coefficient Current Reference with Composition of Subthreshold and Saturation Transistors

A. Sheykhi[1], Msc. Student; F. Goodarzi[2], Msc. Student; S. Toofan[3], Assistant Professor

1- Faculty of Electrical and Computer Engineering, University of Zanjan, Zanjan, Iran, Email: Amin.sheykhi@znu.ac.ir
2- Faculty of Electrical and Computer Engineering, University of Zanjan, Zanjan, Iran, Email: Farshad.goodarzi@znu.ac.ir
3- Faculty of Electrical and Computer Engineering, University of Zanjan, Zanjan, Iran, Email: S.toofan@znu.ac.ir

Abstract: This paper presents a current reference circuit by employing the combination of the saturated and subthreshold transistors structures. At first, using these two structures PTAT and CTAT currents were generated and combined with together. Then to achieve low temperature variation coefficient, proper coefficients of the output currents of these two structures were combined leading to 100µA current reference. This current reference was post layout simulated in the 0.18µm CMOS TSMC technology with Cadence software and its layout size was 177.4µm×180.5µm. Post layout simulation results show that this current reference has a 3.68 ppm/°C variation in the temperature range of -40 to 120 Celsius degrees for TT transistors. In addition, its average temperature variation coefficient is 16.384 ppm/°C for 1000 iterations of Monte Carlo simulation. This circuit has a 2.9% sensitivity per one volt change of the supply voltage. This reference require to 396 millivolts headroom voltage to reach the 98% of the nominal current value. The power consumption of this circuit at the supply voltage of 1.8V was 39.67µW.

Keywords: Cascode current mirror, Current reference, Temperature coefficient.

تاریخ ارسال مقاله: ۱۳۹۶/۱۰/۱۸
تاریخ اصلاح مقاله: ۱۳۹۶/۱۲/۰۸ و ۱۳۹۷/۰۲/۰۹
تاریخ پذیرش مقاله: ۱۳۹۷/۰۴/۰۳
نام نویسنده مسئول: سیروس طوفان
نشانی نویسنده مسئول: ایران - زنجان – کیلومتر ۶ جاده تبریز - دانشگاه زنجان - دانشکده مهندسی برق و کامپیوتر.

www.SID.ir

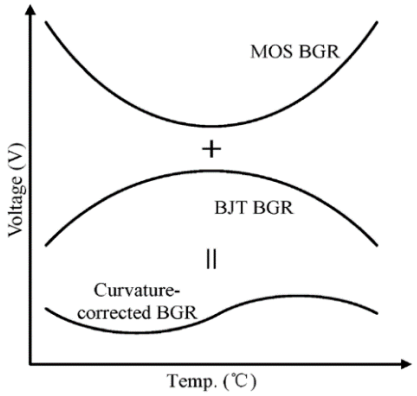
Archive of SID

۱- مقدمه

تقریباً اکثر مدارهای سیگنال آنالوگ/مخلوط برای بهبود شرایط کاری زیربلوک‌های خود به منابع جریان خوبی نیازمند هستند [۱]. یک مرجع جریان مناسب بایستی برای عملکرد در محدوده دمایی گسترده از دقت جریان و قابلیت اطمینان بالایی برخوردار باشد [۲].

برای کاهش وابستگی دمایی منابع جریان روش‌های مختلفی معرفی شده است. در اکثر کارها با افزودن یک جریان با ضریب تغییرات دمایی مثبت (PTAT[۱]) به یک جریان با ضریب تغییرات دمایی منفی(CTAT[۲])، مرجع جریان مستقل از تغییرات دما ایجاد می‌نمایند. در این راستا در [۳] با قرار دادن اختلاف ولتاژ امیتر- بیسِ دو ترانزیستور PNP بر روی یک مقاومت، جریان PTAT ایجاد شده است. همچنین در آن برای ایجاد جریان CTAT، ولتاژ امیتر- بیس یکی از این ترانزیستورها را به مقاومت دیگری اعمال کرده است. در این کار وجود دو ترانزیستور NMOS در مسیر ایجاد جریان CTAT، باعث کاهش غیرخطینگی این جریان در برابر تغییرات دما گردیده است. در [۴] به کمک ترکیب مدارهایی با ساختار ترانزیستورهای دو قطبی، BJT، و ترانزیستورهای زیرآستانه یک مرجع ولتاژ ۱/۲V با ضریب تغییرات دمایی ۴/۵ ppm/ºC ایجاد شده است. مطابق شکل ۱، از آنجایی که برآمدگی منحنی جریان حاصل از ساختار ترانزیستورهای زیرآستانه رو به پایین بوده و برآمدگی منحنی جریان تشکیل شده از ترانزیستورهای دو قطبی رو به بالا است، لذا در [۴] برای ایجاد یک مرجع ولتاژ با ضریب تغییرات دمایی پایین از ترکیب این دو جریان با ضرایب مناسب استفاده شده است. در این کار به دلیل استفاده از المان‌های زیاد از جمله دو عدد تقویت‌کننده عملیاتی و ترانزیستورهای BJT، مساحت تراشه زیاد شده است. علاوه برآن افزایش تعداد المان‌ها سبب افزایش توان مصرفی و عدم تطبیق[۳] در مدار می‌شود.

در [۵] اختلاف ولتاژ گیت- سورس دو ترانزیستور NMOS که در ناحیه زیرآستانه هستند، بر روی یک مقاومت قرار گرفته و جریان PTAT ایجاد شده است. سپس این جریان توسط ترانزیستورهای PMOS آینه شده و از یک ترانزیستور NMOS دیگری که در ناحیه زیر آستانه قرار دارد، عبور داده شده است. با اعمال ولتاژ حاصل در گیت- سورس این ترانزیستور بر روی یک مقاومت، جریان CTAT ایجاد شده است. در نهایت برای ایجاد ولتاژ مرجع، ضرایب مناسبی از این جریان‌ها به یک مقاومت اعمال شده است. همچنین برای ایجاد ولتاژ خروجی مستقل از تغییرات تغذیه به کمک یک ترانزیستور، جریان PTAT آینه شده با جریان CTAT ترکیب شده است. مزیت این کار نسبت به [۴]، ایجاد ولتاژ مستقل از تغییرات تغذیه، بدون استفاده از ساختار آینه جریان کسکودی[۴] یا تقویت‌کننده عملیاتی است. در مقابل ضریب تغییرات دمایی آن نسبت به [۳، ۴] خیلی زیاد است. در [۶] برای تولید جریان مرجع، از ترانزیستورهای ناحیه اشباع



شکل ۱: ترکیب ساختار ترانزیستورهای دوقطبی و زیرآستانه [۴]

استفاده شده است. ولی ضریب تغییرات دمایی آن نیز نسبت به [۳، ۴] زیاد است.

از آنجایی که برآمدگی تغییرات ضریب دمایی ساختار پیاده‌سازی شده با ترانزیستورهای اشباع به سمت بالا [۶] و برآمدگی تغییرات ضریب دمایی ساختار پیاده‌سازی شده با ترانزیستورهای زیرآستانه به سمت پایین [۵] است لذا در این کار برای دستیابی به ضریب تغییرات دمایی پایین از ترکیب این دو ساختار استفاده شده است. مزیت این کار نسبت به مدار ترکیبی ارائه شده در [۴]، عدم نیاز به ترانزیستورهای پیوندی دوقطبی و تقویت‌کننده‌های عملیاتی است. در نتیجه مساحت تراشه و توان مصرفی کاهش می‌یابد.

در ادامه مقاله به شرح زیر تنظیم می‌شود: در بخش دوم معادلات حاکم بر تولید مراجع جریان با ساختار ترانزیستورهای زیر آستانه و ساختار ترانزیستورهای اشباع بیان می‌گردند. در بخش سوم ساختار مرجع جریان پیشنهادی و در بخش چهارم نتایج شبیه‌سازی ارائه می شوند. درنهایت بخش پنجم به نتیجه‌گیری مقاله می‌پردازد.

۲- معادلات حاکم بر تولید مرجع جریان

۲-۱- با ساختار ترانزیستورهای زیر آستانه

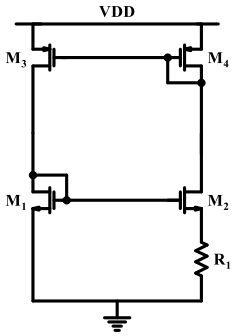
جریان یک ترانزیستور NMOS در ناحیه زیرآستانه به صورت زیر است [۷، ۸]:

$$I_D = I_0 \exp(\frac{V_{GS} - V_{th}}{nv_T}) \qquad (۱)$$

در رابطه (۱)، پارامترهای I_D، V_{GS}، V_{th}، n و v_T به ترتیب نشانگر جریان درین، ولتاژ گیت-سورس، ولتاژ آستانه، پارامتری ثابت با مقداری بین ۱/۵ تا ۳ و ولتاژ حرارتی[۵] می‌باشند و I_0 پارامتری متناسب با W/L است. W و L به ترتیب عرض و طول کانال ترانزیستور را نشان می‌دهند. با توجه به رابطه (۱) ولتاژ گیت-سورس ترانزیستور NMOS در ناحیه زیرآستانه را می‌توان به صورت رابطه (۲) نوشت.

www.SID.ir

Archive of SID



شکل ۲: مرجع جریان PTAT با ترانزیستورهای زیرآستانه

$$V_{GS} = nv_T Ln\left(\frac{I_D}{I_0}\right) + V_{th} \qquad (۲)$$

مدار شکل ۲ را در نظر بگیرید. در این مدار با فرض آن که ترانزیستورهای M_1 و M_2 در ناحیه زیرآستانه بوده و ترانزیستورهای M_3 و M_4 نیز به صورت آینه جریان با نسبت W/L یکسان باشند، جریان مقاومت R_1 را می‌توان به صورت رابطه (۳) نوشت:

$$I_{R_1} = \frac{V_{GS_1} - V_{GS_2}}{R_1} = \frac{nv_T}{R_1} Ln\left(\frac{S_2}{S_1}\right) \qquad (۳)$$

در رابطه (۳) پارامتر S_i نسبت W/L ترانزیستورها را نشان می‌دهد. در صورتی‌که از رابطه (۳) نسبت به دما مشتق گرفته شود، می‌توان نوشت:

$$\frac{dI_{R_1}}{dT} = \frac{nv_T}{R_1^2} Ln\left(\frac{S_2}{S_1}\right)\left(\frac{R_1}{T} - \frac{dR_1}{dT}\right) \qquad (۴)$$

از رابطه (۴) مشاهده می‌شود که با انتخاب مقدار مناسبی برای R_1 می‌توان به جریان PTAT دست یافت.

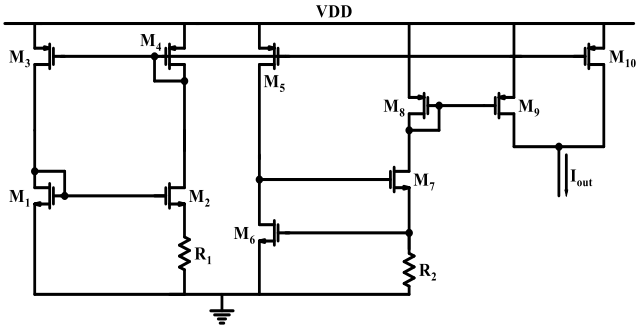
اگر یک ترانزیستور NMOS در ناحیه زیرآستانه با یک جریان ثابت بایاس شود، ولتاژ گیت-سورس آن با افزایش دما تقریباً به صورت خطی کاهش می‌یابد. رابطه ولتاژ گیت-سورس ترانزیستور NMOS در ناحیه زیرآستانه با دما به صورت زیر است [۵]:

$$V_{GS}(T) = V_{GS}(T_0) + K_G\left(\frac{T}{T_0} - 1\right) \qquad (۵)$$

در رابطه (۵)، پارامترهای $V_{GS}(T_0)$، T_0 و T به ترتیب بیانگر ولتاژ گیت-سورس در دمای اولیه، مقادیر دمای اولیه و دمای ثانویه بوده و پارامتر K_G به صورت زیر تعریف می‌شود [۵]:

$$K_G \cong K_T + V_{GS}(T_0) - V_{TH}(T_0) - V_{OFF} \qquad (۶)$$

در رابطه (۶)، پارامترهای K_T و V_{OFF} پارامترهای مدل BSIM3v3 است. همچنین در این رابطه $V_{GS}(T_0)$ و $V_{TH}(T_0)$، به ترتیب بیانگر ولتاژ گیت-سورس و ولتاژ آستانه در دمای اولیه می‌باشند. به ازای مقادیر نوعی K_T و V_{OFF}، پارامتر K_G یک مقدار منفی است. با افزایش دما این مقدار منفی باعث کاهش ولتاژ گیت- سورس می‌شود. در نتیجه ولتاژ گیت- سورس حاصل به صورت یک ولتاژ CTAT با ضریب



شکل ۳: ترکیب جریان‌های CTAT و PTAT ترانزیستورهای زیرآستانه

تغییرات دمایی منفی می‌باشد. حال می‌توان با اعمال این ولتاژ CTAT به یک مقاومت، یک جریان CTAT با رابطه زیر تولید کرد [۵]:

$$I_{CTAT} = \frac{V_{GS}(T)}{R} = \frac{V_{GS}(T_0)}{R} + \frac{K_G}{R}\left(\frac{T}{T_0} - 1\right) \qquad (۷)$$

برای ترکیب جریان‌های CTAT و PTAT تولید شده جهت دستیابی به جریان مستقل از دما، می‌توان از مدار نشان داده شده در شکل ۳ استفاده کرد [۵]. در مدار شکل ۳، می‌توان جریان خروجی I_{out} را به صورت زیر نوشت:

$$I_{out} = \frac{S_{10}}{S_4} I_{PTAT} + \frac{S_9}{S_8} I_{CTAT} \qquad (۸)$$

با تنظیم مناسب ضرایب جریان‌های PTAT و CTAT می‌توان یک جریان مستقل از دما ایجاد نمود. در مدار شکل ۳ ترانزیستور M_7 نقش ناقل جریان را دارد و اثر تغییرات منبع تغذیه بر روی جریان CTAT تولید شده توسط مقاومت R_1 را کاهش می‌دهد.

یکی دیگر از پارامترهای مؤثر بر دقت جریان تولید شده، تغییرات آن در برابر تغییرات VDD است. به دلیل اثر مدولاسیون طول کانال، اگر ولتاژ درین-سورس یک ترانزیستور تغییر کند، جریان درین آن نیز تغییر خواهد کرد. در نتیجه در مدار شکل ۳، افزایش ولتاژ تغذیه VDD منجر به افزایش جریان CTAT و PTAT می‌شود و برعکس.

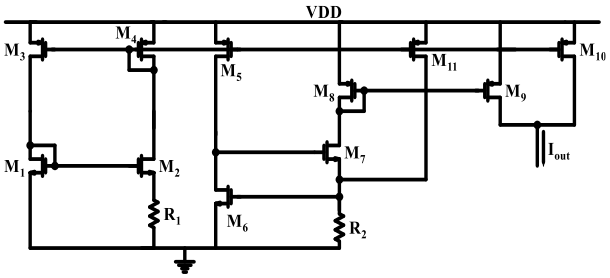
با افزودن ضریبی از جریان PTAT به تولیدکننده جریان CTAT اثر تغییرات ولتاژ تغذیه کاهش می‌یابد [۵]. مطابق شکل ۴ ترانزیستور M_{11} آینه جریانی را با ترانزیستور M_4 تشکیل می‌دهد، که ضریبی از جریان PTAT تولید شده را به جریان CTAT اضافه می‌کند. حال جریان خروجی نهایی به صورت زیر قابل بیان است:

$$I_{out} = \frac{S_{10}}{S_4} I_{PTAT} + \frac{S_9}{S_8}\left(\frac{V_{GS_6}}{R_2} - \frac{S_{11}}{S_4} I_{PTAT}\right) \qquad (۹)$$

اگر از رابطه (۹) نسبت به VDD مشتق گرفته شود، می‌توان به رابطه (۱۰) دست یافت.

www.SID.ir

Archive of SID



شکل ۴: کاهش وابستگی جریان خروجی به تغییرات تغذیه [۵]

$$\frac{\partial I_{out}}{\partial VDD}=\left(\frac{S_{10}}{S_3}-\frac{S_9}{S_8}\frac{S_{11}}{S_4}\right)\frac{\partial I_{PTAT}}{\partial VDD}+\frac{S_9}{S_8}\frac{1}{R_2}\frac{\partial V_{GS_6}}{\partial VDD} \quad (۱۰)$$

همچنین با توجه به رابطه (۲) مشتق V_{GS6} نسبت به VDD به صورت زیر به دست می‌آید:

$$\frac{\partial V_{GS_6}}{\partial VDD}=\frac{nv_T}{I_{D_6}}\frac{\partial I_{D_6}}{\partial VDD} \quad (۱۱)$$

با جای‌گذاری رابطه (۱۱) در رابطه (۱۰) می‌توان نوشت:

$$\frac{\partial I_{out}}{\partial VDD}=\left(\frac{S_{10}}{S_3}-\frac{S_9}{S_8}\frac{S_{11}}{S_4}+\frac{S_9}{S_8}\frac{S_5}{S_4}\frac{1}{R_2}\frac{nv_T}{I_{D_6}}\right)\frac{\partial I_{PTAT}}{\partial VDD} \quad (۱۲)$$

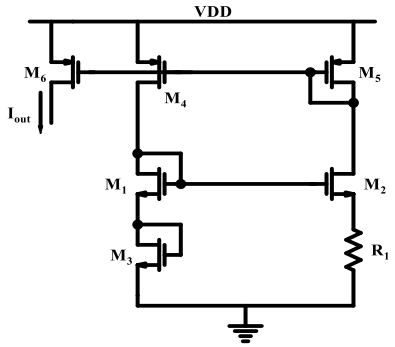
با توجه به وجود جمله‌ای با علامت منفی در رابطه (۱۲) می‌توان به تغییرات جریان خروجی نسبت به تغییرات تغذیه مساوی با صفر دست یافت. بنابراین با این روش اثر تغییرات ولتاژ تغذیه بر روی جریان خروجی کاهش خواهد یافت. بر اساس روابط (۸) و (۱۲) جریان خروجی به صورت تئوری می‌تواند مستقل از دما و تغییرات تغذیه شود. اما در عمل، از آنجایی که بیشتر پارامترهای مدار با یکدیگر مرتبط هستند، یافتن تعادل دقیق عملاً کار دشواری است. به عنوان مثال در روابط فوق، دما و ولتاژ تغذیه برای سادگی مستقل از یکدیگر در نظر گرفته شده‌اند؛ در حالی که در عمل این دو پارامتر با یکدیگر مرتبط هستند.

۲-۲- با ساختار ترانزیستورهای اشباع

جریان یک ترانزیستور NMOS در ناحیه اشباع به صورت زیر است [۶]:

$$I_D=\frac{1}{2}\mu_n C_{ox}\frac{W}{L}(V_{GS}-V_{th})^2 \quad (۱۳)$$

در معادله (۱۳) به دلیل بزرگ بودن طول کانال ترانزیستور از اثر مدولاسیون طول کانال صرف‌نظر شده است. در مدار شکل ۵ با فرض



شکل ۵: مرجع جریان با ترانزیستورهای ناحیه اشباع [۶]

این که ترانزیستورهای M_1، M_2 و M_3 در ناحیه اشباع بوده و ترانزیستورهای M_4 و M_5 نیز نقش آینه جریان با نسبت W/L برابر یک را داشته باشند، می‌توان معادله KVL در حلقه پایینی مدار را به صورت رابطه زیر نوشت:

$$V_{GS_1}+V_{GS_3}-V_{GS_2}-R_1I=0 \quad (۱۴)$$

به کمک رابطه (۱۳)، می‌توان رابطه (۱۴) را به صورت زیر بازنویسی نمود:

$$\sqrt{\frac{2I}{\mu_n C_{ox}}}\left(\frac{1}{\sqrt{S_1}}+\frac{1}{\sqrt{S_3}}-\frac{1}{\sqrt{S_2}}\right)+V_{th}-R_1I=0 \quad (۱۵)$$

با مشتق‌گیری از رابطه (۱۵) نسبت به دما می‌توان نوشت:

$$K_I=\frac{(2K_{V_{th}}+K_{\mu_n})V_{th}}{V_{th}+R_1I}-\frac{(K_{\mu_n}+2K_{R_1})R_1I}{V_{th}+R_1I} \quad (۱۶)$$

جزئیات این مشتق‌گیری در پیوست آمده است. در رابطه (۱۶)، هریک از پارامترهای ضریب دمایی نسبی K_X (X: I, V_{th}, μ_n, R_1) به صورت زیر تعریف می‌شوند:

$$K_X=\frac{1}{X}\frac{dX}{dT} \quad (۱۷)$$

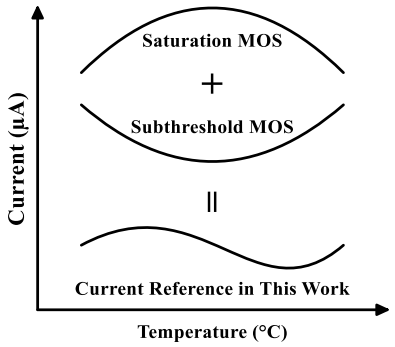
برای صفر شدن ضریب تغییرات دمایی جریان در رابطه (۱۶)، بایستی رابطه زیر برقرار گردد:

$$R_1=\frac{2K_{V_{th}}+K_{\mu_n}}{K_{\mu_n}+2K_{R_1}}\frac{V_{th}}{I} \quad (۱۸)$$

از رابطه (۱۸) مشاهده می‌شود که می‌توان با انتخاب مقدار مناسبی برای مقاومت R_1، ضریب تغییرات دمایی جریان فوق را به صفر رساند. از آنجایی که در عمل مقدار مقاومت R_1 عدد مثبتی است و از طرفی چون مقادیر $K_{V_{th}}$ و K_{μ_n} منفی هستند، در نتیجه بایستی $|K_{\mu_n}|>2K_{R_1}$ باشد تا بتوان به ضریب تغییرات دمایی صفر

www.SID.ir

Archive of SID



شکل ۶: ترکیب ساختار ترانزیستورهای زیرآستانه و اشباع

رسید.

۳- ساختار مداری مرجع جریان پیشنهادی

همان طوری که ذکر شد برآمدگی ضریب تغییرات دمایی ساختار پیاده‌سازی شده با ترانزیستورهای اشباع به سمت بالا [۶] و برآمدگی ضریب تغییرات دمایی ساختار پیاده‌سازی شده با ترانزیستورهای زیرآستانه به سمت پایین [۵] است. این مفهوم در شکل ۶ نشان داده شده است. در این کار برای دستیابی به یک مرجع جریان با ضریب تغییرات دمایی مناسب، مدارهای ارائه شده در [۵ و ۶] با یکدیگر ترکیب شده‌اند. ساختار مداری مرجع جریان پیشنهادی در شکل ۷ نشان داده شده است. مطابق این شکل، ترانزیستورهای M_1 - M_9 ساختار مرجع جریان با ترانزیستورهای زیرآستانه و ترانزیستورهای $M_{14} - M_{10}$ ساختار مرجع جریان با ترانزیستورهای اشباع را تشکیل می‌دهند. ترانزیستورهای $M_{15} - M_{17}$، M_{20} و M_{21}، با ضریب افزاینده[۶] ۸ جریان خروجی را به ۱۰۰μA می‌رسانند.

از آنجایی که می‌توان جریان‌هایی با مقادیر نزدیک به هم را توسط این دو مرجع جریان طراحی نمود، در نتیجه می‌توان به راحتی با ترکیب ضرایب مناسب این دو مرجع جریان، در محدوده دمایی گسترده‌ای به جریانی با ضریب تغییرات دمایی مطلوب، مطابق شکل ۶، دست یافت. از جمله مزایای بسیار مهم این مدار، طراحی مرجع جریان بدون استفاده از ترانزیستورهای پیوندی دوقطبی است زیرا استفاده از ترانزیستورهای پیوندی دوقطبی مساحت زیادی از تراشه را اشغال می‌کنند. علاوه بر این، استفاده از ترانزیستورهای دوقطبی سبب افزایش هزینه ساخت مدار نیز می‌گردد. همان‌طوری که در شکل ۷ مشاهده می‌شود، در مدار پیشنهادی از ترانزیستورهای ماسفت استفاده شده است که در نتیجه سبب کاهش هزینه ساخت می‌شود.

در مدارهای ترکیبی ارائه شده در [۳ و ۴]، برای جبران اثر غیرخطی جریان CTAT تولید شده، از خاصیت تقریباً خطی ترانزیستورهای زیرآستانه استفاده شده است. به طوری که رابطه ولتاژ امیتر-بیس ترانزیستورهای پیوندی دوقطبی نسبت به دما به صورت زیر است [۳]:

$$V_{EB}(T) = V_{BG}(T_0) - \frac{T}{T_0}(V_{EB}(T_0) - V_{BG}(T_0)) + (\eta - \zeta)v_T Ln\frac{T_0}{T} \quad (۱۹)$$

در رابطه (۱۹)، پارامترهای $V_{BG}(T_0)$، η و ζ به ترتیب بیانگر ولتاژ شکاف انرژی سیلیکون در دمای اولیه، ثابت دمایی وابسته به تکنولوژی، و مرتبه وابستگی دمایی جریان کلکتور هستند. همان طوری که مشاهده می‌شود در این رابطه عبارت $(\eta - \zeta)v_T Ln(T_0/T)$ منجر به غیرخطینگی زیادی در جریان CTAT ترانزیستورهای پیوندی دوقطبی می‌شود. لذا جبران این رفتار کاملاً غیرخطی توسط جریان CTAT ترانزیستورهای زیرآستانه که دارای رفتاری خطی هستند، کار دشواری است. اما مزیت مدار پیشنهادی در این مقاله نسبت به سایر کارهای ترکیبی انجام شده این است که از رفتار خطی جریان CTAT ترانزیستورهای زیرآستانه برای جبران رفتار نسبتاً خطی جریان PTAT ترانزیستورهای اشباع استفاده شده است. طبق رابطه (۱۶) پارامترهای V_{th} و μ_n در اثر افزایش دما، کاهش می‌یابند. روابط این دو پارامتر با دما به صورت زیر است [۲]:

$$\mu(T) = \mu(T_0)\left(\frac{T}{T_0}\right)^{-1.5} \quad (۲۰)$$

$$V_{th}(T) = V_{th}(T_0) - k(T - T_0) \quad (۲۱)$$

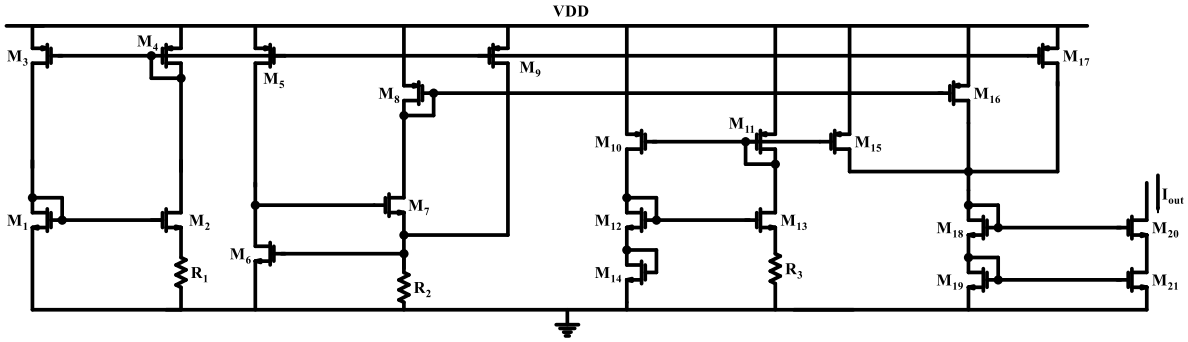
در روابط (۲۰) و (۲۱) پارامترهای $\mu(T_0)$، $V_{th}(T_0)$ و k به ترتیب بیانگر قابلیت تحرک‌پذیری الکترون در دمای اولیه، ولتاژ آستانه در دمای اولیه و ضریب دمایی ولتاژ آستانه هستند. روابط (۱۶)، (۱۹)، (۲۰) و (۲۱) نشان می‌دهند که جریان ترانزیستورهای اشباع نسبت به جریان ترانزیستورهای پیوندی دوقطبی رفتار خطی‌تری را دارند.

در مدار پیشنهادی به دلیل اضافه شدن ساختار ترانزیستورهای اشباع به ترانزیستورهای زیرآستانه، تدبیر اندیشیده شده در [۵] برای کاهش وابستگی جریان خروجی به تغییرات تغذیه، با مشکل مواجه می‌شود و جریان خروجی به شدت به تغییرات ولتاژ تغذیه وابسته می گردد. برای برطرف کردن این مشکل، طول کانال ترانزیستورهای M_{10} و M_{11}، بزرگ درنظر گرفته شده است.

طبق رابطه (۴)، برای این‌که جریان مقاومت R_1 رفتاری به صورت PTAT داشته باشد و از طرفی با توجه به رابطه (۱۸) برای رسیدن به ضریب تغییرات دمایی صفر در مرجع جریان پیاده‌سازی شده با ترانزیستورهای اشباع، در این کار از مقاومت‌های rphpoly استفاده شده است. این نوع مقاومت نسبت به مقاومت‌های دیگر دارای ضریب تغییرات دمایی کمتر (تقریباً برابر ۱۵۶ppm/ºC-) است.

www.SID.ir

Archive of SID



شکل ۷: ساختار مداری مرجع جریان پیشنهادی

۴- نتایج شبیه‌سازی

مدار مرجع جریان پیشنهادی در تکنولوژی CMOS ۰/۱۸µm طراحی و مدار استخراج شده از جانمایی[۷] آن با نرم‌افزار Cadence شبیه‌سازی شد. نتایج شبیه‌سازی‌ها در ادامه بیان می‌شوند. شکل۸ طرح جانمایی مدار پیشنهادی را نشان می‌دهد. ابعاد این جانمایی که در فناوری CMOS TSMC ۰/۱۸µm طراحی‌شده، برابر با ۱۷۷/۴µm×۱۸۰/۵µm است. به دلیل استفاده زیاد از جریان ۱۰۰µA در کاربردهای پزشکی، در این کار یک مرجع جریان با مقدار نامی ۱۰۰µA طراحی شده است. لازم به ذکر است که جریان اولیه طراحی شده با استفاده از هسته اصلی در حدود ۱/۵۷µA بوده است. به دلیل استفاده از ترانزیستورهایی با W/L بزرگ برای تولید جریان ۱۰۰µA، ابعاد تراشه افزایش یافته است. در این راستا برای رساندن جریان خروجی به ۱۰۰µA ترانزیستورهای M_{15}، M_{16}، M_{17}، M_{20} و M_{21} دارای ضریب افزاینده ۸ هستند.

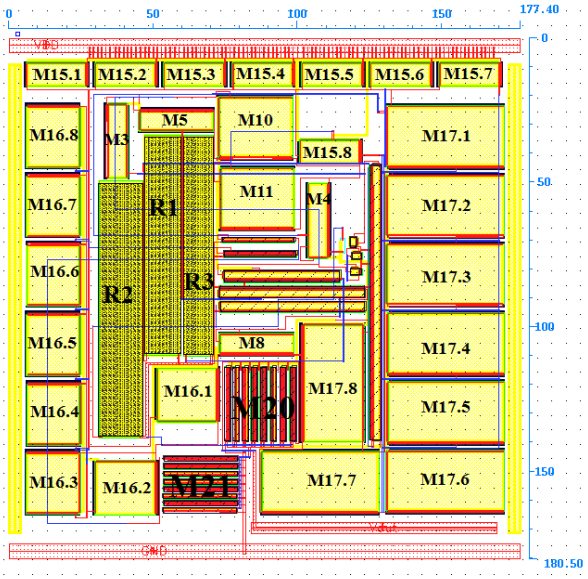
شکل ۹ تغییرات جریان خروجی ۱۰۰µAطراحی شده را در محدوده دمایی ۴۰°C- تا ۱۲۰°C نشان می‌دهد. ضریب تغییرات دمایی جریان خروجی در محدوده ذکر شده برابر با ۳/۶۸ppm/°C است. مقدار ضریب تغییرات دمایی جریان از رابطه زیر محاسبه شده است [۹]:

$$TC_F = \frac{I_{out}(\max) - I_{out}(\min)}{T_{\max} - T_{\min}} \times \frac{1}{I_{out}(T = 27°C)} \times 10^6 \quad ppm \qquad (۲۲)$$

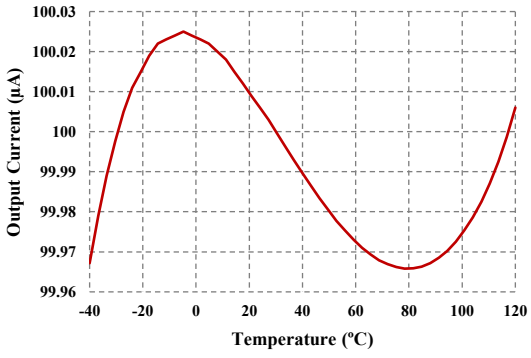
شکل ۱۰ نمودار جریان خروجی را به ازای تغییرات ولتاژ تغذیه از ۰V تا ۲/۲V نشان می‌دهد. مطابق این شکل، جریان خروجی در بازه ولتاژ ۱/۵V تا ۲/۲V تقریباً دارای مقدار ثابتی است. بنابراین مدار طراحی شده در ولتاژهای تغذیه ۱/۵V تا ۲/۲V به خوبی کار می‌کند.

شکل ۱۱ نمودار مشتق جریان خروجی را نسبت به تغییرات ولتاژ تغذیه از ۱/۵V تا ۲/۲V نشان می‌دهد. مطابق شکل‌های ۱۰ و ۱۱ حساسیت جریان خروجی در برابر تغییرات ولتاژ تغذیه در ۱/۸V برابر با ۲/۹٪ است.

شکل ۱۲ نمودار جریان خروجی را بر حسب ولتاژ دو سر خروجی نشان می‌دهد. با توجه به این شکل مشاهده می‌شود که حداقل ولتاژ لازم در دو سر خروجی برای انحراف ۲٪ از مقدار نامی، رسیدن به ۹۸٪ مقدار نامی، برابر ۳۹۶mV است.



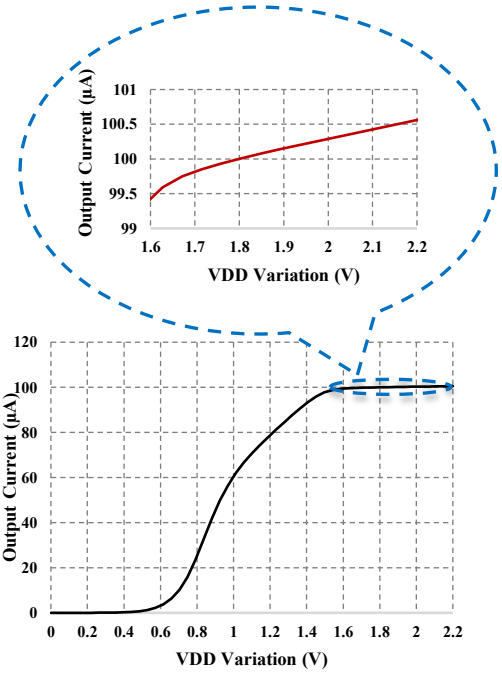
شکل ۸: طرح جانمایی مدار پیشنهادی



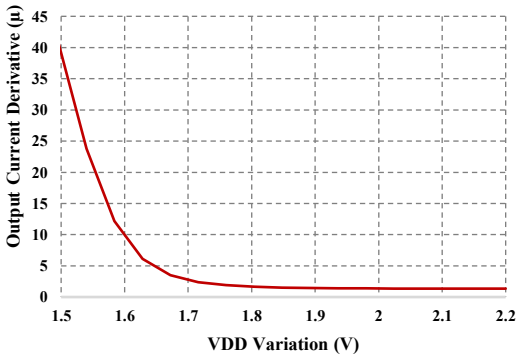
شکل ۹: جریان خروجی در محدوده دمایی ۴۰°C- تا ۱۲۰°C

www.SID.ir

Archive of SID



شکل ۱۰: نمودار جریان خروجی برحسب تغییرات تغذیه

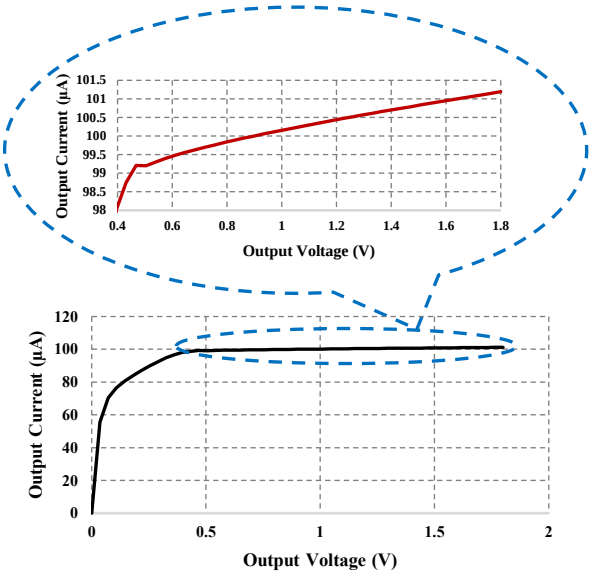


شکل ۱۱: منحنی مشتق جریان خروجی نسبت به تغییرات تغذیه

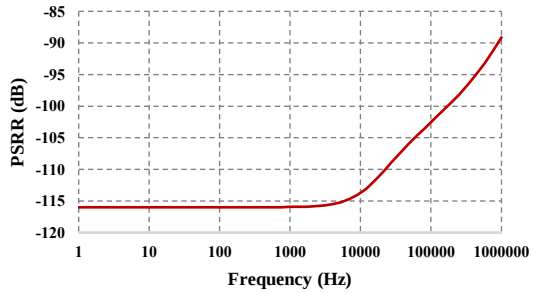
شکل ۱۳ منحنی PSRR[۸] را در محدوده فرکانسی ۱Hz تا ۱MHz نشان می‌دهد. مطابق این شکل در فرکانس‌های پایین PSRR برابر با ۱۱۶dB- بوده و در بدترین حالت در فرکانس ۱MHz به ۸۹/۱۲dB- می‌رسد که نشان‌دهنده عملکرد مطلوب مرجع جریان طراحی شده است.

شکل ۱۴ منحنی‌های مقاومت خروجی، به ازای مقادیر ولتاژهای دو سر خروجی بین ۰/۵V تا ۱/۷V با گام‌های ۰/۲V و در محدوده فرکانسی ۱Hz تا ۱MHz، را نشان می‌دهد. همان‌طوری که از این شکل مشاهده می‌شود با افزایش ولتاژ دو سر خروجی مرجع جریان، مقاومت خروجی زیاد می‌شود. مقدار مقاومت خروجی برای ولتاژهای ۰/۵V و ۱/۷V در فرکانس‌های پایین به ترتیب برابر ۲۶۹/۸۸KΩ و ۸۲۳/۸۶KΩ است.

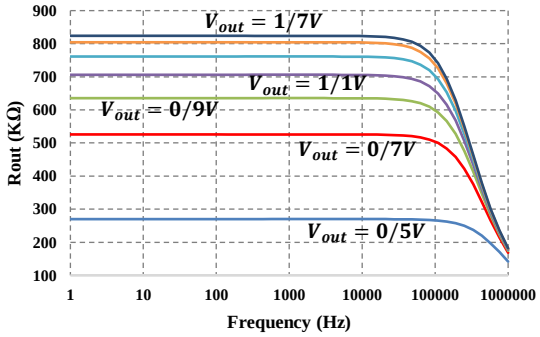
شکل ۱۵ منحنی‌های جریان خروجی را به ازای ولتاژ دو سر خروجی ۰/۹V در محدوده دمایی ۴۰°C- تا ۱۲۰°C برای گوشه‌های[۹]



شکل ۱۲: منحنی جریان خروجی بر حسب ولتاژ خروجی



شکل ۱۳: منحنی PSRR در محدوده فرکانسی ۱Hz تا ۱MHz

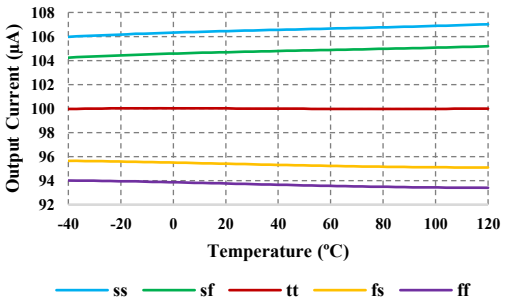


شکل ۱۴: منحنی‌های مقاومت خروجی به ازای ولتاژهای خروجی مختلف

مختلف پروسه ساخت نشان می‌دهد. مطابق این شکل حداکثر میزان انحراف از جریان نامی در برابر تغییرات پروسه ساخت برابر ۷٪ است. جدول ۱ ضریب تغییرات دمایی جریان خروجی را در گوشه‌های مختلف پروسه ساخت برای محدوده دمایی ۴۰°C- تا ۱۲۰°C نشان می‌دهد. بر اساس جدول ۱ و نمودارهای شکل ۱۵ در دمای ۲۷°C در گوشه SS، جریان خروجی برابر ۱۰۶/۴۸µA و دارای ضریب تغییرات

www.SID.ir

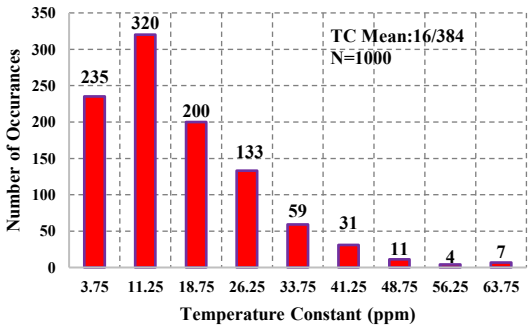
Archive of SID



شکل ۱۵: نمودار جریان‌های خروجی در گوشه‌های مختلف

جدول ۱: ضریب تغییرات دمایی در گوشه‌های مختلف

Corners	Temperature Coefficient (ppm/°C)
SS	61.3
SF	56.96
TT	3.68
FS	36.05
FF	40.29

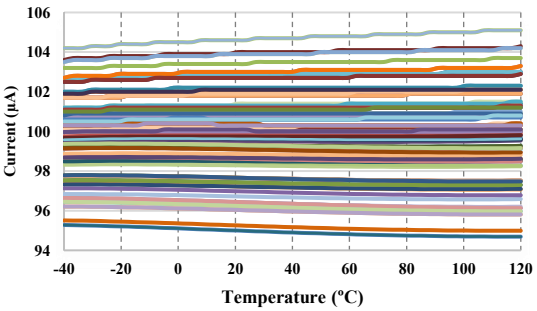


شکل ۱۶: نمودار هیستوگرام ضریب تغییرات دمایی به ازای ۱۰۰۰ بار تکرار در شبیه‌سازی مونت‌کارلو

دمایی ۶۱/۳ppm/°C، در گوشه SF، جریان برابر ۱۰۴/۷۳µA و دارای ضریب تغییرات دمایی ۵۶/۹۶ppm/°C، در گوشه FS، جریان برابر ۹۵/۳۷µA و دارای ضریب تغییرات دمایی ۳۶/۰۵ppm/°C و در گوشه FF، جریان برابر ۹۳/۷۲µA و دارای ضریب تغییرات دمایی ۴۰/۲۹ppm/°C است.

شکل ۱۶ نمودار هیستوگرام ضریب تغییرات دمایی را به ازای ۱۰۰۰ بار تکرار در شبیه‌سازی مونت‌کارلو[۱۰] برای محدوده دمایی ۴۰°C- تا ۱۲۰°C نمایش می‌دهد. مطابق این شکل میانگین ضریب تغییرات دمایی در ۱۰۰۰ بار تکرار شبیه‌سازی برابر با ppm/°C ۱۶/۳۸۴ است.

شکل ۱۷ شبیه‌سازی مونت‌کارلو برای جریان خروجی در محدوده دمایی ۴۰°C- تا ۱۲۰°C را به ازای ۱۰۰ بار تکرار نمایش می‌دهد.



شکل ۱۷: نمودار جریان خروجی به ازای ۱۰۰ بار تکرار در شبیه‌سازی مونت‌کارلو

مطابق شکل ۱۷ حداکثر میزان انحراف از جریان نامی در برابر تغییرات پروسه ساخت برابر ۵±٪ است.

جدول ۲ مقایسه‌ای بین مدار پیشنهادی و چندین کار مهمی که در سالهای اخیر گزارش شده‌اند را نشان می‌دهد. با توجه به جریان خروجی بسیار زیاد مدار پیشنهادی نسبت به بقیه مدارهای مورد مقایسه در جدول ۲، مدار پیشنهادی دارای توان مصرفی قابل قبولی است. ضریب تغییرات دمایی مدار پیشنهادی در محدوده دمایی گسترده ۴۰°C- تا ۱۲۰°C در حالت TT برابر با ppm/°C ۳/۶۸ و میانگین ضریب تغییرات دمایی به ازای ۱۰۰۰ بار تکرار شبیه‌سازی مونت‌کارلو ppm/°C ۱۶/۳۸۴ است. همان‌طوری که در جدول ۲ مشاهده می‌شود، تعدادی از مقالات مورد مقایسه دارای نتایج ساخت می‌باشند ولی اگر دقت شود نتایج این کار نسبت به نتایج شبیه‌سازی‌ها نیز بهبود یافته است. البته نتایج مراجع [۴، ۱۰ و ۱۱] نسبت به نتایج این کار کمی بهتر است ولی در این کارها از تقویت‌کننده‌های عملیاتی و ترانزیستورهای BJT استفاده شده که این کار منجر به افزایش سطح، توان مصرفی و هزینه ساخت می‌گردد.

۵- نتیجه‌گیری

در این مقاله یک مرجع جریان ۱۰۰µA در تکنولوژی CMOS ۰/۱۸µm ارائه شده است. به دلیل استفاده زیاد از جریان ۱۰۰µA در کاربردهای پزشکی، در این کار یک مرجع جریان با مقدار نامی ۱۰۰µA طراحی شده است. از آنجایی که برآمدگی ضریب تغییرات دمایی ساختار پیاده‌سازی شده با ترانزیستورهای اشباع به سمت بالا و برآمدگی ضریب تغییرات دمایی ساختار پیاده‌سازی شده با ترانزیستورهای زیرآستانه به سمت پایین است، از این رو برای رسیدن به ضریب تغییرات دمایی پایین، از ترکیب ضرایب مناسب این دو مرجع جریان استفاده شده است. نتایج شبیه‌سازی پس از جانمایی برای جریان ۱۰۰µA، در بازه دمایی ۴۰°C- تا ۱۲۰°C ضریب تغییرات دمایی را ppm/°C ۳/۶۸ نشان می‌دهد. این مقدار ضریب تغییرات دمایی در مقایسه با کارهای صورت گرفته در این زمینه، به صورت قابل توجهی بهبود یافته است. حساسیت این مرجع جریان نسبت به یک ولت تغییرات منبع تغذیه در ولتاژ تغذیه ۱/۸V برابر ۲/۹٪ است.

www.SID.ir

Archive of SID

جدول ۲: مقایسه مشخصات مدار پیشنهادی با کارهای اخیر

Parameter		[2]	[3]		[4]	[5]	[6]	[10]	[11]	This work
Year Reported		2013	2015		2014	2006	2005	2012	2015	**2018**
Test type		Simulation	Fabrication		Fabrication	Fabrication	Simulation	Fabrication	Fabrication	**Simulation**
Supply Voltage (V)		5	1.15		1.2	0.85	1.8	2.5	1.2	**1.8**
Current (μA)		0.009	0.504		36	1.7	15.15	4.393	18.997	**100**
Temp Range (℃)		0 to 80	10 to 80	0 to 100	-40 to 120	-20 to 120	0 to 120	-15 to 150	-40 to 120	**-40 to 120**
TC (ppm/℃)	**best**	NA	10.1	43.5	3.4	193	130	3.9	4.2	**3.68**
	average	57	32.6	53.1	4.5	NA	NA	NA	9.3	**16.38**
Power Consumption (μW)		NA	0.58		43.2	3.3	NA	95	144	**39.67**
Area		8100 μm^2	0.028 mm^2		0.036 mm^2	NA	4200 μm^2	0.1019 mm^2	0.063 mm^2	**0.032** mm^2
Technology		0.35 μm	90 nm		0.18 μm	0.18 μm	0.35 μm	0.35 μm	0.13 μm	**0.18** $\boldsymbol{\mu m}$

PSRR این مرجع جریان، در فرکانس ۱MHz برابر ۸۹/۱۲dB- و در فرکانس‌های پایین برابر ۱۱۶dB- است. این مرجع جریان به حداقل ولتاژ دو سر خروجی ۳۹۶mV برای قرار گرفتن در محدوده ۹۸٪ جریان نامی نیاز دارد. توان مصرفی این مدار در ولتاژ تغذیه ۱/۸V برابر ۳۹/۶۷μW است. ابعاد جانمایی مدار پیشنهادی برابر با ۱۷۷/۴μm ×۱۸۰/۵μm است.

سپاسگزاری

لازم به ذکر است که در طول این کار تحقیقاتی، تیم پژوهشی آزمایشگاه مدارهای مجتمع دانشگاه زنجان همکاری همه‌جانبه‌ای با ما داشته‌اند، لذا نهایت تشکر و قدردانی خود را به پاس این حمایت، از اعضای آزمایشگاه مدارهای مجتمع دانشگاه زنجان ابراز می‌کنیم.

پیوست

در مرجع جریان شکل ۵ با نوشتن KVL در حلقه پایینی و ساده‌سازی آن می‌توان به رابطه (۱۵) دست یافت. از آنجایی که در این رابطه پارامترهای I، V_{th} و μ_n با تغییر دما تغییر می‌کنند، می‌توان رابطه (۱۵) را به صورت زیر بازنویسی کرد:

$$A\sqrt{\frac{I}{\mu_n}}+V_{th}-R_1 I=0 \qquad (۲۳)$$

در رابطه (۲۳)، A پارامتری ثابت نسبت به دما است که به صورت زیر تعریف می‌شود

$$\sqrt{\frac{2}{C_{ox}}}\left(\frac{1}{\sqrt{S_1}}+\frac{1}{\sqrt{S_3}}-\frac{1}{\sqrt{S_2}}\right)=A \qquad (۲۴)$$

حال با مشتق‌گیری از رابطه (۲۳) نسبت به دما می‌توان نوشت:

$$A\frac{d}{dT}\left(\sqrt{\frac{I}{\mu_n}}\right)+\frac{dV_{th}}{dT}-\frac{d}{dT}(R_1 I)=0 \qquad (۲۵)$$

با ساده‌سازی رابطه (۲۵) می‌توان به رابطه (۲۶) دست یافت.

$$A\frac{\left(\mu_n\frac{dI}{dT}-I\frac{d\mu_n}{dT}\right)}{2\mu_n^2\sqrt{\frac{I}{\mu_n}}}+\frac{dV_{th}}{dT}-I\frac{dR_1}{dT}-R_1\frac{dI}{dT}=0 \qquad (۲۶)$$

در رابطه (۲۶) با فاکتورگیری از عبارت dI/dT و انتقال بقیه جملات به سمت راست تساوی می‌توان نوشت:

$$\frac{dI}{dT}\left(\frac{A}{2\sqrt{\mu_n I}}-R_1\right)=\frac{A}{2}\frac{1}{\mu_n}\sqrt{\frac{I}{\mu_n}}\cdot\frac{d\mu_n}{dT}-\frac{dV_{th}}{dT}+I\frac{dR_1}{dT} \qquad (۲۷)$$

با ترکیب روابط (۲۳) و (۲۷) می‌توان نوشت:

$$\frac{dI}{dT}=\frac{2IV_{th}K_{V_{th}}+IV_{th}K_{\mu_n}}{V_{th}+R_1 I}-\frac{R_1 I^2 K_{\mu_n}+2R_1 I^2 K_{R_1}}{V_{th}+R_1 I} \qquad (۲۸)$$

با تقسیم رابطه (۲۸) بر I و فاکتورگیری از جملات مشترک می‌توان به رابطه (۲۹) دست یافت.

$$\frac{1}{I}\frac{dI}{dT}=\frac{(2K_{V_{th}}+K_{\mu_n})V_{th}}{V_{th}+R_1 I}-\frac{(K_{\mu_n}+2K_{R_1})R_1 I}{V_{th}+R_1 I} \qquad (۲۹)$$

حال با استفاده از رابطه (۱۷)، می‌توان رابطه (۲۹) را به صورت زیر نوشت:

www.SID.ir

Archive of SID

$$K_I = \frac{(2K_{V_{th}} + K_{\mu_n})V_{th}}{V_{th} + R_1 I} - \frac{(K_{\mu_n} + 2K_{R_1})R_1 I}{V_{th} + R_1 I} \quad (۳۰)$$

مراجع

[۱] مهدی حسین‌نژاد و حسین شمسی، «طراحی و شبیه‌سازی مبدل آنالوگ به دیجیتال لوله‌ای مبتنی بر مقایسه‌گر ولتاژ پایین»، مجله مهندسی برق، دوره ۴۶، دانشگاه تبریز، ۱۳۹۵.

[2] H. Kayahan, O. Ceylan, M. Yazici, S. Zihir and Y. Gurbuz, "Wide Range, Process and Temperature Compensated Voltage Controlled Current Source," IEEE Transactions on Circuits and Systems I: Regular papers, Vol. 60, No. 5, pp. 1345-1353, 2013.

[3] K. K. Lee, T. S. Lande and P. Dominik, "A Sub-µW Bandgap Reference Circuit with an Inherent Curvature-Compensation Property," IEEE Transactions on Circuits and Systems I: Regular papers, Vol. 62, No. 1, pp. 1-9, 2015.

[4] B. Ma and F. Yu, "A Novel 1.2-V 4.5-ppm/ºC Curvature-Compensated CMOS Bandgap Reference," IEEE Transactions on Circuits and Systems I: Regular papers, Vol. 61, No. 4, pp. 1026-1035, 2014.

[5] P. Huang, H. Lin and Y. Lin, "A Simple Subthreshold CMOS Voltage Reference Circuit With Channel-Length Modulation Compensation," IEEE Transactions on Circuits and Systems II: Express Briefs, Vol. 53, No. 9, pp. 882-885, 2006.

[6] F. Fiori and P. S. Crovetti, "A New Compact Temperature-Compensated CMOS Current Reference," IEEE Transactions on Circuits and Systems II: Express Briefs, Vol. 52, No. 11, pp. 724-728, 2005.

[7] B. Razavi, *Design of Analog CMOS Integrated Circuits*, Mc Graw Hill Education Publishing, 2015.

[8] P. E. Allen, *CMOS Analog Circuit Design*, Oxford University Press Publishing, 2002.

[9] Y. P. Tsividis and R. W. Ulmer, "A CMOS Voltage Reference," IEEE Journal of Solid-State Circuits, Vol. SC-13, No. 6, pp. 774-778, 1978.

[10] C. M. Andreou, S. Koudounas and J. Georgiou, "A Novel Wide-Temperature-Range, 3.9ppm/ºC CMOS Bandgap Reference Circuit," IEEE Journal of Solid-State Circuits, Vol. 47, No. 2, pp. 574-581, 2012.

[11] Q. Duan and J. Roh, "A 1.2-V 4.2-ppm/ºC High-Order Curvature-Compensated CMOS Bandgap Reference," IEEE Transactions on Circuits and Systems I: Regular papers, Vol. 62, No. 3, pp. 662-670, 2015.

زیرنویس‌ها

[1] Proportional To Absolute Temperature
[2] Complementary To Absolute Temperature
[3] Mismatch
[4] Cascode current mirror
[5] Thermal voltage
[6] Multiplier
[7] Post Layout Simulation
[8] Power Supply Rejection Ratio
[9] Corners
[10] Monte Carlo

www.SID.ir