Archive of SID

اشمیت تریگر CMOS شبه-تفاضلی خیلی کم ولتاژ ۰/۴ولت مبتنی‌بر اینورتر دیجیتال

یاسین باستان[۱]، دانشجوی دکتری؛ فردین فاضل[۲]، دانشجوی کارشناسی ارشد؛ علی نجاتی[۳]، دانشجوی کارشناسی ارشد؛ پرویز امیری[۴]، دانشیار

۱- دانشکده مهندسی برق و کامپیوتر- دانشگاه تربیت دبیر شهید رجایی- تهران- ایران- ybastan@sru.ac.ir
۲- دانشکده مهندسی برق و کامپیوتر – دانشگاه تربیت دبیر شهید رجایی - تهران - ایران – fazel.fardin@gmail.com
۳- دانشکده مهندسی برق و کامپیوتر- دانشگاه تربیت دبیر شهید رجایی- تهران- ایران- s.ali.nejati@sru.ac.ir
۴- دانشکده مهندسی برق و کامپیوتر- دانشگاه تربیت دبیر شهید رجایی- تهران- ایران- pamiri@sru.ac.ir

چکیده: در این مقاله، یک اشمیت تریگر شبه-تفاضلی مبتنی‌بر دیجیتال با ولتاژ تغذیه خیلی کم ارائه شده‌است. اشمیت تریگر پیشنهادی با الهام‌گیری از روند طراحی یک اشمیت تریگر آنالوگ طراحی شده‌است. مدار پیشنهادی تنها با استفاده از اینورترهای CMOS دیجیتال پیاده‌سازی شده‌است که از یک مقایسه‌گر تفاضلی متشکل از دو اینورتر CMOS و یک جفت اینورتر متقابل به‌عنوان فیدبک مثبت تشکیل شده‌است. مدار پیشنهادی تنها مدار اشمیت تریگر مبتنی‌بر دیجیتال است که در حالت تمام تفاضلی عمل می‌کند که دارای دو خروجی معکوس‌کننده و غیرمعکوس‌کننده به‌طور هم‌زمان است و در آن قابلیت تغییر مرکز هیسترزیس توسط ولتاژ ورودی فراهم شده‌است. اشمیت تریگر پیشنهادی در فرایند CMOS ۰/۱۸ µm با ولتاژ تغذیه ۰/۴ ولت شبیه‌سازی شده‌است. به‌دلیل تعداد ترانزیستورهای بسیار کم، مدار پیشنهادی مساحت تراشه‌ای به اندازه $9/8\times10\mu m^2$ را اشغال می‌کند و تنها ۶/۶۴ نانووات توان مصرف می‌کند.

واژه‌های کلیدی: اشمیت تریگر شبه-تفاضلی، اینورتر دیجیتال، جفت اینورتر متقابل، ولتاژ خیلی پایین، CMOS.

0.4-V Ultra-low-voltage Pseudo-differential CMOS Schmitt Trigger Based on Digital Inverter

Y. Bastan[1], PhD Student; F. Fazel[2], MSc Student; A. Nejati[3], MSc Student; P. Amiri[4], Associate professor

1- Faculty of Electrical and Computer Engineering, Shahid Rajaee Teacher Training University, Tehran, Iran, Email: ybastan@srttu.edu
2- Faculty of Electrical and Computer Engineering, Shahid Rajaee Teacher Training University, Tehran, Iran, Email: fazel.fardin@gmail.com
3- Faculty of Electrical and Computer Engineering, Shahid Rajaee Teacher Training University, Tehran, Iran, Email: s.ali.nejati@srttu.edu
4- Faculty of Electrical and Computer Engineering, Shahid Rajaee Teacher Training University, Tehran, Iran, Email: pamiri@srttu.edu

Abstract: In this paper, a digital pseudo-differential Schmitt trigger with very low supply voltage is proposed. The proposed Schmitt trigger is design by exploiting the design procedure of an analog Schmitt trigger. It is implemented only using digital CMOS inverters which is composed of a pseudo-differential comparator consisting of two CMOS inverters and a cross-coupled inverter pair as positive feedback. The proposed circuit is the only digital Schmitt trigger which operates in fully-differential mode that has simultaneously two outputs of non-inverting and inverting and its hysteresis center can be changed by the input voltage. The proposed Schmitt trigger is simulated in 0.18 um CMOS process with 0.4 V supply voltage. Due to the very low number of transistors, the proposed circuit occupies 10×9.8 µm^2 chip area and consumes only 6.64 nW power.

Keywords: Differential Schmitt trigger, digital inverter, cross-coupled inverter pair, ultra-low-voltage, CMOS.

تاریخ ارسال مقاله: ۱۳۹۷/۰۳/۰۶
تاریخ اصلاح مقاله: ۱۳۹۷/۰۶/۰۶و ۱۳۹۷/۰۹/۱۱
تاریخ پذیرش مقاله: ۱۳۹۸/۰۲/۲۰
نام نویسنده مسئول: پرویز امیری
نشانی نویسنده مسئول: ایران - تهران – لویزان – خیابان شعبانلو - دانشگاه تربیت دبیر شهید رجایی - دانشکده مهندسی برق – آزمایشگاه تحقیقاتی میکروالکترونیک و تجهیزات صنعتی.

www.SID.ir

Archive of SID

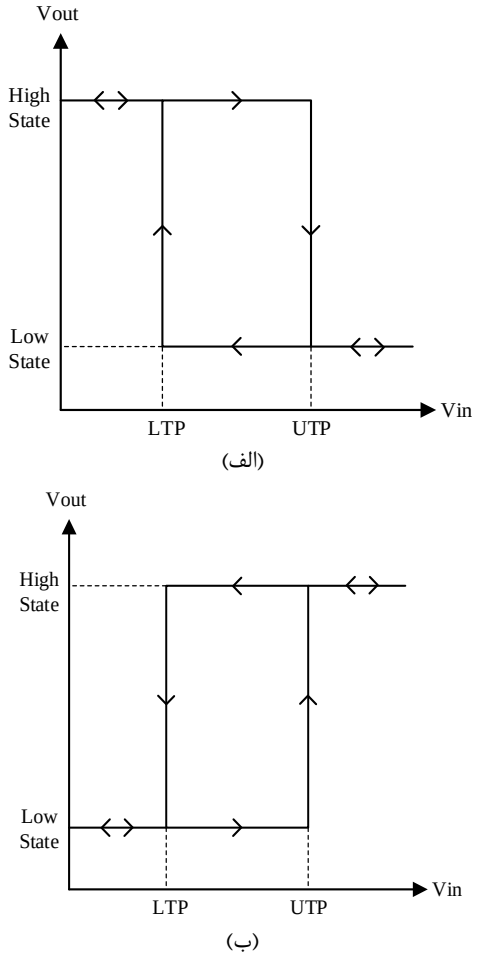
۱- مقدمه

در سال‌های اخیر، به‌دلیل توان کم، هزینه ساخت پایین، ابعاد کوچک و قابلیت فشرده‌سازی، استفاده از تکنولوژی CMOS در طراحی مدارهای مجتمع آنالوگ به‌طور وسیعی گسترش یافته‌است. موازنه چندبعدی بین سرعت، توان مصرفی، دقت، بهره، منبع تغذیه، ... و هم‌چنین پیچیدگی در طراحی و پیاده‌سازی از چالش‌های اساسی در طراحی مدارهای مجتمع آنالوگ است [۴-۱]. مدارهای مجتمع دیجیتال دسته‌ای دیگر از مدارهای CMOS هستند که چالش‌های مذکور در طراحی آن‌ها کمتر نمایان است. طراحی و پیاده‌سازی توابع و مدارهای الکترونیکی با استفاده از گیت‌های منطقی و عناصر دیجیتال مبتنی‌بر تکنولوژی CMOS از موضوعات جذاب در این حوزه است [۷-۵]. در مدارهای دیجیتال، تنها باید به موازنه بین سرعت و توان مصرفی پرداخت [۱] و این مدارها از قابلیت انعطاف‌پذیری بیشتر و طراحی خودکار بهره‌مند هستند [۸، ۹]. ازطرفی، به‌دلیل عدم وجود اثر بارگذاری بین طبقات و محاسبات ساده‌تر، طراحی و پیاده‌سازی مدارهای دیجیتال بسیار آسان‌تر از مدارهای آنالوگ است. قابلیت‌های ذکرشده به‌همراه پیشرفت سریع، طراحان را به سمت طراحی مدارهای مجتمع دیجیتال سوق داده‌است.

مدارهای اشمیت تریگر، ازجمله مدارهایی هستند که طراحی مجتمع آن‌ها در تکنولوژی CMOS بسیار موردتوجه قرار گرفته‌است و به‌طور گسترده‌ای در کاربردهایی نظیر SRAMهای زیرآستانه [۱۰]، سنسورهای تصویربرداری [۱۱] و مدولاسیون پهنای پالس [۱۲] استفاده می‌شوند. اشمیت تریگر یک شبکه بی‌استابل است که در بحث ارتباطی و فن پردازش سیگنال به‌منظور گسترش میزان قطع‌ووصل مدار و کاهش میزان اثرات نویز مورد استفاده قرار می‌گیرد [۱۳، ۱۴]. مدارهای اشمیت تریگر معمولاً بر پایه یک مقایسه‌گر به‌همراه یک فیدبک مثبت تشکیل می‌شوند. استفاده از فیدبک مثبت در مقایسه‌گر موجب ایجاد دو سطح آستانه مختلف برای مقایسه می‌شود که *UTP* و *LTP* نامیده می‌شوند. ازاین‌رو، اشمیت تریگر به سوئیچ دو-حالته معروف است.

منحنی مشخصه ورودی-خروجی اشمیت تریگر برای دو حالت معکوس‌کننده و غیرمعکوس‌کننده به‌ترتیب در شکل ۱ (الف) و (ب) نشان داده شده‌است. ناحیه بین دو سطح آستانه، عرض هیسترزیس اشمیت تریگر را تعیین می‌کند جایی که اگر ولتاژ ورودی در این ناحیه قرار داشته‌باشد، خروجی مدار، حالت قبلی خود را دنبال می‌کند. همین قابلیت حافظه‌داربودن مدار اشمیت تریگر، عامل مقاوم‌بودن آن نسبت به نویز و سیگنال ناخواسته است.

مدارهای اشمیت تریگر CMOS در دو نوع آنالوگ و مبتنی‌بر دیجیتال دسته‌بندی می‌شوند. در طراحی اشمیت تریگر آنالوگ، معمولاً از یک مدار مقایسه‌گر تفاضلی به‌همراه فیدبک مثبت [۱۵] و در طراحی اشمیت تریگر مبتنی‌بر دیجیتال، اغلب از گیت‌های منطقی با فیدبک مثبت داخلی استفاده می‌شود [۱۶، ۱۷]. طراحی کم‌ولتاژ، کم‌توان و سرعت‌بالا ازجمله چالش‌های اساسی در طراحی مدارهای اشمیت تریگر آنالوگ است [۲۰-۱۸]. درطرف‌دیگر، طراحی مدارهای اشمیت تریگر مبتنی‌بر دیجیتال اغلب با توان مصرفی پایین همراه است [۲۱، ۲۲]. این بدان علت است که توان استاتیک این مدارهای صفر است و توان مصرفی، حاصل از توان دینامیک است.



شکل ۱: منحنی مشخصه هیسترزیس یک اشمیت تریگر (الف) حالت معکوس‌کننده (ب) حالت غیرمعکوس‌کننده

بااینکه مدارهای اشمیت تریگر آنالوگ به‌صورت ورودی تفاضلی و در برخی موارد تمام تفاضلی طراحی شده‌اند [۲۰-۱۸]، اما در تمامی مدارهای اشمیت تریگر مبتنی‌بر دیجیتال پیشنهادشده در کارهای پیشین، ورودی و خروجی به‌صورت تک‌سر هستند [۲۴-۲۰]. ورودی تفاضلی این امکان را می‌دهد تا بتوان با مقداردهی ولتاژ مرجع، مرکز هیسترزیس را تعیین کرد. خروجی تفاضلی نیز این امکان را می‌دهد که هر دو خروجی معکوس‌کننده و غیرمعکوس‌کننده اشمیت تریگر به‌طور هم‌زمان دردسترس باشد که در کاربردهایی نظیر تقویت‌کننده‌های قدرت استفاده می‌شود [۲۵].

در این مقاله، با بهره‌گیری از روند طراحی یک اشمیت تریگر آنالوگ، یک اشمیت تریگر تمام تفاضلی CMOS مبتنی‌بر گیت‌های دیجیتال ارائه شده‌است. مدار اشمیت تریگر پیشنهادی از یک مقایسه‌گر تفاضلی متشکل از دو گیت اینورتر CMOS و یک فیدبک مثبت تولیدشده توسط یک جفت اینورتر متقابل تشکیل شده‌است. طراحی دیجیتالی و ساده

www.SID.ir

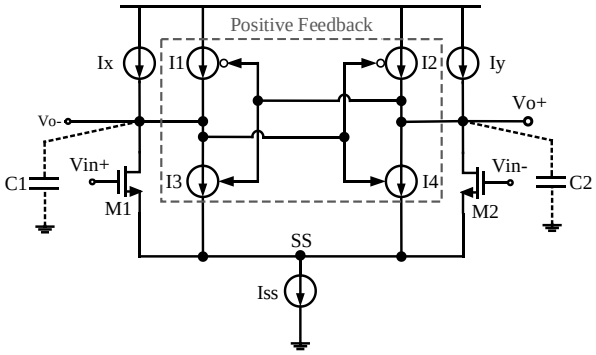
Archive of SID

این امکان را داده است تا مدار پیشنهادی در یک ولتاژ بسیار پایین عمل کند. البته باید توجه داشت که با کاهش ولتاژ تغذیه، فرکانس کاری و ایمنی نویز مدار کاهش می‌یابد [۲۶، ۲۷].

در این مقاله، عمل‌کرد یک مدار اشمیت تریگر تفاضلی آنالوگ در بخش ۲ مورد بررسی و توصیف قرار داده شده‌است. در همین بخش، مداری با رفتار مشابه و مبتنی‌بر دیجیتال ارائه شده‌است و عمل‌کرد آن مورد بحث قرار داده شده‌است. پیاده‌سازی CMOS مدار اشمیت تریگر تفاضلی مبتنی‌بر دیجیتال پیشنهادی در بخش ۳ نشان داده شده‌است و مورد تحلیل قرار گرفته‌است. در بخش ۴، نتایج شبیه‌سازی ارائه شده‌است و سرانجام در بخش ۵، مقاله نتیجه‌گیری شده‌است.

۲- پیاده‌سازی مبتنی‌بر دیجیتال یک مدار اشمیت تریگر تفاضلی آنالوگ

مدار اشمیت تریگر یک زیرسیستم الکترونیکی است که ولتاژ ورودی را با دو سطح آستانه، یکی در زمان افزایش و دیگری در زمان کاهش ولتاژ ورودی، مقایسه می‌کند و خروجی دیجیتالی متناسب با مقایسه سیگنال ورودی با سطوح آستانه را فراهم می‌کند. اشمیت تریگرهای آنالوگ معمولاً از یک مقایسه‌گر به‌همراه فیدبک مثبت تشکیل می‌شوند. شماتیک ساده مدار اشمیت تریگر تفاضلی آنالوگ ارائه‌شده در [۱۵] در شکل ۲ نشان داده شده‌است که از یک مقایسه‌گر آنالوگ و مدل ساده شبکه فیدبک مثبت شامل منابع جریان $I_{1\text{-}4}$ تشکیل شده‌است. مقایسه‌گر آنالوگ متشکل از ترانزیستورهای زوج تفاضلی $M_{1,2}$، منبع جریان I_{SS} و بارهای منبع جریان متقارن I_x و I_y است.



شکل ۲: شماتیک ساده اشمیت تریگر تفاضلی آنالوگ ارائه‌شده در [۱۵]

برای تعیین ولتاژهای سوئیچینگ *LTP* و *UTP* مدار نشان‌داده‌شده در شکل ۲، ابتدا حالتی در نظر گرفته شده‌است که رد آن شبکه فیدبک مثبت فعال نباشد. با صرف‌نظر از اثر مدولاسیون طول کانال، ورودی‌های مدار برابر است با:

$$V_{in}^{+} = (V_{SS} + V_{tn}) + \sqrt{\frac{I_x}{K_1}} \qquad (۱)$$

$$V_{in}^{-} = (V_{SS} + V_{tnT}) + \sqrt{\frac{I_y}{K_2}} \qquad (۲)$$

که در آن V_{tn} و V_{SS} به‌ترتیب ولتاژ آستانه ترانزیستورهای NMOS و ولتاژ گره SS، و $K_{1,2} = \frac{1}{2}\mu_n(\frac{W}{L})_{1,2}$ هستند. با یک جابه‌جایی ساده در (۲) و جای‌گذاری آن در (۱)، رابطه بین دو ورودی مدار به‌صورت زیر به‌دست می‌آید:

$$V_{in}^{+} = V_{in}^{-} + (\sqrt{\frac{I_x}{K_1}} - \sqrt{\frac{I_y}{K_2}}) \qquad (۳)$$

باتوجه به (۳)، درصورت تقارن کامل مدار، $V_{in}^{+} = V_{in}^{-}$ است و سوئیچینگ زمانی اتفاق می‌افتد که ورودی‌ها یکسان هستند.

حال موردی در نظر گرفته شـــود که در آن شـــبکه فیدبک مثبت فعال شده‌است. اگر $V_{in}^{+} > V_{in}^{-}$، خروجی مقایسه‌گر به صورت $V_O^{-} < V_O^{+}$ است. در این حالت، منابع جریان I_2 و I_3 فعال می‌شوند و V_{in}^{+} به‌صورت زیر به‌دست می‌آید [۱۵]:

$$V_{in}^{+} = \left(V_{in}^{-} + \left(\sqrt{\frac{I_x}{K_1}} - \sqrt{\frac{I_y}{K_2}}\right)\right) - \frac{1}{2}\left(\frac{I_3}{I_x}\sqrt{\frac{I_x}{K_1}} + \frac{I_2}{I_y}\sqrt{\frac{I_y}{K_2}}\right) \qquad (۴)$$

به‌طور مشابه، اگر $V_{in}^{+} < V_{in}^{-}$ باشد، $V_O^{-} > V_O^{+}$ است. درنتیجه، منابع جریان I_1 و I_4 فعال می‌شوند و V_{in}^{+} به‌صورت زیر به‌دست می‌آید:

$$V_{in}^{+} = \left(V_{in}^{-} + \left(\sqrt{\frac{I_x}{K_1}} - \sqrt{\frac{I_y}{K_2}}\right)\right) + \frac{1}{2}\left(\frac{I_3}{I_x}\sqrt{\frac{I_x}{K_1}} + \frac{I_2}{I_y}\sqrt{\frac{I_y}{K_2}}\right) \qquad (۵)$$

مقایسه (۴) و (۵) با (۳) نشان می‌دهد که ترم دوم در (۴) و (۵) جابه‌جایی ولتاژ سوئیچینگ را تعیین می‌کند؛ به‌طوری‌که اگر ورودی V_{in}^{+} در حال افزایش باشد، ولتاژ سوئیچینگ از (۵) به‌دست می‌آید جایی که ترم دوم به ترم اول اضافه شده‌است و UTP مدار را به‌دست می‌دهد. درحالی‌که، اگر ورودی V_{in}^{+} در حال کاهش باشد، ولتاژ سوئیچینگ از (۴) به‌دست می‌آید جایی که ترم دوم از ترم اول تفریق شده‌است و LTP مدار را به‌دست می‌دهد.

بااین‌حال، مدار اشمیت تریگر تفاضلی آنالوگ برای تکنولوژی‌های CMOS دیجیتالی امروزی به‌دلیل محدودیت‌های در ترم‌های حداقل ولتاژ تغذیه، حداقل توان استاتیک، طراحی و انعطاف‌پذیری مناسب نیست که در مقالات مورد بحث قرار گرفته‌است [۲۰-۱۶]. ازاین‌رو، امکان پیاده‌سازی مدار اشمیت تریگر تفاضلی با بهره‌گیری از مفاهیم دیجیتالی برای رفع چالش‌ها مذکور در این بخش بررسی شده‌است.

۲-۱- دو اینورتر دیجیتال به‌عنوان یک مدار مقایسه‌گر

شماتیک یک اینورتر CMOS شامل ترانزیستورها NMOS و PMOS به‌صورت مکمل است که در شکل ۳(الف) نشان داده شده‌است. در این مدار، زمانی که ولتاژ ورودی کمتر از ولتاژ آستانه (V_T) است، ترانزیستور M_1 وصل و M_2 قطع است. در این حالت، خروجی در سطح «۱» منطقی، یعنی $V_{out} \approx V_{DD}$ است. برعکس، زمانی که ولتاژ ورودی بیشتر از V_T است،

www.SID.ir

Archive of SID

M_1 قطع و M_2 وصل است و خروجی در سطح «۰» منطقی، یعنی $V_{out}\approx 0$ V است. منحنی مشخصه انتقالی ولتاژ یک اینورتر دیجیتال در شکل ۳(الف) نشان داده شده‌است.

مدار شکل ۳(ب) که شامل یک جفت اینورتر دیجیتالی تک‌سر است، به‌عنوان یک مقایسه‌گر شبه‌تفاضلی دیجیتال در نظر گرفته شده‌است. ورودی‌های هر اینورتر به‌عنوان ورودی تفاضلی مقایسه‌گر، V_{in}^+ و V_{in}^-، و خروجی‌های آن‌ها به‌عنوان خروجی دیجیتال (V_O^+, V_O^-) درنظر گرفته شده‌است. بسته به سیگنال‌های ورودی، چهار وضعیت ممکن خروجی دیجیتال می‌تواند به‌صورت زیر خلاصه شود:

$$V_{in}^+ > V_T \ \ \& \ \ V_{in}^- < V_T \implies (V_O^+, V_O^-) = (0,1) \qquad (۶)$$

$$V_{in}^+ < V_T \ \ \& \ \ V_{in}^- > V_T \implies (V_O^+, V_O^-) = (1,0) \qquad (۷)$$

$$V_{in}^+ > V_T \ \ \& \ \ V_{in}^- > V_T \implies (V_O^+, V_O^-) = (0,0) \qquad (۸)$$

$$V_{in}^+ < V_T \ \ \& \ \ V_{in}^- < V_T \implies (V_O^+, V_O^-) = (1,1) \qquad (۹)$$

براساس (۶) و (۷)، خروجی دیجیتال مدار شکل ۳(ب) مرتبط با ولتاژ ورودی تفاضلی به‌عنوان یک مدار مقایسه‌گر است. اما حالت‌های (۸) و (۹) نیز ممکن است اتفاق بیفتد. زمانی‌که ورودی‌ها در این حالت‌ها اعمال شوند، خروجی دیجیتال دیگر مرتبط با ولتاژ ورودی تفاضلی نیست.

بااین‌حال، در دو مورد آخر نیز خروجی مدار مقدار دیجیتال موردنظر را فراهم می‌کند که به‌دلیل اتصال خروجی اینورترها به یک فیدبک مثبت است که در بخش بعدی مورد بحث قرار گرفته‌است.

۲-۲- جفت اینورتر دیجیتال متقابل به‌عنوان یک فیدبک مثبت

جفت اینورتر متقابل نشان‌داده‌شده در شکل ۴، یکی از ساختارهای فیدبک مثبت دیجیتال است که به‌طور گسترده در مدارهای دیجیتال مختلف استفاده می‌شود. در این مدار، خروجی هر اینورتر به ورودی اینورتر دیگر متصل است. بسته به ولتاژهای اولیه اعمالی به گره‌های V_1 و V_2 در مدار شکل ۴، می‌توان مشاهده کرد که مقدار دیجیتال نهایی این گره‌ها مرتبط با مقایسه آن‌ها است. زیرا:

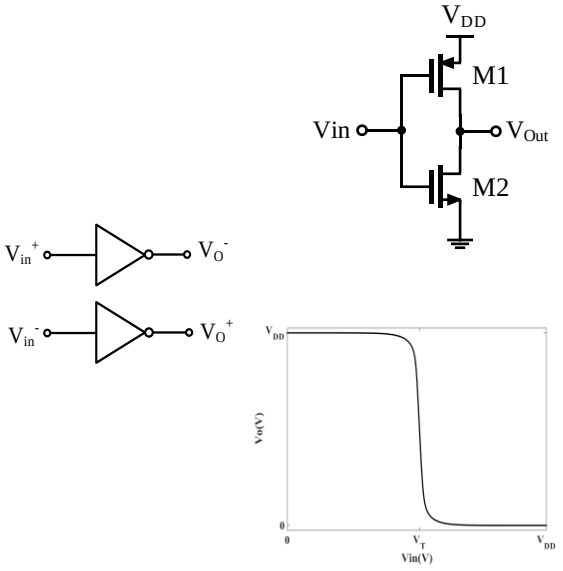
$$V_{1i} > V_T \ \& \ V_{2i} < V_T \xrightarrow{\text{i.e. } V_{1i}>V_{2i}} (V_{1f}, V_{2f}) = (1,0) \qquad (۱۰)$$

$$V_{1i} < V_T \ \& \ V_{2i} > V_T \xrightarrow{\text{i.e. } V_{1i}<V_{2i}} (V_{1f}, V_{2f}) = (0,1) \qquad (۱۱)$$

که‌درآن $V_{1i,2i}$ و $V_{1f,2f}$ به‌ترتیب ولتاژهای اولیه و مقادیر نهایی گره‌های $V_{1,2}$ هستند. نتایج نشان می‌دهد که مقدار نهایی گره دارای ولتاژ اولیه بزرگ‌تر برابر "۱" منطقی و مقدار نهایی گره دیگر "۰" منطقی است. این به‌دلیل عمل‌کرد فیدبک مثبت موجود در مدار است که از منحنی مشخصه ورودی-خروجی اینورتر نشان‌داده‌شده در شکل ۳(الف) قابل‌بیان است.

بااین‌حال، حالت‌های $(V_{1i} > V_T \ \& \ V_{2i} > V_T)$ و $(V_{1i} < V_T \ \& \ V_{2i} < V_T)$ نیز امکان‌پذیر است. در این حالت‌ها، ولتاژهای V_1 و V_2 بعد از یک لحظه کوتاه در یکی از شرایط (۱۰) یا (۱۱) قرار می‌گیرند. عمل‌کرد گذرای مدار در این حالت‌ها می‌تواند به‌صورت زیر توصیف شود:

ابتدا حالتی را در نظر بگیرید که در آن $(V_{1i} > V_T \ \& \ V_{2i} > V_T)$ است. باتوجه به مشخصه انتقالی ولتاژ اینورتر، ولتاژهای V_1 و V_2 هر دو کاهش می‌یابند تاوقتی‌که یکی از آن‌ها شرط $V_i=V_T$ را زودتر ملاقات کند. با فرض $V_{1i} > V_{2i}$، ابتدا ولتاژ گره V_2 این شرط را برقرار می‌کند و وضعیت (۱۰)، یعنی $(V_{1i} > V_T \ \& \ V_{2i} < V_T)$، حاصل می‌شود که در شکل ۵ (الف) نشان داده شده‌است.



(ب) (الف)

شکل ۳: (الف) پیاده‌سازی CMOS و منحنی مشخصه انتقالی ولتاژ یک اینورتر دیجیتال (ب) یک جفت اینورتر دیجیتال به‌عنوان یک مدار مقایسه‌گر

حال، حالتی را در نظر بگیرید که در آن $(V_{1i} < V_T \ \& \ V_{2i} < V_T)$ است. در این حالت، ولتاژهای V_1 و V_2 هر دو افزایش می‌یابند تاوقتی‌که یکی از آن‌ها شرط $V_i=V_T$ را زودتر ملاقات کند. با فرض $V_{1i} > V_{2i}$، در این حالت، ابتدا ولتاژ گره V_1 این شرط را برقرار می‌کند. درنتیجه، وضعیت (۱۱)، یعنی $(V_{1i} > V_T \ \& \ V_{2i} < V_T)$، ایجاد می‌شود که در شکل ۵ (ب) نشان داده شده‌است.

درنتیجه، مقدار دیجیتال نهایی گره‌های V_1 و V_2 در حالت‌های مذکور به‌ازای $V_{1i} > V_{2i}$ برابر $(V_{1f}, V_{2f}) = (1,0)$ است. به طریق مشابه، می‌توان نشان داد به‌ازای $V_{1i} < V_{2i}$ برابر $(V_{1f}, V_{2f}) = (0,1)$ است.

براساس (۱۰) و (۱۱)، و توضیحات ارائه‌شده در بالا، اطلاعات در مورد مقدار دیجیتال نهایی V_1 و V_2 فراهم‌شده توسط چهار حالت ممکن آن‌ها می‌تواند به‌صورت شکل ۶ خلاصه شود. درنهایت، نتیجه می‌شود:

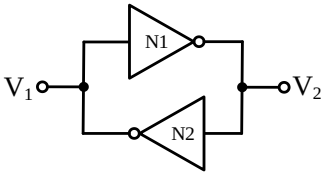
$$V_{1i} > V_{2i} \implies (V_{1f}, V_{2f}) = (1,0) \qquad (۱۲)$$

$$V_{1i} < V_{2i} \implies (V_{1f}, V_{2f}) = (0,1) \qquad (۱۳)$$

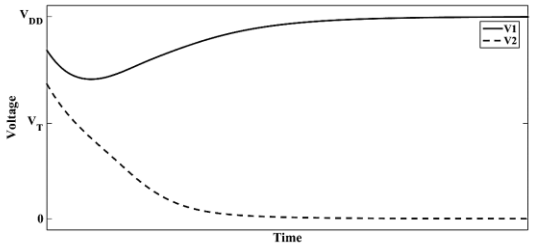
www.SID.ir

Archive of SID

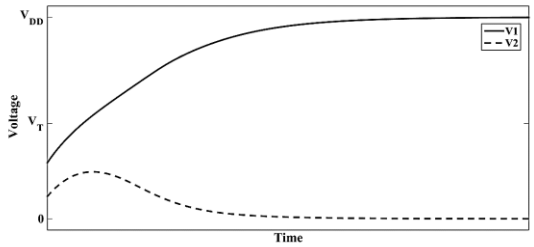
این اطلاعات در ادامه برای تبدیل مدار تفاضلی ساده شکل ۳(ب) به یک مدار اشمیت تریگر تفاضلی مبتنی‌بر دیجیتال به‌کاربرده شده‌است.



شکل ۴: جفت اینورتر متقابل به‌عنوان فیدبک مثبت دیجیتالی

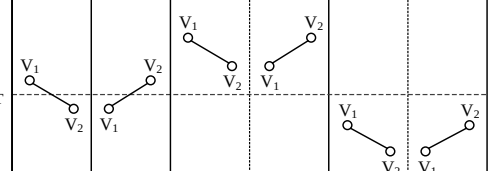


(الف)



(ب)

شکل ۵: پاسخ گذرای ولتاژهای پایانه‌های جفت اینورتر متقابل به‌ازای $V_{1i} > V_{2i}$ (الف) ولتاژهای اولیه بزرگ‌تر از V_T ($V_{1i} > V_T$ & $V_{2i} > V_T$) (ب) ولتاژهای اولیه کوچک‌تر از V_T ($V_{1i} < V_T$ & $V_{2i} < V_T$)

Initial voltage	$V_1>V_T$ $V_2<V_T$	$V_1<V_T$ $V_2>V_T$	$V_1>V_T$ $V_2>V_T$		$V_1<V_T$ $V_2<V_T$	
			$V_1>V_2$	$V_1<V_2$	$V_1>V_2$	$V_1<V_2$
V_T						
Final value	$V_1=1$ $V_2=0$	$V_1=0$ $V_2=1$	$V_1=1$ $V_2=0$	$V_1=0$ $V_2=1$	$V_1=1$ $V_2=0$	$V_1=0$ $V_2=1$

شکل ۶: ولتاژهای اولیه و مقدار نهایی پایانه‌های زوج اینورتر متقابل، V_1 و V_2

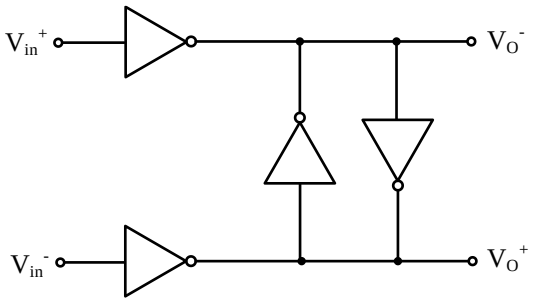
۳-۲- مدار اشمیت تریگر پیشنهادی مبتنی‌بر اینورترهای دیجیتال

براساس طراحی مدار اشمیت تریگر آنالوگ، مقایسه‌گر تفاضلی دیجیتال شکل ۳(ب) زمانی مانند یک اشمیت تریگر عمل می‌کند که یک فیدبک مثبت به خروجی‌های آن اعمال شود. شماتیک اشمیت تریگر تمام تفاضلی مبتنی‌بر دیجیتال پیشنهادی در شکل ۷(الف) نشان داده شده‌است جایی‌که جفت اینورتر متقابل به‌عنوان یک فیدبک مثبت به خروجی مقایسه‌گر تفاضلی دیجیتال اعمال شده‌است. براساس عمل‌کرد جفت اینورتر متقابل که در (۱۲) و (۱۳) خلاصه شده‌است ، مقدار نهایی ولتاژهای خروجی اینورترهای مقایسه‌گر دیجیتال (V_O^+, V_O^-) فراهم‌شده توسط مدار پیشنهادی شکل ۷(الف) می‌تواند به‌صورت زیر خلاصه شود:

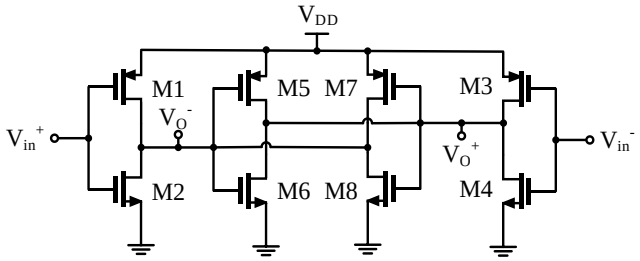
$$V_{in}^+ < V_{in}^- \implies V_{Oi}^- > V_{Oi}^+ \xrightarrow{(12)} (V_{Of}^-, V_{Of}^+) = (1,0) \qquad (۱۴)$$

$$V_{in}^+ > V_{in}^- \implies V_{Oi}^- < V_{Oi}^+ \xrightarrow{(13)} (V_{Of}^-, V_{Of}^+) = (0,1) \qquad (۱۵)$$

که در آن V_{Oi}^+ و V_{Oi}^- مقادیر اولیه ولتاژهای خروجی به‌دست‌آمده توسط اینورترهای مقایسه‌گر دیجیتال و V_{Of}^+ و V_{Of}^- مقدار نهایی خروجی ها ناشی از عمل‌کرد فیدبک مثبت هستند. برخلاف سایر اشمیت تریگرهای دیجیتال، اشمیت تریگر پیشنهادی دارای دو خروجی، یکی در حالت غیرمعکوس‌کننده و دیگری در حالت معکوس‌کننده، به‌ترتیب در گره‌های Vo^+ و Vo^- است.



(الف)



(ب)

شکل ۷: (الف) اشمیت تریگر تمام تفاضلی مبتنی‌بر دیجیتال پیشنهادی (ب) پیاده‌سازی CMOS اشمیت تریگر پیشنهادی

۳- اشمیت تریگر CMOS تمام تفاضلی مبتنی‌بر دیجیتال پیشنهادی

پیاده‌سازی CMOS اشمیت تریگر پیشنهادی در شکل ۷(ب) نشان داده شده‌است جایی‌که ترانزیستورهای M_{1-4} جفت اینورتر مقایسه‌گر تفاضلی و ترانزیستورهای M_{5-8} جفت اینورتر متقابل فیدبک مثبت را تشکیل می دهند. همان‌طورکه در مقدمه بیان شد، یک مدار دیجیتال می‌تواند در ولتاژ تغذیه پایین عمل کند. مدار پیشنهادی نیز در یک ولتاژ تغذیه بسیارکم عمل می‌کند. درنتیجه، ترانزیستورها در ناحیه زیرآستانه عمل

www.SID.ir

Archive of SID

می‌کنند. جریان ترانزیستورهای NMOS و PMOS و ولتاژ آستانه یک اینورتر CMOS در این ناحیه برابر هستند با [۲۸]:

$$I_{Dn} = I_{0n} e^{\left(\frac{V_{GS}-V_{tn}}{nV_{th}}\right)}\left(1 - e^{-\frac{V_{DS}}{V_{th}}}\right) \quad (۱۶)$$

$$I_{Dp} = I_{0p} e^{\left(\frac{|V_{GS}|-|V_{tp}|}{nV_{th}}\right)}\left(1 - e^{-\frac{|V_{DS}|}{V_{th}}}\right) \quad (۱۷)$$

$$V_T = \frac{V_{DD}}{2} + \frac{1}{2}\left(V_{tn} - |V_{tp}|\right) + nV_{th}\ln\left(\frac{I_{0p}}{I_{0n}}\right) \quad (۱۸)$$

که‌درآن $I_{0n,p}$ و $V_{tn,p}$ به‌ترتیب جریان مشخصه و ولتاژ آستانه ترانزیستورهای NMOS و PMOS، n ضریب انحراف زیرآستانه، V_{DD} ولتاژ تغذیه و V_{th} ولتاژ حرارتی هستند.

برای تعیین ولتاژ سوئیچینگ *UTP* مدار نشان‌داده‌شده در شکل ۷(ب)، باید حالتی را در نظر گرفت که در آن $V_{in}^{+} < V_{in}^{-}$ است. زمانی‌که V_o^{+} و V_o^{-} در میانه حالت سوئیچینگ هستند، ترانزیستورهای $M_{۱\text{-}۴,۶,۷}$ در ناحیه اشباع زیرآستانه هستند. ازآنجایی‌که ترانزیستورهای $M_{۵,۸}$ در انتهای حالت گذرا قطع می‌شوند، می‌توانند به‌صورت کلیدهای باز در نظر گرفته شوند. KCL در گره V_o^{-} به‌صورت زیر است:

$$I_{D1} + I_{D7} = I_{D2} \Rightarrow I_{0p1} e^{\left(\frac{V_{DD}-V_{in}^{+}-|V_{tp}|}{nV_{th}}\right)} + I_{D7} = I_{0n2} e^{\left(\frac{V_{in}^{+}-V_{tn}}{nV_{th}}\right)} \quad (۱۹)$$

معادله (۲۱) را می‌توان به‌صورت زیر بازنویسی کرد:

$$I_{0p1} e^{\left(\frac{V_{DD}-|V_{tp}|}{nV_{th}}\right)} e^{\left(\frac{-V_{in}^{+}}{nV_{th}}\right)} + I_{D7} = I_{0n2} e^{\left(\frac{-V_{tn}}{nV_{th}}\right)} e^{\left(\frac{V_{in}^{+}}{nV_{th}}\right)} \quad (۲۰)$$

با حل معادله درجه دوم فوق، V_{in}^{+} به‌صورت زیر به‌دست می‌آید:

$$V_{in}^{+} = nV_{th}\ln\left(\frac{\sqrt{{I_{D7}}^2 + 4\alpha\beta} + I_{D7}}{2\alpha}\right) \quad (۲۱)$$

که‌درآن $\alpha = I_{0n2} e^{\left(\frac{-V_{tn}}{nV_{th}}\right)}$ و $\beta = I_{0p1} e^{\left(\frac{V_{DD}-|V_{tp}|}{nV_{th}}\right)}$ است.

هم‌چنین، KCL در گره V_o^{+} به‌صورت زیر است:

$$I_{D3} = I_{D4} + I_{D6} \Rightarrow I_{0p3} e^{\left(\frac{V_{DD}-V_{in}^{-}-|V_{tp}|}{nV_{th}}\right)} = I_{0n4} e^{\left(\frac{V_{in}^{-}-V_{tn}}{nV_{th}}\right)} + I_{D6} \quad (۲۲)$$

معادله (۲۲) را می‌توان به‌صورت زیر بازنویسی کرد:

$$I_{0p3} e^{\left(\frac{V_{DD}-|V_{tp}|}{nV_{th}}\right)} e^{\left(\frac{-V_{in}^{+}}{nV_{th}}\right)} = I_{0n2} e^{\left(\frac{-V_{tn}}{nV_{th}}\right)} e^{\left(\frac{V_{in}^{+}}{nV_{th}}\right)} + I_{D6} \quad (۲۳)$$

با حل معادله درجه دوم فوق، V_{in}^{-} به‌صورت زیر به‌دست می‌آید:

$$V_{in}^{-} = nV_{th}\ln\left(\frac{\sqrt{{I_{D6}}^2 + 4\alpha\beta} - I_{D6}}{2\alpha}\right) \quad (۲۴)$$

با تفریق (۲۴) از (۲۱):

$$V_{in}^{+} = V_{in}^{-} + nV_{th}\ln\left(\frac{\sqrt{{I_{D7}}^2 + 4\alpha\beta} + I_{D7}}{\sqrt{{I_{D6}}^2 + 4\alpha\beta} - I_{D6}}\right) \quad (۲۵)$$

مقدار V_{in}^{+} به‌دست‌آمده در (۲۵)، همان *UTP* مدار اشمیت تریگر پیشنهادی است.

حال برای تعیین ولتاژ سوئیچینگ *LTP* مدار پیشنهادی، حالتی را در نظر بگیرید که در آن $V_{in}^{+} > V_{in}^{-}$ است. دراین‌حالت، ترانزیستورهای $M_{۱\text{-}۴,۵,۸}$ در ناحیه اشباع زیرآستانه هستند. دراینجا، ترانزیستورهای $M_{۶,۷}$ می‌توانند به‌صورت کلیدهای باز در نظر گرفته شوند، زیرا در انتهای حالت گذرا قطع می‌شوند. به‌طور مشابه با روند محاسبات انجام‌شده در (۱۹) تا (۲۴)، در این حالت، ولتاژهای V_{in}^{+} و V_{in}^{-} به‌صورت زیر به‌دست می‌آیند:

$$V_{in}^{+} = nV_{th}\ln\left(\frac{\sqrt{{I_{D8}}^2 + 4\alpha\beta} - I_{D8}}{2\alpha}\right) \quad (۲۶)$$

$$V_{in}^{-} = nV_{th}\ln\left(\frac{\sqrt{{I_{D5}}^2 + 4\alpha\beta} + I_{D5}}{2\alpha}\right) \quad (۲۷)$$

با تفریق (۲۷) از (۲۶)، معادله زیر حاصل می‌شود:

$$V_{in}^{+} = V_{in}^{-} - nV_{th}\ln\left(\frac{\sqrt{{I_{D5}}^2 + 4\alpha\beta} + I_{D5}}{\sqrt{{I_{D8}}^2 + 4\alpha\beta} - I_{D8}}\right) \quad (۲۸)$$

مقدار V_{in}^{+} به‌دست‌آمده در (۲۸)، همان *LTP* مدار اشمیت تریگر پیشنهادی است.

ترم‌های دوم به‌دست‌آمده در (۲۵) و (۲۸) جابه‌جایی ولتاژ سوئیچینگ مدار اشمیت تریگر پیشنهادی را در زمانی‌که فیدبک مثبت جفت اینورتر متقابل فعال است، تعیین می‌کند.

رابطه *UTP* و *LTP* به‌دست‌آمده در (۲۵) و (۲۸) نشان می‌دهند که مقدار این نقاط به‌طور مستقیم به ولتاژ V_{in}^{-} وابسته هستند. درنتیجه، تغییر ولتاژ ورودی V_{in}^{-}، مرکز هیسترزیس را جابه‌جا می‌کند. این به کاربر اجازه می‌دهد تا مرکز هیسترزیس را در یک مقدار دلخواه تنظیم کند. باید توجه داشت که مقدار جابه‌جایی نقاط *UTP* و *LTP* با مقدار تغییر ولتاژ ورودی V_{in}^{-} به یک اندازه نیست. به‌عنوان مثال، اگر ولتاژ V_{in}^{-} به اندازه ΔV تغییر کند، ولتاژهای *UTP* و *LTP* و درنتیجه مرکز هیسترزیس به اندازه ΔV جابه‌جا نمی‌شوند. لذا، مرکز هیسترزیس با ولتاژ ورودی V_{in}^{-} یکسان نیست، به‌جز در زمانی‌که $V_{in}^{-}=V_T$ است. این بدان علت است که تغییر ولتاژ ورودی V_{in}^{-} روی جریان‌های I_{D5} و I_{D6} بیش‌تر از جریان‌های I_{D7} و I_{D8} اثر می‌گذارد. ازاین‌رو، زمانی که ولتاژ V_{in}^{-} بیش‌تر از V_T است، افزایش I_{D5} بیش‌تر از کاهش I_{D8} و کاهش I_{D6} بیش‌تر از افزایش I_{D7} است. درنتیجه، ترم دوم (۲۵) کاهش و ترم دوم (۲۸) افزایش می‌یابد. این باعث می‌شود که در این حالت *UTP* به ولتاژ V_{in}^{-} نزدیک‌تر و *LTP* از ولتاژ V_{in}^{-} دورتر باشد و لذا مرکز هیسترزیس کمتر از ولتاژ V_{in}^{-} می

www.SID.ir

Archive of SID

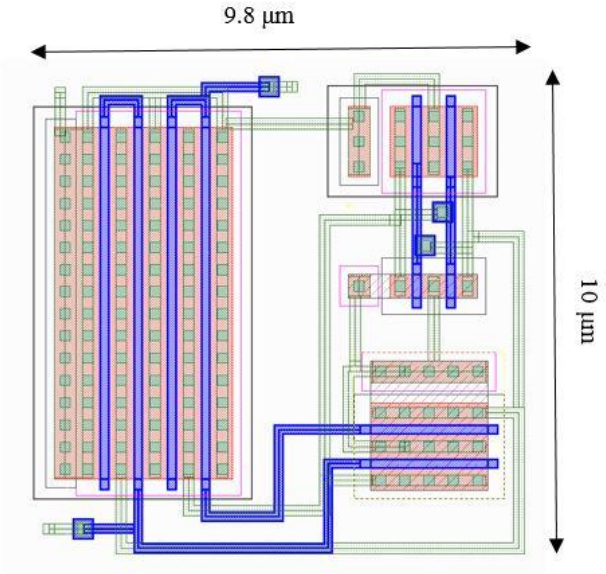
شود. به‌طریق مشابه، زمانی که ولتاژ V_{in}^- کمتر از V_T است، ترم دوم (۲۵) افزایش و ترم دوم (۲۸) کاهش می‌یابد. درنتیجه، ولتاژ *UTP* از ولتاژ V_{in}^- دورتر و ولتاژ *LTP* به ولتاژ V_{in}^- نزدیک‌تر می‌شود و لذا مرکز هیسترزیس بیش‌تر از ولتاژ V_{in}^- می‌شود.

تفریق (۲۸) از (۲۵)، پهنای هیسترزیس اشمیت تریگر پیشنهادی را به‌دست می‌دهد که برابر است با:

$$Hysteresis\ Width = nV_{th}\left(\ln\left(\frac{\sqrt{{I_{D7}}^2+4\alpha\beta}+I_{D7}}{\sqrt{{I_{D6}}^2+4\alpha\beta}-I_{D6}}\right)+\ln\left(\frac{\sqrt{{I_{D5}}^2+4\alpha\beta}+I_{D5}}{\sqrt{{I_{D8}}^2+4\alpha\beta}-I_{D8}}\right)\right) \quad (۲۹)$$

۴- نتایج شبیه‌سازی

اشمیت تریگر تمام تفاضلی مبتنی‌بر دیجیتال پیشنهادی در تکنولوژی ۰/۱۸ um CMOS با ولتاژ تغذیه ۰/۴ ولت شبیه‌سازی شده‌است. جانمایی اشمیت تریگر پیشنهادی در شکل ۸ نشان داده شده‌است که مساحت تراشه‌ای به اندازه $9/8\times10\ \mu m^2$ را اشغال می‌کند. ابعاد ترانزیستورها در جدول ۱ نشان داده شده‌است.

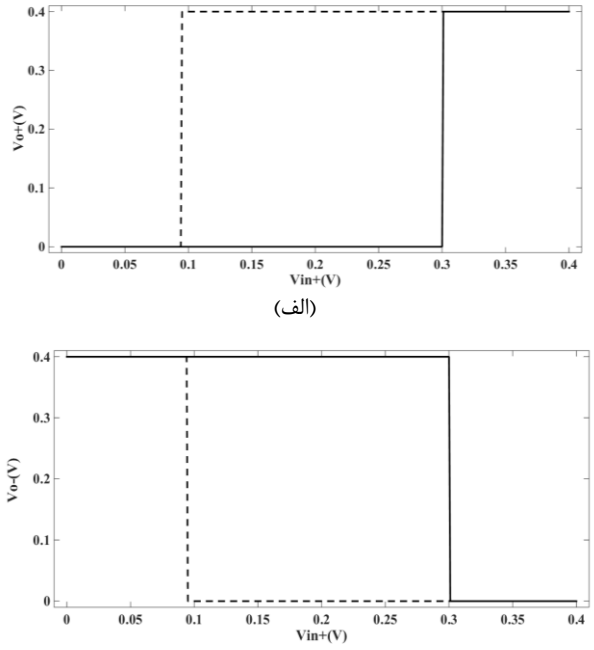


شکل۸: جانمایی فیزیکی مدار اشمیت تریگر پیشنهادی

جدول ۱: ابعاد ترانزیستورهای اشمیت تریگر پیشنهادی

نام ترانزیستور	اندازه $(\frac{W}{L})$
$M_{۱,۳}$	$\frac{۱۵\ \mu m}{۰/۱۸\ \mu m}$
$M_{۲,۴}$	$\frac{۲/۵\ \mu m}{۰/۱۸\ \mu m}$
$M_{۵,۷}$	$\frac{۱/۵\ \mu m}{۰/۱۸\ \mu m}$
$M_{۶,۸}$	$\frac{۰/۵\ \mu m}{۰/۱۸\ \mu m}$

منحنی مشخصه انتقالی ولتاژ DC اشمیت تریگر پیشنهادی برای خروجی های V_O^+ و V_O^- به‌ترتیب در شکل ۹(الف) و ۹(ب) نشان داده شده‌است که در آن ولتاژ ورودی V_{in}^+ از ۰ تا ۰/۴ ولت و بالعکس جاروب شده‌است و V_{in}^- روی ولتاژ ۰/۲ ولت تنظیم شده‌است. همان‌طورکه مشاهده می شود، خروجی‌های V_O^+ و V_O^- به‌ترتیب در حالت‌های غیرمعکوس‌کننده و معکوس‌کننده عمل می‌کنند و ولتاژهای آستانه *LTP* و *UTP* برای هر دو خروجی به‌ترتیب ۹۵ میلی‌ولت و ۳۰۰ میلی‌ولت به‌دست آمده‌است. ازاین‌رو، پهنای هیسترزیس اشمیت تریگر پیشنهادی در این حالت برابر با ۲۰۵ میلی‌ولت است.



شکل ۹: منحنی مشخصه انتقالی ولتاژ DC مدار اشمیت تریگر پیشنهادی با تغییر ولتاژ ورودی V_{in}^+ از صفر تا ۰/۴ ولت (خط توپر) و بالعکس (خط‌چین) به‌ازای ولتاژ V_{in}^-=۰/۲ V (الف) خروجی غیرمعکوس‌کننده (V_O^+). (ب) خروجی معکوس‌کننده (V_O^-)

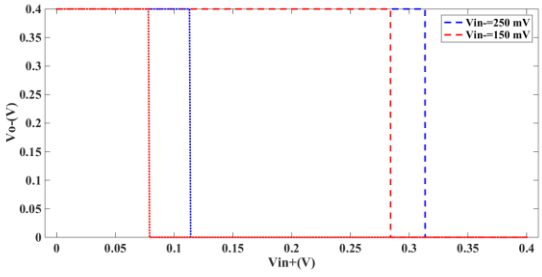
منحنی مشخصه انتقالی ولتاژ DC خروجی‌های V_O^+ و V_O^- به‌ازای ولتاژ ورودی V_{in}^- برابر با ۱۵۰ mV و ۲۵۰ mV در شکل ۱۰ نشان داده شده‌است. این شکل، جابه‌جایی مرکز هیسترزیس با تغییر ولتاژ ورودی V_{in}^- را نشان می‌دهد که در (۲۵) و (۲۸) نیز بیان شده‌است. همان‌طورکه در بخش قبل توضیح داده شد، در این شکل نیز مشهود است که اندازه جابه‌جایی نقاط *UTP* و *LTP* با اندازه تغییر ولتاژ ورودی V_{in}^- یکسان نیست و درنتیجه مرکز هیسترزیس برابر با ولتاژ ورودی V_{in}^- نیست.

عمل‌کرد اشمیت تریگر پیشنهادی در گوشه‌های دما و فرایند شبیه‌سازی شده‌است که منحنی مشخصه انتقالی ولتاژ DC خروجی V_O^+ به‌ازای V_{in}^-=۰/۲ V در شکل ۱۱ نشان داده شده‌است. همان‌طورکه در این شکل مشخص است، حساسیت نقطه *UTP* نسبت به تغییرات دما و پروسه کمتر از حساسیت نقطه *LTP* است. اثر دما روی پهنای هیسترزیس برای گوشه‌های فرایند مختلف در شکل ۱۲ (الف) رسم

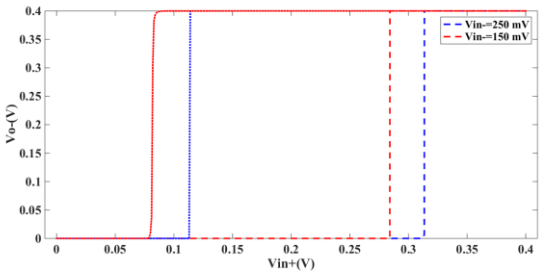
www.SID.ir

Archive of SID

شده‌است که در آن افزایش دما پهنای هیسترزیس را کاهش می‌دهد. علت این امر، تغییرات ولتاژ آستانه (V_{th}) ترانزیستورهای ماسفت نسبت به دما است. باتوجه به تأثیر ولتاژ آستانه ترانزیستورها روی مقادیر ضرایب α و β موجود در (۲۹)، پهنای هیسترزیس مدار پیشنهادی به تغییرات دما وابسته است. همچنین اثر تغییر ولتاژ تغذیه روی مرکز و پهنای هیسترزیس در شکل ۱۲ (ب) نشان داده شده‌است. همان‌طورکه مشاهده می‌شود، مرکز هیسترزیس از ولتاژ تغذیه ۳۵۰ میلی‌ولت دارای تغییرات است. علت این امر، تأثیر ولتاژ تغذیه، V_{DD}، روی ضریب β است. باتوجه به این‌که $\beta = I_{0p1}e^{\left(\frac{V_{DD}-|V_{tp}|}{nV_{th}}\right)}$ است، تازمانی‌که اختلاف ولتاژ تغذیه از مقدار ولتاژ آستانه، V_{tp}، زیاد نباشد، تأثیر چندانی روی ضریب β ندارد. ولی، با افزایش ولتاژ تغذیه و درنتیجه افزایش اختلاف آن از ولتاژ آستانه، باتوجه به رابطه نمایی، تأثیر ولتاژ تغذیه روی ضریب β قابل‌ملاحظه خواهدشد. بنابراین، در ولتاژهای تغذیه بالاتر، مقادیر LTP و UTP و درنتیجه مرکز هیسترزیس دارای تغییرات هستند.

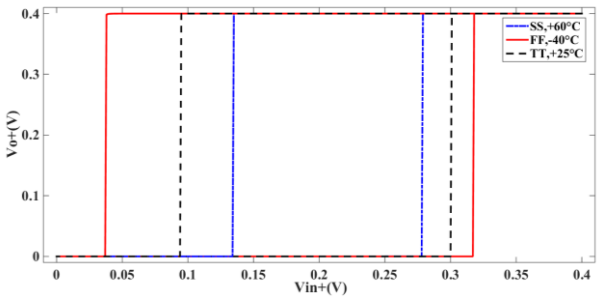


(الف)

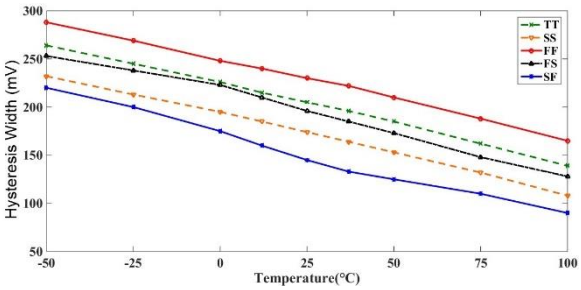


(ب)

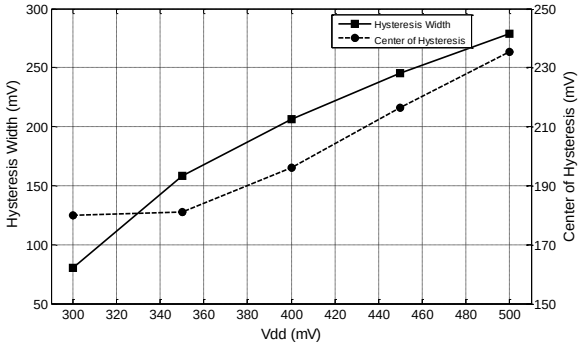
شکل ۱۰: منحنی مشخصه انتقالی ولتاژ DC اشمیت تریگر پیشنهادی به‌ازای V_{in}^-=۰/۱۵ V و V_{in}^-=۰/۲۵ V. (الف) خروجی معکوس‌کننده (V_o^-) (ب) خروجی غیرمعکوس‌کننده (V_o^+)



شکل ۱۱: مشخصه انتقال ولتاژ DC خروجی غیرمعکوس‌کننده V_o^+ در گوشه‌های دمایی و فرایند مختلف



(الف)

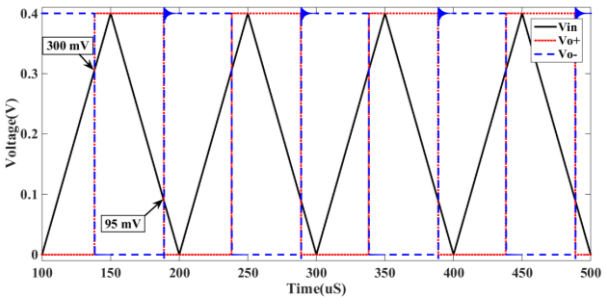


(ب)

شکل ۱۲: (الف) منحنی پهنای هیسترزیس برحسب دما در گوشه‌های فرایند مختلف، (ب) منحنی تغییرات مرکز و پهنای هیسترزیس برحسب تغییر ولتاژ تغذیه به‌ازای ولتاژ V_{in}^-=۰/۲ V

شکل ۱۳، شکل‌موج‌های ورودی و خروجی اشمیت تریگر پیشنهادی را نشان می‌دهد جایی‌که ولتاژ ورودی V_{in}^+ یک ولتاژ مثلثی با دامنه ۰/۴ ولت و فرکانس ۱۰ کیلوهرتز است و V_{in}^- روی ولتاژ ۰/۲ ولت تنظیم شده‌است. در این شکل، ولتاژهای راه‌انداز مجزای *UTP* و *LTP* مشخص هستند.

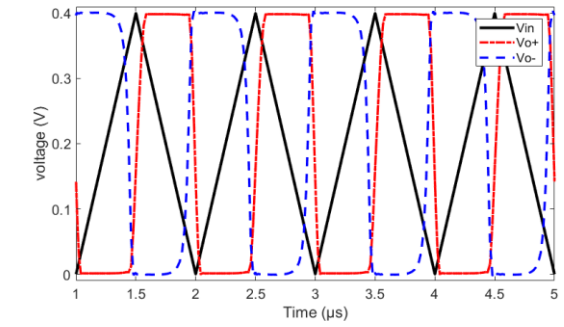
به‌منظور چگونگی کارکرد در فرکانس‌های بالاتر، مدار پیشنهادی به‌ازای فرکانس‌های ۱ مگاهرتز و ۵ مگاهرتز شبیه‌سازی شده‌است که به‌ترتیب در شکل ۱۴ (الف) و (ب) نمایش داده شده‌است. باتوجه به عمل‌کرد مدار در ولتاژ بسیار پایین، انحراف خروجی از شرایط نرمال در این شکل‌ها قابل‌مشاهده است. به‌نحوی‌که در فرکانس ۵ مگاهرتز، شکل خروجی نتیجه مطلوب را ندارد. درنتیجه، عمل‌کرد مدار در فرکانس‌های بالاتر با مشکل همراه است.



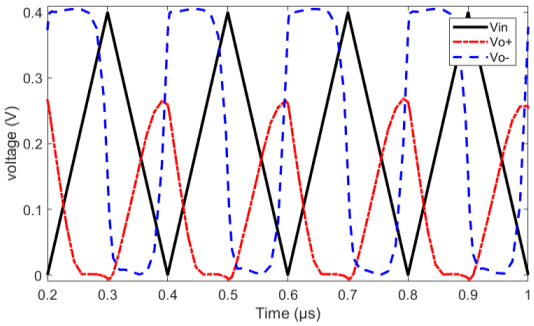
شکل ۱۳: شکل‌موج ولتاژهای ورودی و خروجی اشمیت تریگر پیشنهادی به‌ازای V_{in}^-=۰/۲ V

www.SID.ir

Archive of SID



(الف)



(ب)

شکل ۱۴: شکل‌موج ولتاژهای ورودی و خروجی اشمیت تریگر پیشنهادی به‌ازای (الف) فرکانس ورودی ۱ مگاهرتز، (ب) فرکانس ورودی ۵ مگاهرتز.

مشخصه‌های اصلی اشمیت تریگرها در جدول ۲ خلاصه شده‌است تا عمل‌کرد اشمیت تریگر پیشنهادی در مقایسه با کارهای مرتبط دیگر ارزیابی شود. این جدول نشان می‌دهد که مدار پیشنهادی، تنها مدار مبتنی‌بر دیجیتال است که در حالت تفاضلی عمل می‌کند و همچنین قابلیت تغییر مرکز هیسترزیس توسط ولتاژ ورودی در آن وجود دارد. ارائه مدار به‌صورت دیجیتالی امکان عمل‌کرد اشمیت تریگر پیشنهادی در ولتاژ خیلی پایین ۰/۴ ولت را فراهم کرده‌است. علاوه‌براین، باوجود عمل‌کرد تمام تفاضلی، مدار پیشنهادی تعداد ترانزیستورهای بسیار کمی به‌خصوص در مقایسه با اشمیت تریگرهای آنالوگ دارد که درنتیجه آن مساحت تراشه بسیار کمی را اشغال می‌کند.

۵- نتیجه‌گیری

در این مقاله، یک مدار اشمیت تریگر مبتنی‌بر دیجیتال تمام تفاضلی خیلی کم ولتاژ ارائه شده‌است که تنها از اینورترهای دیجیتال تشکیل شده‌است. مدار پیشنهادی دارای دو خروجی معکوس‌کننده و غیرمعکوس‌کننده به‌طور هم‌زمان است و تنها اشمیت تریگر مبتنی‌بر دیجیتال است که در حالت تفاضلی عمل می‌کند که مرکز هیسترزیس آن می‌تواند توسط ولتاژ ورودی تنظیم شود. این امر آن را برای استفاده در مدارهای سوئیچینگ مناسب کرده‌است. ارائه مدار به‌صورت دیجیتالی امکان عمل‌کردن اشمیت تریگر پیشنهادی در ولتاژ خیلی پایین ۰/۴ ولت را فراهم کرده‌است. ولتاژ و توان مصرفی خیلی پایین و مساحت اشغالی کوچک ناشی از تعداد ترانزیستورهای کم، این مدار را به‌عنوان یک گزینه مناسب برای استفاده در کاربردهایی نظیر مخابرات قابل‌حمل و میکروسیستم‌های قابل کاشت مطرح کرده‌است. بااین‌حال، مدار پیشنهادی دارای تأخیر قابل‌توجهی است که بهبود سرعت مدار پیشنهادی می‌تواند به‌عنوان موضوع جذاب برای کارهای بعدی در نظر گرفته شود.

جدول ۲. مقایسه اشمیت تریگر پیشنهادی با دیگر.

مرجع	[۱۵]	[۲۰]	[۲۹]	[۲۱]	[۱۶]	[۲۲]	[۲۳]	[۱۷]	کار پیشنهادی
سال	۲۰۱۰	۲۰۱۷	۲۰۱۸	۲۰۱۵	۲۰۱۶	۲۰۱۶	۲۰۱۶	۲۰۱۶	۲۰۱۸
نوع	آنالوگ	آنالوگ	آنالوگ	دیجیتال	دیجیتال	دیجیتال	دیجیتال	دیجیتال	دیجیتال
تکنولوژی (μm)	۰/۱۸	۰/۱۸	۰/۱۸	۰/۳۵	۰/۱۳	۰/۱۸	۰/۱۸	۰/۱۸	۰/۱۸
ولتاژ تغذیه (V)	۱/۸	۱/۸	۰/۸	۳	۱	۰/۵	۰/۶	۱	۰/۴
تک سر/تفاضلی	تفاضلی	تک سر	تفاضلی	تک سر	تک سر	تک سر	تک سر	تک سر	تفاضلی
تعداد ترانزیستور	۱۳+بایاس	۱۴	۱۶+بایاس	-	۲۸	۸	۶	۴	۸
LTP (mV)	۸۰۰	۷۰۰	-	۱۲۰۰	۴۵۱	۱۳۰/۳۳	۱۸۰	۴۰۱	۹۵
UTP (mV)	۱۰۰۰	۱۰۰۰	-	۲۰۰۰	۷۴۸	۲۹۱/۲۷	۴۲۰	۶۰۲	۳۰۰
پهنای هیسترزیس (mV)	۲۰۰	۳۰۰	۲۷۰-۱۷۰	۸۰۰	۲۹۷	۱۶۰/۹۴	۲۴۰	۲۰۱	۲۰۵
توان مصرفی (μW)	۳۰۹۰	۱۸۶	۱۱۲۰-۴۸۰	-	۲/۵۱	۲/۵۲	۲۶۴۰	۱۴۵/۶	۰/۰۰۶۶
تأخیر (nS)	-	-	-	-	-	-	۱/۴۸	۲/۴۴	۸
مساحت تراشه (μm^2)	-	۶۷۷	۶۸۲/۵	-	-	-	-	-	۹۸

www.SID.ir

Archive of SID

مراجع

[1] B. Razavi, Design of analog CMOS integrated circuits. NewYork, McGraw-Hill Education, 2017.

[2] Y. Bastan, M. Janipoor-Deylamani, and P. Amiri, "Fast-transient capacitor-less low-dropout regulator with input current-differencing and dynamic current-boosting," Analog Integrated Circuits and Signal Processing, 2018.

[۳] مهدی حسین نژاد و حسین شمسی، «طراحی و شبیه‌سازی مبدل آنالوگ به دیجیتال لوله‌ای مبتنی‌بر مقایسه‌گر ولتاژ پایین»، مجله مهندسی برق دانشگاه تبریز، دوره ۴۶، شماره ۱، صفحه ۹۸-۸۷، بهار ۱۳۹۵.

[۴] خلیل منفردی و یوسف بلقیس‌آذر، «تقویت‌کننده کسکود تمام‌تفاضلی بازیابی تاشده بهبودیافته ولتاژ و توان پایین»، مجله مهندسی برق دانشگاه تبریز، دوره ۴۸، شماره ۱، صفحه ۳۳۴-۳۲۷، بهار ۱۳۹۷.

[5] M. Asyaei, "A new low-power dynamic circuit for wide fan-in gates," Integration, The VLSI Journal, vol. 60, pp. 263-271, Jan. 2018.

[6] S. Weaver, B. Hershberg, and Un-KuMoon, "Digitally Synthesized Stochastic flash ADC using only standard digital cells," IEEE Transaction on Circuits and Systems-I: Regular papers, vol. 61, no. 1, pp. 84-91, Jan. 2014.

[7] F. Fazel, Y. Bastan, and P.Amiri, "Design of fully digital 3-bit flash ADC based on logic gates," IEEE 4th International Conference on Knowledge-Based Engineering and Innovation (KBEI), pp. 516-521, Tehran, Iran, 2017.

[8] Sameer Thakre, Pankaj Srivastava, "Design and analysis of low-power high-speed clocked digital comparator," Proceedings of 2015 Global Conference on Communication Technologies, 2015.

[9] P. S. Crovetti, "A Digital-based virtual voltage reference," IEEE Transaction on Circuits and Systems-I: Regular papers, vol. 62, no. 5, May 2015.

[10] J. Kulkarni, K. Kim, and K. Roy, "A 160 mV robust schmitt trigger based subthreshold SRAM," IEEE Journal of Solid-State Circuits, vol. 42, pp. 2303-2313, 2007.

[11] D. Park, J. Rhee, and Y. Joo, "Wide dynamic range and high SNR self-reset CMOS image sensor using a Schmitt trigger," IEEE Sensors, pp. 294-296, Lecce, Italy, 2008.

[12] H. Kim, H. Kim, and W. Chung, "Pulsewidth Modulation Circuits Using CMOS OTAs," IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 54, pp. 1869-1878, 2007.

[13] CMOS Schmitt Trigger.A Uniquely Versatile Design Component, Fairchild Semiconductor Application Note 140, June, 1975.

[14] W. M. Kader, H. Rashid, M. Mamun, and M. A. S. Bhuiyan, Advancement of CMOS Schmitt Trigger Circuits, Modern Applied Science, Published by Canadian Center of Science and Education, 2012.

[15] F. Yuan, "Differential CMOS Schmitt trigger with tunable hysteresis," Analog Integrated Circuit and Signal Processing, vol. 62, no. 2, pp. 245-248, 2010.

[16] K. Lin, X. Wang, X. Zhang, and B. Wang, "A PVT-independent schmitt trigger with fully adjustable hysteresis threshold voltage for low power 1-bit digitization applicationds," IEICE Electronics Express, vol. 13, no. 17, pp. 1-9, August, 2016.

[17] A. W. Kadu, M. Kalbande, "Design of low power schmitt trigger logic gates using VTCMOS," 2016 Online International Conference on Green Engineering and Technologies (IC-GET), 2016.

[18] F. Yuan, "A high-speed differential CMOS Schmitt trigger with regenerative current feedback and adjustable hysteresis," Analog Integrated Circuits and Signal Processing, vol. 63, no. 1, pp. 121-127, 2010.

[19] A. Nejati, Y. Bastan, and P. Amiri, "0.4 V ultra-low voltage differential CMOS Schmitt trigger," Iranian Conference on Electrical Engineering (ICEE), pp. 532-536, IEEE, Tehran, Iran (2017).

[20] R. Jani, and S. Oza, "Low power differential CMOS schmitt trigger with adjustable hysteresis," Theoretical and Applied Electrical Engineering, vol. 15, no. 5, Dec. 2017.

[21] G. Hang, and G. Zuu, "A new schmitt trigger with n-channel neuron-MOS transistor," 11th International Conference on Natural Computation (ICNC), Zhangjiajie, China, 2015.

[22] M. Janveja, A. Khan, and V. Niranjan, "Performance evaluation of subthreshold schmitt trigger using body bias techniques," International Conference on Computational Techniques in Information and Communication Technologies (ICCTICT), New Delhi, India, 2016.

[23] S. Park, K. Kim, H. A. Huynh, S. Joo, and S. Y. Kim, "EM noise immunity enhancement using schmitt trigger logic gates in CMOS process," URSI Asia-Pacific Radio Science Conference (URSI AP-RASC), pp. 915-918, Seoul, South Korea 2016.

[24] C. Pham, "CMOS schmitt trigger circuit with controllable hysteresis using logical threshold voltage control circuit," 6th IEEE/ACIS International Conference on Computer and Information Science (ICIS), 2007.

[25] P. Amiri, A. Nabavi, and S. Mortazavi, "Low distortion CMOS class-D amplifier with double-band hysteresis," IEICE Electronics Express, vol. 7, no. 4, pp. 273-280, 2010.

[26] M. Ramdani, E. Sicard, A. Boyer, S. B. Dhia, J. J. Whalen, T. H. Hubing, M. Coenen, and O. Wada, "The electromagnetic compatibility of integrated circuits-Past, present, and future," IEEE Trans. Electromagn. Compat. vol. 51, no. 1, pp. 78–100, February, 2009.

[27] D. Bol, R. Ambroise, D. Flandre, and J. Legat, "Interests and limitations of technology scaling for subthreshold logic," IEEE Trans. Very Large Scale Integr. Syst., vol. 17, no. 10, pp. 1508–1519, October, 2009.

[28] A.Wang, B. H. Calhoun, and A. P. Chandrakasan, Sub-threshold Design for Ultra Low-Power Systems, Springer, 2006.

[29] A. Nejati, Y. Bastan, P. Amiri, and M. H. Maghami, "A Low-Voltage Bulk-Driven Differential CMOS Schmitt Trigger with Tunable Hysteresis," Journal of Circuits, Systems and Computers, 2018.

www.SID.ir