Archive of SID

بررسی عملکرد مالتی‌پلکسر سه ارزشی مبتنی بر ترانزیستورهای اثر میدان نانولوله کربنی

الهام نیک‌بخت بیدگلی[۱]، کارشناس ارشد؛ داریوش دیدبان[۲]، دانشیار

۱- دانشکده مهندسی برق و کامپیوتر - دانشگاه کاشان - کاشان - ایران - nikbakht_enb@yahoo.com
۲- دانشکده مهندسی برق و کامپیوتر - دانشگاه کاشان - کاشان - ایران - dideban@kashanu.ac.ir

چکیده: با توجه به کاهش مقیاس قطعات نیمه‌هادی و مدارات مجتمع تا میزان محدوده نانومتر، صنعت نیمه‌هادی با چالش‌های زیادی روبرو خواهد بود. ترانزیستورهای مبتنی بر نانولوله‌های کربنی به‌دلیل ابعاد بسیار کم، سرعت بالا و مصرف کم‌توان و همچنین به‌خاطر مشابه‌بودن عملکردشان با CMOS[۱] توجه طراحان مدارهای منطقی و سیستم دیجیتالی را جلب کرده‌اند. استفاده از منطق چند-ارزشی (MVL)[۲] به‌دلیل کاهش عملیات ریاضی، موجب کاهش سطح تراشه و کاهش توان مصرفی در مقایسه با منطق دو ارزشی می‌شود. در این مقاله یک طراحی جدید از مالتی‌پلکسر با منطق سه ارزشی مبتنی‌بر ترانزیستورهای اثر میدان نانولوله کربنی (CNTFET)[۳] ارائه شده است. در نهایت، یک مقایسه از لحاظ توان و عملکرد مالتی‌پلکسر سه‌ارزشی CNTFET در برابر مالتی‌پلکسر سه‌ارزشی خانواده CMOS که طراحی آن نیز در این مقاله انجام شده، ارائه شده است. در ادامه نتایج شبیه‌سازی که با بهره‌گیری از نرم‌افزار HSPICE در تکنولوژی ۳۲ نانومتر به‌دست آمده ارائه گردیده است. نتایج شبیه‌سازی بهبود ۶۰٪ تا ۶۵٪ در مقدار تأخیر، ۹۶/۴٪ تا ۹۸٪ در مقدار توان مصرفی و تقریباً ۹۹٪ در مقدار انرژی مصرفی مدار مالتی‌پلکسر سه ارزشی مبتنی‌بر CNTFET را نسبت به مدار مشابه مبتنی بر CMOS پیشنهادی نشان می‌دهد. همچنین PDP به‌میزان ۹۹٪ بهبود می‌یابد.

واژه‌های کلیدی: ترانزیستور اثر میدان نانولوله کربنی، مالتی‌پلکسر، منطق چند ارزشی، منطق سه ارزشی، نانولوله کربنی.

Performance Evaluation of a Carbon Nanotube FET-based Ternary Multiplexer

E. Nikbakht Bidgoli[1], Msc; D. Dideban[2], Associate Professor

1- Faculty of Electrical and Computer Engineering, University of Kashan, Kashan, Iran, Email: nikbakht_enb@yahoo.com
2- Faculty of Electrical and Computer Engineering, University of Kashan, Kashan, Iran, dideban@kashanu.ac.ir

Abstract: Due to shrinking semiconductor device and integrated circuit dimensions into nanometer regime, semiconductor industry is facing challenging problems. Transistors based on carbon nanotubes have attracted attention among logic circuit and digital system designers due to their low dimensions, high speed, low power consumption and similarity of their performance with CMOS transistors. Using Multiple Valued Logic (MVL) causes reduction in both chip area and power consumption in comparison with binary logic due to less mathematical functions. In this paper, we proposed a novel design for a multiplexer with ternaty logic using Carbon Nanotube Field Effect Transistors (CNTFETs). Eventually a comparison has been made between power and performance of this CNTFET based ternary multiplexer and its ternary counterpart in CMOS which is designed in this paper. In continue, the simulation results are presented in 32 nm technology node using HSPICE. The obtained results show between 60% to 65% improvement in latency, between 96.4% to 98% improvement in power consumption and 99% improvement in enery consumption of ternary multiplexer based on CNTFET in respect to its counterpart in CMOS. Moreover, Power Delay Product (PDP) is improved by 99%.

Keywords: Carbon nanotube field effect transistor (CNTFET), Multiplexer, Multiple-valued logic (MVL), Ternary logic, Carbon nanotube.

تاریخ ارسال مقاله: ۱۳۹۷/۶/۲۵
تاریخ اصلاح مقاله: ۱۳۹۷/۱۱/۲۵ و ۱۳۹۸/۰۲/۳۰
تاریخ پذیرش مقاله: ۱۳۹۸/۰۳/۲۳
نام نویسنده مسئول: داریوش دیدبان
نشانی نویسنده مسئول: ایران - کاشان – کیلومتر ۶ بلوار قطب راوندی- دانشگاه کاشان - دانشکده مهندسی برق و کامپیوتر.

www.SID.ir

Archive of SID

۱- مقدمه

گوردن مور[۴] در سال ۱۹۶۵ نظریه‌ای ارائه داد مبنی‌بر اینکه در هر ۱۸ ماه تعداد ترانزیستورهایی که در هر تراشه به‌کار می‌رود دو برابر شده و اندازه آن نیز نصف می‌شود [۱]. هر چه گیت کوچک‌تر می‌شد ترانزیستور سریع‌تر می‌تواند سوییچ کند و درنتیجه انرژی کمتری مصرف کند و همچنین تعداد بیشتری ترانزیستور در یک تراشه سیلیکونی جای می‌گرفت. علاوه‌بر آن افزایش ترانزیستورها و بازدهی آن‌ها منجربه کاهش هزینه‌ها می‌شود. این کوچک‌سازی بالاخره متوقف می‌شد بنابراین برای رشد صنعت الکترونیک باید به فکر فناوری‌های جایگزین بود به‌طوری‌که مشکلات گذشته را حل کند [۲، ۳].

بسیاری از دانشمندان بر این باور هستند که نانولوله‌های کربنی به دلیل قابلیت رسانش ویژه یک‌بعدی جای مواد سیلیکونی در تراشه‌های نسل آینده را خواهند گرفت [۴، ۵]. ترانزیستور اثر میدان نانولوله کربنی برای پیاده‌سازی مدارهای منطقی به‌دلیل عملکرد بالا و توان مصرفی کم، گزینه مناسبی است [۶].

می‌توان با اضافه‌کردن چند سطح منطقی دیگر به منطق دودویی تحت عنوان منطق چند ارزشی، از آن در طراحی مدارهای دیجیتال بهره برد. استفاده از MVLها موجب کاهش سطح تراشه و پیچیدگی مدار می‌شود [۷]. پیاده‌سازی مداری منطق چند ارزشی عموماً مبتنی‌بر ترانزیستور ماسفت[۵] است اما در دهه اخیر به‌دلیل محدودیت مقیاس‌پذیری ناشی از جریان نشتی[۶] [۸] این کار با استفاده از ترانزیستورهای مقیاس نانو از جمله نانولوله کربنی انجام می‌شود. از وابستگی ولتاژ آستانه[۷] به کایرالیتی[۸] و قطر نانولوله در CNTFETها می توان برای تشخیص سطوح مختلف ولتاژ منطق چند-ارزشی استفاده کرد.

در بخش ۲ از این مقاله، به بررسی نانولوله‌های کربنی پرداخته شده است و سپس با استفاده از این تحقیقات ترانزیستورهای اثر میدان نانولوله کربنی مورد بررسی قرار می‌گیرد. همچنین پس از معرفی مدار چند-ارزشی، مدل مداری فشرده برای ترانزیستور اثر میدان نانولوله کربنی ارائه می‌شود. از مدل فشرده CNTFET در شبیه‌سازی مدارهای دیجیتال پایه و تولید مدارات دیجیتالی چند-ارزشی بهره‌گیری می گردد.

در بخش ۳ طراحی مدار سه ارزشی مالتی‌پلکسر مبتنی‌بر ترانزیستورهای نانولوله کربنی ارائه شده است و این مالتی‌پلکسر توسط نرم‌افزار Hspice با تکنولوژی ۳۲nm در ولتاژ تغذیه ۰/۹ ولت پیاده سازی و شبیه‌سازی می‌شود. مقادیر تأخیر، توان، انرژی و مشخصه‌های دیگر آن به‌دست آمده و با مدار مالتی‌پلکسر سه‌ارزشی مبتنی‌بر CMOS که طراحی آن نیز در این مقاله ارائه شده است، مقایسه می‌شود و همچنین مزیت‌ها و فواید مدار مالتی‌پلکسر سه‌ارزشی مبتنی‌بر CNTFET با توجه به آنچه شبیه‌سازی شد و از نتایج به‌دست آمد مورد بررسی قرار می‌گیرد. در بخش ۴ نیز نتیجه‌گیری این مقاله ارائه شده است.

۲- ترانزیستورهای مبتنی‌بر نانولوله کربنی

نانولوله‌های کربنی تک‌جداره فقط از کربن و یک ساختار ساده (ورقه‌ای از شش‌ضلعی‌های منظم) تشکیل شده‌اند. همچنین این نانولوله‌های تک‌جداره می‌توانند رسانا یا نیمه‌رسانا باشند. این هدایت الکتریکی بالا بستگی به هندسه دقیق اتم‌های کربن دارد که می‌توانند متناسب با ساختارشان به‌صورت سیم‌های فلزی یا قطعات نیمه‌هادی عمل کنند.

ترانزیستورهای اثر میدان نانولوله کربنی تک‌جداره (SWCNT)[۹] رفتارهایی بسیار شبیه به رفتارهای ترانزیستورهای نیمه‌هادی ماسفت دارند که درنتیجه CNTFETها می‌توانند جایگزین مناسبی برای ماسفت‌ها در الکترونیک مقیاس نانو شوند.

مدارهای با منطق چند-ارزشی (MVL) بیش از دو سطح منطق را اجازه می‌دهد. مدارهای MVL می‌تواند تعداد عملیات لازم را برای اجرای یک تابع ریاضی خاص کاهش دهد و به‌این‌ترتیب از نظر کاهش مساحت دارای مزیت هستند که درنتیجه موجب کاهش نویز مسیر و همچنین سرعت بالاتر عملیات می‌شود [۹، ۱۰]. همچنین سیم‌ها حامل اطلاعات بیشتری نسبت به منطق دودویی مشابه خود می‌باشند که منجربه کم شدن پایه‌ها و اتصالات داخلی و خارجی می‌شود [۱۱]. علاوه‌بر این، تلفات توان کلی نیز می‌تواند با تبدیل طراحی از دودویی به خانواده مثلاً سه‌تایی یا چهارتایی کاهش یابد. مدارهای MVL با استفاده از ادوات همراه-بار CCDS [۱۲]، CMOS حالت-ولتاژ VMCL [۱۳، ۱۴] و CMOS حالت-جریان I^2L طراحی شده است [۱۵]. جین و همکارانش مفاهیم سیستمی و مداری طراحی MVL را در مرجع [۱۶] نشان دادند. استفاده از خواص افزاره‌های CNTFET مانند قابلیت تنظیم‌کردن ولتاژ آستانه به مقدار دلخواه به‌وسیله انتخاب طول قطر مناسب برای نانولوله‌های کربنی منجربه توجه زیاد طراحان مدارات MVL به CNTFETها شده است.

اخیراً از تکنیک‌های جدیدی مثل سمبل‌زنی چگالی بار سیار و محاسبه اثرات زیرباند نانولوله‌های کربنی استفاده می‌کنند تا بتوانند مدل‌های فشرده مؤثرتر و در دسترس‌تر CNTFET را در اختیار قرار دهند [۱۹-۱۷]. در این بخش به معرفی یک مدل فشرده ترانزیستور نانولوله کربنی که توسط آن طراحی مدار و درنتیجه شبیه‌سازی انجام شده‌است، معرفی می‌شود.

۲-۱- نانولوله کربنی

در سال ۱۹۹۱ ایجیما[۱۰] موفق به کشف نانولوله‌های چندجداره کربنی (MWCNT)[۱۱] شد [۲۰]. نانولوله‌های کربنی از صفحات کربن به ضخامت یک اتم و به شکل استوانه‌ای توخالی ساخته شده است. نانولوله‌ها به دو دسته تک‌جداره (SWNT) و چندجداره (MWNT) تقسیم می‌شوند. نانولوله‌های تک‌جداره نیز برحسب آرایش اتم‌های کربنی مقطع لوله به سه دسته مهم آرمچیر (Armchair)، کایرال (Chiral) و زیگزاگ (Zigzag) تقسیم می‌شوند. نانولوله‌ها می‌توانند مانند رساناها و نیز نیمه‌رساناها با شکاف پیوند متفاوت وابسته به

www.SID.ir

Archive of SID

کایرالیتی لوله رفتار کنند. بردار کایرال نانولوله تو سط رابطه (۱) تعریف می‌شود.

$$C_h = na_1 + ma_2 \qquad (۱)$$

قطر لوله، نیز با استفاده از فرمول (۲) محاسبه می‌شود.

$$D_{CNT} = \frac{|C_h|}{\pi} = \frac{a}{\pi}\sqrt{n^2 + m^2 + nm} \qquad (۲)$$

n و m اعداد صحیح هستند و a_1 و a_2 بردارهای واحد از شش ضلعی می‌باشند. یک نانولوله آرمچیر با موردی که n = m باشد و یک نانولوله زیگزاگ با موردی که m = 0 باشد مطابقت دارند. نانولوله‌ها از لحاظ رسانایی به دو بخش عمده فلزی و نیمه‌هادی دسته‌بندی می‌شوند. شرط فلزی‌بودن نانولوله‌ها این است که (n-m) مضربی از ۳ باشد. بنابراین نانولوله‌های آرمچیر (n,n) همیشه فلزی هستند و نانولوله‌های زیگزاگ (n,۰) فقط زمانی فلزی هستند که n مضربی از ۳ باشد [۲۱، ۲۲].

۲-۲- ترانزیستورهای نانولوله کربنی

تعداد کمی از تکنولوژی‌ها وجود دارند که می‌توانند جایگزین ترانزیستور به‌عنوان قطعه منطقی پایه شوند. این‌ها شامل مقاومت دیفرانسیلی منفی[۱۲]، ترانزیستورهای ساخته شده از نانو سیم‌ها یا نانولوله‌ها، مدارات QCA[۱۳] و سوییچ‌های با قابلیت پیکربندی مجدد[۱۴] است. این قطعات اندازه‌ای در حد چند نانومتر دارند [۲۳، ۲۴].

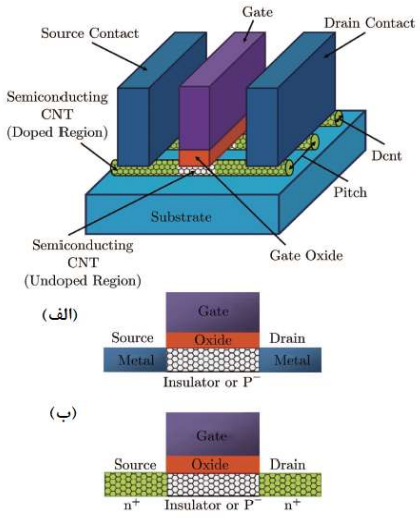
ترانزیستور نانولوله کربنی خیلی مشابه ماسفت‌ها هستند که در آن کانال سیلیکونی با یک و یا چند نانولوله کربن جایگزین شده است. شکل ۱ نمونه‌ای از CNTFET را نشان می‌دهد. CNTFETها به‌دلیل ساختار نواری یک‌بعدی و همچنین مشخصه I-V و مشخصه انتقالی شان جایگزین مناسبی برای ماسفت‌ها هستند.

دو نوع اصلی ترانزیستورهای اثر میدان نانولوله کربنی، CNTFET سدشاتکی و CNTFET شبه‌ماسفت است [۲۵]. در شکل ۱ این دو نوع نشان داده شده‌است. در CNTFET شبه‌ماسفت نواحی سورس و درین به شدت ناخالص سازی شده‌اند و یک سد پتانسیل الکترو ستاتیک در کانال به‌وجود می‌آید که از عبور جریان جلوگیری می‌کند. یک ولتاژ گیت مثبت، سد را به‌سمت پایین می‌راند و باعث جاری‌شدن جریان می‌شود. در CNTFET شاتکی اتصالات سورس و درین فلزی هستند. زیر حد آستانه، سد پتانسیل در کانال بسیار شبیه به سد پتانسیل در یک ماسفت به‌نظر می‌رسد اما بالای حد آستانه، یک سد شاتکی بین سورس و کانال وجود دارد. ولتاژ گیت، جریان تونل‌زنی را با مدولاسیون عرض سد، مدوله می‌کند و بنابراین ترانزیستور عمل می‌کند. ازآنجا که یک سد تونل‌زنی در سورس است باید انتظار داشت که جریان ON یک ترانزیستور اثر میدان سدشاتکی کمتر از جریان ON در یک ترانزیستور اثر میدان شبه‌ماسفت باشد [۲۶، ۲۷].

ولتاژ آستانه ترانزیستورهای اثر میدان نانولوله کربنی توسط رابطه (۲) به‌دست می‌آید.

$$V_{th} \simeq \frac{E_g}{2e} = \frac{\sqrt{3}aV_\pi}{3eD_{CNT}} \simeq \frac{0.436}{D_{CNT}(nm)} \qquad (۲)$$

مقادیر a برابر با ۲/۴۹ Å و V_π برابر با ۳/۰۳۳ eV است. پس با توجه به طول قطر به‌دست‌آمده از کایرالیتی نانولوله‌ها در رابطه فوق می‌توان به‌راحتی ولتاژ آستانه افزاره را به‌دست آورد [۳۰-۲۸].



شکل ۱: نمونه‌ای از افزاره CNTFET (الف) سد شاتکی و (ب) شبه ماسفت.

۲-۳- منطق چند-ارزشی

یک تکنیک جدید برای طراحی گیت منطقی چند-ارزشی استفاده از ترانزیستور نانولوله کربنی توسعه‌یافته است [۳۳-۳۱]. این روش بر پایه خاصیت ترانزیستورهای اثر میدان نانولوله کربنی است که در رابطه (۲) نشان داده شد و ولتاژ آستانه می‌تواند به‌وسیله اتخاذکردن طول قطر مناسب نانولوله به‌دست آید [۲۳، ۳۴، ۳۵]. این انعطاف‌پذیری در تغییر ولتاژ آستانه و علاوه‌بر آن، عملکرد خیلی بالای CNTFETها و حتی داشتن توان مصرفی پایین در مقایسه با افزاره‌های MOSFET منجربه استفاده آن‌ها در مدارات آینده می‌شود [۳۶]. در سیستم‌های MVL، منطق سه ارزشی (Ternary) مطابق با سادگی و مؤثربودن محبوبیت ویژه‌ای در این بین دارد که برای پیاده‌سازی آن با به‌دست‌آوردن دو ولتاژ آستانه مختلف از دو قطر متفاوت از لوله می‌توان استفاده نمود [۳۱، ۳۷]. در منطق سه ارزشی سه سطح وجود دارد. این سطح‌های منطقی با سمبل '0'، '1' و '2' مشخص می‌شود که مقادیر ولتاژ 0، ۰/۵ V_{DD} و V_{DD} ولت را نشان می‌دهد. سه نوع مختلف منطق برای منطق سه ارزشی تعریف شده است که منفی، استاندارد و مثبت است، مثل اینورتر سه ارزشی منفی (NTI)[۱۵]، اینورتر سه ارزشی استاندارد (STI)[۱۶] و اینورتر سه ارزشی مثبت (PTI)[۱۷] [۳۶، ۳۸]. در جدول ۱ مقادیر حاصل از خروجی این سه نوع اینورتر سه ارزشی نشان داده شده است. همچنین

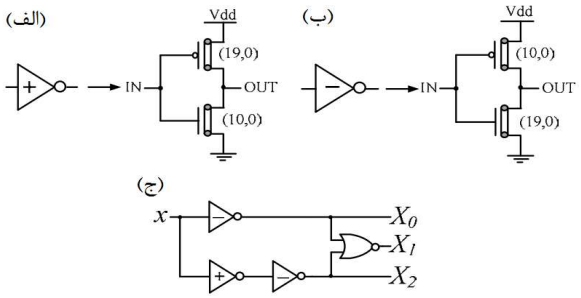
www.SID.ir

Archive of SID

در شکل ۲ نمونه‌ای از مدارات پیاده‌سازی PTI و NTI نمایش داده شده است. عددهای داخل براکت نشان‌دهنده کایرالیتی (m, n) از CNTFET است. در شکل ۲-(ج) دیکدر سه سطحی نمایش داده شده است. دیکدر شامل یک PTI، دو NTI و یک گیت NOR است. گیت NOR، گیت منطقی باینری ساده با دو سطح ۰ و ۲ است و می‌تواند با جایگزینی CNTFETها به‌جای MOSFET در اینورتر CMOS به‌دست آید. توسط این دیکدر می‌توان هر سطح از منطق سه ارزشی را دیکد نمود [۳۹].

جدول ۱: جدول درستی گیت اینورتر سه سطحی مبتنی بر CNTFET [۳۶].

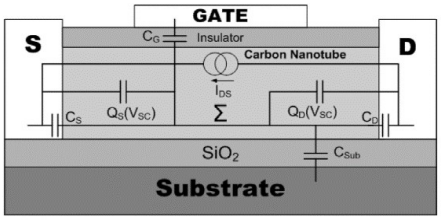
IN	STI	NTI	PTI
۰	۲	۲	۲
۱	۱	۰	۲
۲	۰	۰	۰



شکل ۲: نمونه‌ای از پیاده‌سازی (الف) اینورتر سه ارزشی مثبت (PTI)، (ب) اینورتر سه ارزشی منفی (NTI) ، (ج) دیکدر سه ارزشی [۳۶، ۳۹].

۲-۴- مدل فشرده ترانزیستورهای اثر میدان نانولوله کربنی

اخیراً، تقریب سمبلیک[۱۸] برای مدل‌سازی چگالی بار در ناحیه بالستیک CNTFETها ارائه شده است [۴۰، ۴۱، ۴۲]. تکنیک تقریب‌زنی دارای سرعت بسیار بالا و درعین‌حال دقت محاسباتی لازم چگالی بار در طول کانال نانولوله کربن است. دانشگاه استنفورد مدل فشرده CNTFET را برای شبیه‌ساز HSPICE در اختیار طراحان مدار قرار داده است. این مدل نشان می‌دهد که پتانسیل خود-سازگار[۱۹] در ناحیه گیت، می‌تواند حالت انتقال حامل‌ها را در CNTFET تخمین بزند. شکل ۳ مدل دوبعدی برای CNTFET را نشان داده است [۴۰].



شکل ۳: مدل فشرده مداری CNTFET [۴۲].

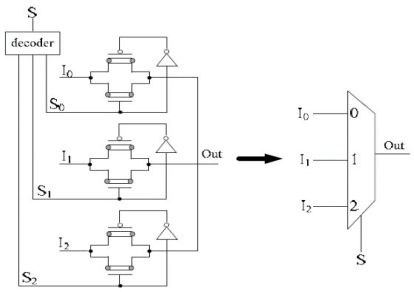
۳- طراحی مالتی‌پلکسر سه ارزشی مبتنی بر CNTFET

ترانزیستورهای نانولوله کربنی به‌دلیل شباهتشان به ماسفت‌ها در بخش مشخصه ذاتی الکترونیک در دوره‌های اخیر بیشتر موردتوجه طراحان قرار گرفته‌اند، به‌علاوه بی‌مانندی تک‌بعدی ساختار باند CNTFET، موجب عملکرد نزدیک بالستیک می‌شود که این عملکرد، رفتار سرعت بالای مدار مبتنی بر CNTFET را نتیجه می‌دهد. همچنین این ساختار تک‌بعدی مقاومت را کم می‌کند که منجربه کمترشدن انرژی مصرفی و درنتیجه کاهش چگالی توان مصرفی در کانال CNTFETها می‌شود.

در الکترونیک، مالتی‌پلکسر مداری است که یکی از چند سیگنال دیجیتال یا آنالوگ ورودی‌هایش را انتخاب کرده و سپس آن ورودی انتخاب‌شده را به یک خط خروجی هدایت می‌کند. در حالت منطق دودویی، تسهیم کننده‌ای با 2^n ورودی، n خط انتخاب دارد، این خطوط انتخاب مشخص می‌کنند که کدام خط ورودی باید به خط خروجی هدایت شود. در این مقاله به‌دلیل اینکه طراحی مدارات با استفاده از منطق چند ارزشی (MVL) است و مدار منطق سه ارزشی دارد، تسهیم‌کننده‌ای با 3^n ورودی، n خط انتخاب دارد که مالتی‌پلکسر ۳ به ۱ با یک خط انتخاب در این مقاله طراحی شده است.

مالتی‌پلکسر سه سطحی بر پایه طراحی دیکدر گفته‌شده در شکل ۲-(ج) در [۴۳] نشان داده شده است. این طراحی بر پایه گیت انتقال(Transmission Gate) است که شامل گیت‌های انتقال، یک دیکدر سه سطحی و سه اینورتر ساده مبتنی بر CNTFET است. شکل ۴ این مالتی‌پلکسر سه سطحی را نشان می‌دهد. وقتی سیگنال S منطق ۰ دارد خروجی S_0 منطق ۲ خواهد داشت و در نتیجه I_0 به خروجی انتقال پیدا می‌کند. مشابه با آن، اگر S منطق ۱ داشته باشد I_1 و اگر S منطق ۲ داشته باشد I_2 به خروجی انتقال پیدا می‌کند [۴۳].

در ساختار پیشنهادی در مراجع [۴۳، ۴۴] مؤلفان تمام‌جمع‌کننده و نیم‌جمع‌کننده ای طراحی کرده‌اند که در بخشی از طراحی آن‌ها از مالتی‌پلکسر سه سطحی شکل ۴ استفاده شده است. با مقایسه نتایج به دست‌آمده از این دو ساختار و مدار پیشنهادی مالتی‌پلکسر سه ارزشی مبتنی بر CNTFET موجود در این مقاله مشاهده می‌شود که توان مصرفی مدار پیشنهادی موجود در این مقاله تقریباً یک‌سوم و همچنین تأخیر مدار پیشنهادی نزدیک به ۰/۱ تأخیر مدار شکل ۴ می‌باشد.



شکل ۴: مالتی‌پلکسر سه سطحی ارائه شده در مرجع [۴۳].

www.SID.ir

Archive of SID

در این مقاله یک مالتی‌پلکسر سه ارزشی مبتنی بر CNTFET با عملکرد سرعت بالا و توان مصرفی پایین ارائه می‌گردد که توسط شبیه ساز HSPICE و مدل فشرده CNTFET استنفورد در تکنولوژی ۳۲ نانومتر و در ولتاژ تغذیه ۰/۹ ولت طراحی شده است. همچنین مدار مالتی‌پلکسر سه ارزشی مبتنی‌بر CMOS نیز برای مقایسه عملکرد و نشان دادن مزیت‌های مالتی‌پلکسر سه ارزشی مبتنی‌بر CNTFET طراحی شده است. این مقایسه در مشخصه‌های تأخیر، توان مصرفی، انرژی مصرفی و مشخصه‌های دیگر مدار انجام می‌شود.

مدار مالتی‌پلکسر سه ارزشی مبتنی بر CMOS نیز توسط HSPICE و در تکنولوژی ۳۲ نانومتر و ولتاژ تغذیه ۰/۹ ولت شبیه‌سازی شده است تا صحت عملکرد آن تائید شود. یکی از مزیت‌های مهم مدار مالتی پلکسر سه ارزشی مبتنی بر CMOS ارائه‌شده استفاده از تنها یک منبع تغذیه برای طراحی مدار سه سطحی است.

۳-۱- طراحی مالتی‌پلکسر سه ارزشی مبتنی بر CNTFET پیشنهادی

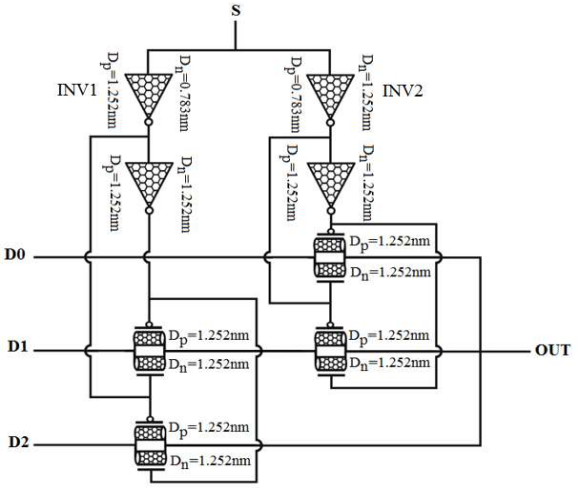
یک مالتی‌پلکسر الکترونیکی به چند سیگنال امکان می‌دهد تا از یک دستگاه یا منبع به‌صورت اشتراکی استفاده کنند و این امر سبب کاهش خطوط انتقال وکارایی بالاتر مدارات خواهد شد. به‌طورکلی هر ورودی مالتی‌پلکسر برای شناسایی به یک آدرس منطقی نیاز دارد که با استفاده از خط انتخاب ورودی شناسایی و انتخاب می‌شود و سپس به خروجی انتقال می‌یابد.

در طراحی مدار مالتی‌پلکسر سه ارزشی مبتنی بر CNTFET از گیت اینورتر NTI، PTI که در بخش قبل توضیح داده شد و همچنین گیت اینورتر معمولی (دودویی) استفاده شده است. با توجه به آن‌که مدار منطق سه ارزشی دارد برای طراحی این مدار از دو طول قطر متفاوت (۱۰,۰) و (۱۶,۰) که منجربه تولید دو ولتاژ آستانه مختلف ۰/۵۵۶۸ ولت و ۰/۳۴۸ ولت می‌شود، استفاده شده است.

مدار طراحی‌شده در شکل ۵ نشان داده شده است. با توجه به شکل ۵ توسط خط انتخاب S یکی از ورودی‌های D0، D1 و D2 انتخاب و به خروجی (OUT) هدایت می‌شود. اگر مقدار S صفر منطقی باشد، خروجی خط D0 می‌شود و اگر مقدار S یک منطقی V_{DD} ۰/۵ یا همان ۰/۴۵ ولت باشد، خروجی خط D1 می‌شود و به‌همین صورت اگر مقدار S دو منطقی (V_{DD}) و یا ۰/۹ ولت باشد، مدار خط D2 را به خروجی هدایت خواهد کرد. حال با توجه به اینکه هر یک از خط‌های ورودی D0، D1 و D2 خود نیز می‌توانند مقادیر سه ارزشی داشته باشند، درنهایت خروجی‌های شکل ۷ ایجاد می‌گردد.

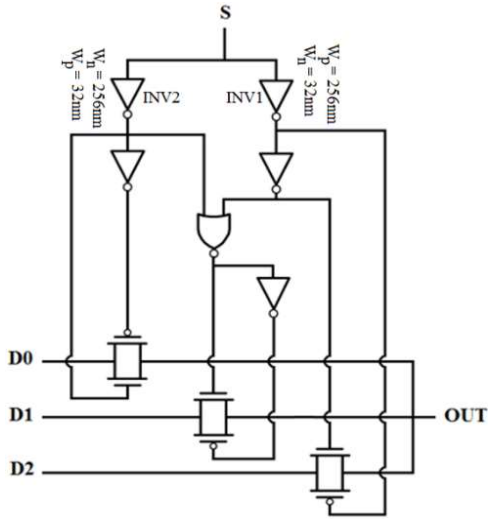
۳-۲- طراحی مالتی‌پلکسر سه ارزشی مبتنی بر CMOS پیشنهادی

به‌منظور مقایسه و نمایش بهتر عملکرد مدار مالتی‌پلکسر سه ارزشی مبتنی‌بر CNTFET پیشنهادی، طراحی مدار مالتی‌پلکسر سه ارزشی مبتنی‌بر CMOS بررسی می‌گردد. یکی از مزیت‌های مهم مدار مالتی پلکسر سه ارزشی مبتنی بر CMOS ارائه‌شده، این است که تنها با



شکل ۵: مدار مالتی‌پلکسر سه ارزشی مبتنی‌بر CNTFET پیشنهادی.

استفاده از یک ولتاژ تغذیه طراحی شده است. به‌طوری‌که می‌تواند سه سطح منطق را پیاده‌سازی نماید. در شکل ۶ که مدار طراحی‌شده نشان داده شده است، به‌جز دو اینورتر اول که مقادیر عرض گیت آن‌ها در شکل آمده و از عرض‌های ۲۵۶nm و ۳۲nm ساخته شده‌اند، بقیه ترانزیستورهای مدار، عرض گیت برابر با ۳۲ نانومتر دارند. در شکل ۷ سیگنال‌های ورودی، خط انتخاب و خروجی مدار مالتی‌پلکسر سه ارزشی مبتنی بر CMOS پیشنهادی نمایش داده شده است.



شکل ۶: مدار مالتی‌پلکسر سه ارزشی مبتنی بر CMOS پیشنهادی.

۳-۳- نتایج شبیه‌سازی

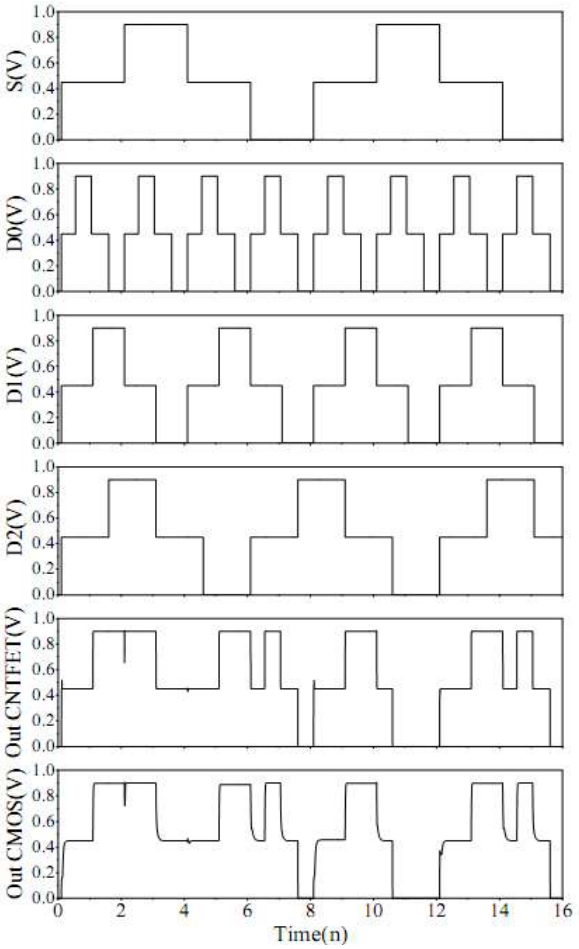
در شکل ۸-(الف) مشخصه انتقالی دو گیت INV1 و INV2 نشان داده شده در شکل ۶ یعنی مدار مالتی‌پلکسر سه ارزشی مبتنی بر CMOS پیشنهادی نشان داده شده است. مشابه با آن شکل ۸-(ب) مشخصه انتقالی دو گیت INV1 و INV2 در شکل ۵، مدار مالتی‌پلکسر سه

www.SID.ir

Archive of SID

ارزشی مبتنی بر CNTFET پیشنهادی را نشان می‌دهد. با توجه به شکل (۸) می‌توان مشاهده کرد که حاشیه نویز اینورترهای مبتنی بر CNTFET بیشتر از اینورترهای مبتنی‌بر CMOS می‌باشد زیرا مشخصه انتقالی آن‌ها تیزتر بوده و به حالت ایده آل نزدیک‌تر است. با اندازه‌گیری پارامترهای حاشیه نویز بر اساس مشخصه‌های انتقالی اینورترهای CMOS، حاشیه نویزهای پایین برابر ۰/۲ و ۰/۴ ولت و حاشیه نویزهای بالا برابر ۰/۵ و ۰/۳ ولت به‌ترتیب برای اینورترهای چپ و راست متصل به سیگنال انتخاب در شکل ۶ به‌دست می‌آید. همچنین با اندازه‌گیری پارامترهای حاشیه نویز بر اساس مشخصه‌های انتقالی اینورترهای CNTFET، حاشیه نویزهای پایین برابر ۰/۳ و ۰/۵۵ ولت و حاشیه نویزهای بالا برابر ۰/۵۵ و ۰/۳ ولت به‌ترتیب برای اینورترهای راست و چپ متصل به S در شکل ۷ به‌دست می‌آید.

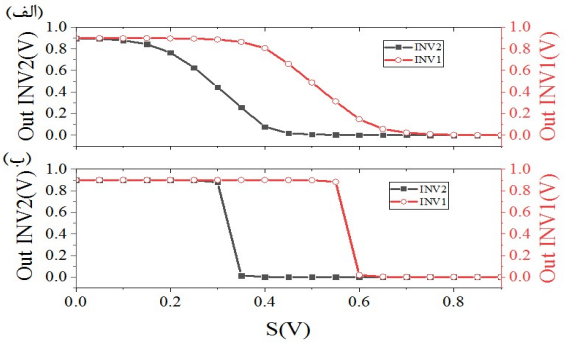
در شکل ۹-(الف) تأخیر برحسب ولتاژهای تغذیه مختلف برای هر دو مدار مالتی‌پلکسر سه ارزشی مبتنی‌بر CNTFET و مبتنی بر CMOS پیشنهادی نمایش داده شده است.



شکل ۷: مشخصه حالت گذرا مالتی‌پلکسر سه ارزشی مبتنی‌بر CNTFET و CMOS پیشنهادی.

با توجه به شکل می‌توان مشاهده نمود که هر چه ولتاژ تغذیه زیادتر می‌شود تأخیر کاهش می‌یابد و سرعت مدار نیز بیشتر می‌شود. این تأخیر بسیار کم مدار مالتی‌پلکسر سه ارزشی مبتنی بر CNTFET، موجب عملکرد سرعت بالاتر در آن شده است.

در ولتاژ تغذیه ۰/۸ ولت تأخیر مدار مبتنی‌بر CNTFET نسبت به مدار مبتنی بر CMOS تقریباً ۶۵٪ بهبود داشته است و این بهبود در ولتاژ ۱ ولت تغذیه به ۶۰٪ نیز می‌رسد. در شکل ۹-(ب) عملکرد تأخیر مدار در دماهای مختلف نشان داده شده است. در مدار CMOS هر چه دما بیشتر می‌شود مقدار تأخیر مدار نیز بیشتر می‌شود اما در مدار CNTFET با افزایش دما این مقدار تأخیر به مقدار ناچیزی کم می‌شود. با توجه به شکل ۹-(ب) به‌راحتی می‌توان دریافت که حساسیت مدار CNTFET نسبت به دما بسیار کم است. تأخیر مدار مالتی‌پلکسر سه ارزشی مبتنی بر CMOS پیشنهادی در دماهای مختلف چیزی حدود ۲/۵ تا ۳/۵ برابر مدار مشابه مبتنی‌بر CNTFET است، این اختلاف خود دلیلی بر عملکرد سرعت بالای مدارات مبتنی بر CNTFET است. درنتیجه در مدار مبتنی‌بر CNTFET پیشنهادی تأخیر در دماهای مختلف حدود ۵۹٪ تا ۷۲٪ نسبت به مدار مبتنی بر CMOS بهبود داشته است.

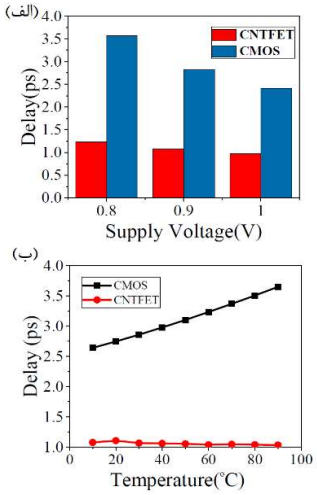


شکل ۸: مشخصه انتقالی دو اینورتر متصل به خط انتخاب مالتی پلکسر سه‌ارزشی مبتنی بر (الف) CMOS ، (ب) مبتنی بر CNTFET.

برای محاسبه تأخیر مدار، میانگین تأخیر از هر خط ورودی به خروجی، یعنی میانگین تأخیر سه خط ورودی D0، D1 و D2 است و همچنین قابل‌ذکر است که چون مدار سه ارزشی است هرکدام از خط‌های ورودی نیز دارای چهار حالت (منطق دو به صفر، دو به یک، یک‌به‌دو و صفر به دو) می‌باشد که میانگین حالت‌های آن‌ها برای هر خط ورودی محاسبه و لحاظ شده است؛ یعنی به‌ازای هر ولتاژ تغذیه میانگین تأخیر ۱۲ حالت ممکن (سه خط ورودی که هرکدام ۴ حالت دارند) اندازه‌گیری شده است. در محاسبه تأخیر برحسب دما، ولتاژ تغذیه ۰/۹ ولت در نظر گرفته شده است و در محاسبه تأخیر برحسب ولتاژ تغذیه دما ۲۷ درجه سانتی‌گراد در نظر گرفته شده است.

www.SID.ir

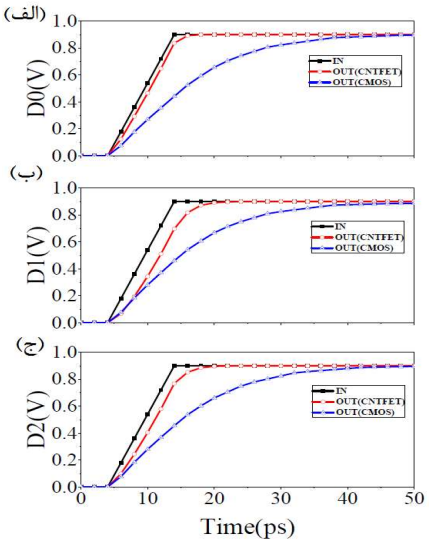
Archive of SID



شکل ۹: تأخیر دو مدار مالتی‌پلکسر سه ارزشی مبتنی بر CMOS و مبتنی بر CNTFET پیشنهادی برحسب: (الف) ولتاژهای تغذیه مختلف ، (ب) دمای مختلف.

این تفاوت در تأخیر مدار مالتی‌پلکسر سه ارزشی مبتنی‌بر CMOS و مدار مبتنی‌بر CNTFET پیشنهادی و همچنین سرعت بالای مدار مبتنی‌بر CNTFET را در شکل ۱۰ به‌خوبی می‌توان مشاهده کرد. در شکل (۱۰) ورودی مدار خط مشکی رنگ است و اگر فرض شود که خط انتخاب مقدار صفر منطقی دارد، سیگنال D0 به خروجی انتقال پیدا می‌کند و هدایت این سیگنال D0 به خروجی در دو مد مدار مالتی پلکسر سه ارزشی مبتنی بر CNTFET و مبتنی بر CMOS پیشنهادی در شکل ۱۰-(الف) به رنگ‌های قرمز و آبی نمایش داده شده است، به طوری‌که تأخیر زیاد مدار مالتی‌پلکسر سه ارزشی مبتنی‌بر CMOS پیشنهادی نسبت به مدار مشابه مبتنی‌بر CNTFET به‌وضوح قابل مشاهده است. حال اگر فرض شود که خط انتخاب S مقدار یک منطقی دارد، ورودی D1 به خروجی منتقل خواهد شد، این هدایت سیگنال D1 به‌طور دقیق‌تر در شکل ۱۰-(ب) نشان داده شده است و هنگامی که S (خط انتخاب) مقدار دو منطقی باشد، خط ورودی D2، به خروجی هدایت خواهد شد. شکل ۱۰-(ج) انتقال سیگنال D2 را به خروجی در دو مد مدار مالتی‌پلکسر سه ارزشی مبتنی بر CMOS پیشنهادی و مدار مشابه مبتنی بر CNTFET نشان می‌دهد.

در شکل ۱۱-(الف) مقادیر توان برحسب ولتاژ تغذیه برای هر دو مدار مالتی‌پلکسر سه ارزشی مبتنی بر CMOS و مبتنی بر CNTFET پیشنهادی نشان داده شده است. با افزایش ولتاژ تغذیه، مقدار توان مصرفی نیز زیاد می‌شود. با توجه به این نمودار مقادیر محدوده توان در مدار مالتی‌پلکسر سه ارزشی مبتنی‌بر CMOS پیشنهادی در محدوده میکرو وات و در مدار مبتنی بر CNTFET در محدوده نانو وات می‌باشد. این تفاوت توان مصرفی در دو مدار نمایان‌گر این است که مدارات مبتنی‌بر CNTFET متناسب با آنچه که در قبل نیز گفته شد، مداراتی با توان مصرفی پایین و سرعت بالا است.



شکل ۱۰: مقایسه سیگنال (الف) D0، (ب) D1 ، (ج) D2 انتقال‌یافته به خروجی در مدار مالتی‌پلکسر مبتنی‌بر CNTFET و مبتنی‌بر CMOS پیشنهادی با شکل موج ورودی آن.

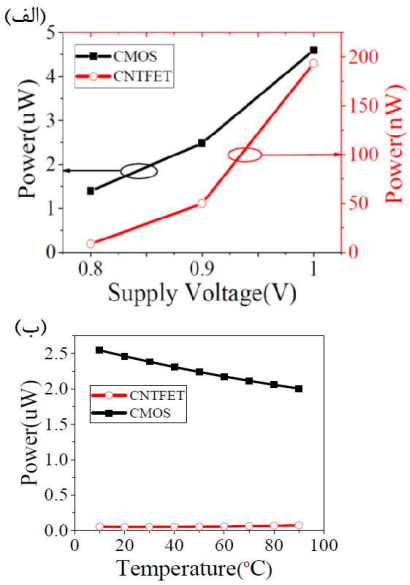
به‌طوری‌که در ولتاژ ۰/۸ ولت تغذیه توان مدار مبتنی بر CMOS پیشنهادی حدود ۱۶۰ برابر توان در مدار مبتنی‌بر CNTFET است و این نسبت در ولتاژ ۱ ولت تغذیه حدود ۳۰ برابر می‌شود یعنی توان در مدار مبتنی‌بر CNTFET پیشنهادی حدود ۹۵٪ تا ۹۹٪ نسبت به مدار مبتنی بر CMOS پیشنهادی بهبود می‌یابد.

در شکل ۱۱-(ب) توان مصرفی برحسب تغییرات دما نشان داده شده است. در مدار مبتنی‌بر CMOS پیشنهادی با زیادشدن دما توان مصرفی کم می‌شود اما در مدار مبتنی‌بر CNTFET پیشنهادی توان به مقدار ناچیز در رنج نانو وات افزایش پیدا می‌کند که این نشان‌دهنده حساسیت کمتر توان مصرفی مدار مبتنی‌بر CNTFET پیشنهادی نسبت به دما است. توان مصرفی مدار CMOS پیشنهادی در دماهای مختلف چیزی حدود ۲۸ تا ۴۶ برابر مدار مبتنی‌بر CNTFET پیشنهادی می باشد؛ یعنی توان مدار مالتی‌پلکسر سه ارزشی مبتنی بر CNTFET پیشنهادی برحسب دما حدود ۹۶/۴٪ تا ۹۸٪ نسبت به مدار مبتنی‌بر CMOS پیشنهادی بهبود داشته است.

برای محاسبه توان در شبیه‌سازی، یکی از خط‌های ورودی را که باید به خروجی انتقال پیدا کند (توسط خط انتخاب S) پالس با دو مد سطح ولتاژ $V_{DD}/2$ و V_{DD} (به دلیل سه سطحی بودن مدار) داده و دو خط ورودی دیگر برابر مقادیر ولتاژ صفر ولت قرار داده می‌شود و سپس توان مصرفی مدار محاسبه می‌گردد. از آنجا که سه سطح ورودی وجود دارد، برای خطی که انتقال می‌یابد دو حالت $V_{DD}/2$ و V_{DD} را به‌عنوان بیشترین ولتاژ ورودی در پالس در نظر گرفته و توان محاسبه و میانگین گیری انجام می‌پذیرد. این کار برای دو خط انتخاب دیگر نیز به‌همین طریق انجام و میانگین سه توان محاسبه شده از سه خط ورودی

www.SID.ir

Archive of SID



شکل ۱۱: توان مصرفی دو مدار مالتی‌پلکسر سه ارزشی مبتنی‌بر CMOS و مبتنی‌بر CNTFET پیشنهادی برحسب: (الف) ولتاژهای تغذیه مختلف، (ب) دمای مختلف.

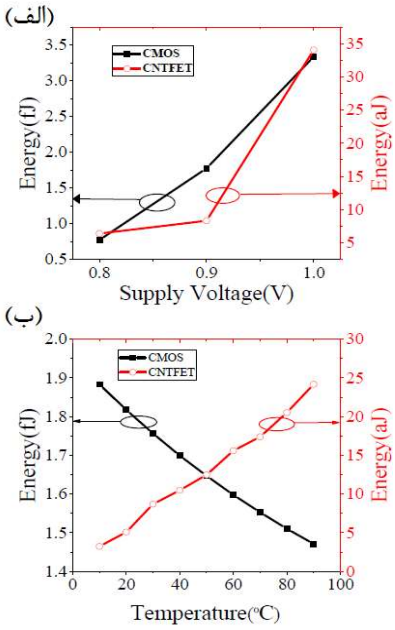
به‌دست آورده می‌شود. در محاسبه توان برحسب دما ولتاژ تغذیه ۰/۹ ولت در نظر گرفته شده است و در محاسبه توان برحسب ولتاژ تغذیه دما ۲۷ درجه سانتی‌گراد در نظر گرفته شده است.

در شکل ۱۲-(الف) مقادیر انرژی برحسب سه ولتاژ تغذیه ۰/۸، ۰/۹ و یک ولت برای دو مدار مالتی‌پلکسر سه ارزشی مبتنی‌بر CNTFET و مبتنی‌بر CMOS محاسبه و نشان داده شده است. در هر سه ولتاژ تغذیه مختلف، انرژی مصرفی مدار مبتنی بر CNTFET پیشنهادی حدود ۹۹٪ نسبت به مدار مبتنی بر CMOS پیشنهادی بهبود دارد.

در شکل ۱۲-(ب) مقدار انرژی مصرفی برحسب دما برای دو مدار مالتی‌پلکسر سه ارزشی مبتنی‌بر CMOS و مبتنی‌بر CNTFET پیشنهادی نشان داده شده است، محور سمت راست (قرمزرنگ) مربوط به نمودار انرژی مدار مالتی‌پلکسر سه ارزشی مبتنی‌بر CNTFET پیشنهادی (نمودار قرمزرنگ) می‌باشد که در حدود رنج آتو ژول و محور سمت چپ (مشکی رنگ) مربوط به نمودار انرژی مدار مبتنی بر CMOS می‌باشد که در حدود رنج فمتو ژول است. با افزایش دما انرژی مصرفی در مدار مالتی‌پلکسر سه ارزشی مبتنی‌بر CMOS پیشنهادی کاهش می یابد اما در مدار مالتی‌پلکسر سه ارزشی مبتنی‌بر CNTFET پیشنهادی افزایش می‌یابد. به‌طوری‌که مدار مالتی‌پلکسر سه ارزشی مبتنی‌بر CNTFET پیشنهادی به‌طور یکنواخت بهبود ۹۹٪ نسبت به مدار مبتنی بر CMOS پیشنهادی در دماهای مختلف دارد.

برای محاسبه انرژی در شبیه‌سازی، یکی از خط‌های ورودی که قرار است به خروجی انتقال پیدا کند (توسط خط انتخاب S) پالس با دو مد سطح ولتاژ VDD/2 و VDD (به‌دلیل سه سطحی‌بودن مدار) داده و به دو خط ورودی دیگر مقادیر ولتاژ صفر ولت داده می‌شود و سپس انرژی مصرفی مدار محاسبه می‌گردد. از آنجا که سه سطح ورودی وجود دارد، برای خطی که انتقال می‌یابد دو حالت VDD/2 و VDD به‌عنوان بیشترین ولتاژ ورودی در پالس در نظر گرفته و انرژی مصرفی محاسبه و میانگین‌گیری انجام می‌گردد. این کار برای دو خط انتخاب دیگر نیز به‌همین طریق انجام شده و انرژی سه توان به‌دست آمده از سه خط ورودی محاسبه می‌گردد. در محاسبه انرژی برحسب دما ولتاژ تغذیه ۰/۹ ولت در نظر گرفته شده است و در محاسبه انرژی برحسب ولتاژ تغذیه دما ۲۷ درجه سانتی‌گراد در نظر گرفته شده است.

در شکل ۱۳-(الف) و (ب)، مقادیر تأخیر و توان برحسب خازن بار برای مدار مالتی‌پلکسر سه ارزشی مبتنی‌بر CNTFET و مبتنی‌بر CMOS پیشنهادی محاسبه شده است، این مقادیر با افزایش خازن بار در هر دو مدار مبتنی‌بر CNTFET و مبتنی‌بر CMOS به‌صورت خطی افزایش پیدا می‌کنند و حساسیت و تغییرات نسبتاً مشابه با یکدیگر دارند. به‌طوری که با افزایش خازن مقدار توان مصرفی و تأخیر مدار نیز در هر دو مدار با شیب تقریباً یکسانی افزایش می‌یابد. شکل ۱۳-(ج) مقادیر انرژی مصرفی برحسب خازن بار را برای هر دو مدار نشان می‌دهد که در مدار مالتی‌پلکسر سه ارزشی مبتنی‌بر CMOS انرژی مصرفی برحسب خازن بار حدود ۲۲۰ تا ۳۸۰ برابر مدار مبتنی‌بر CNTFET است.



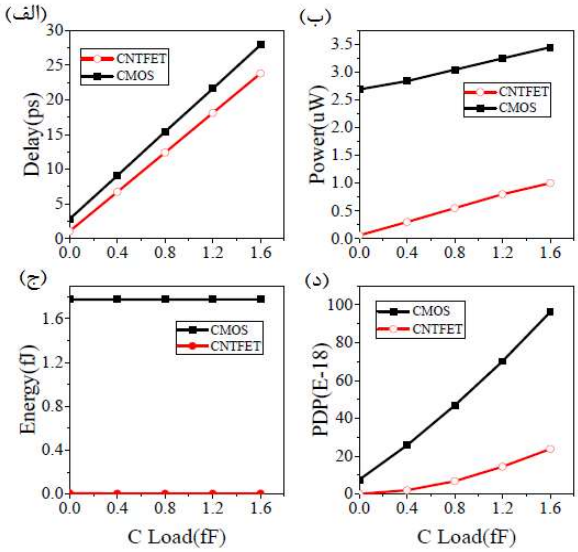
شکل ۱۲: انرژی مصرفی دو مدار مالتی‌پلکسر سه ارزشی مبتنی‌بر CMOS و مبتنی‌بر CNTFET پیشنهادی برحسب: (الف) ولتاژهای تغذیه مختلف، (ب) دمای مختلف.

در شکل ۱۳-(د)، PDP برحسب خازن بار برای مدار مالتی‌پلکسر سه ارزشی مبتنی‌بر CNTFET و مبتنی‌بر CMOS پیشنهادی محاسبه شده است. با توجه به مدار منحنی مالتی‌پلکسر سه ارزشی مبتنی‌بر CNTFET با شیب کمتری نسبت به مدار مبتنی‌بر CMOS اثر خازن بار را دنبال می‌کند، به‌طوری‌که با افزایش خازن بار مقدار PDP به‌طور خطی افزایش نمی‌یابد (غیر مشابه با مدار مبتنی‌بر CMOS پیشنهادی).

www.SID.ir

Archive of SID

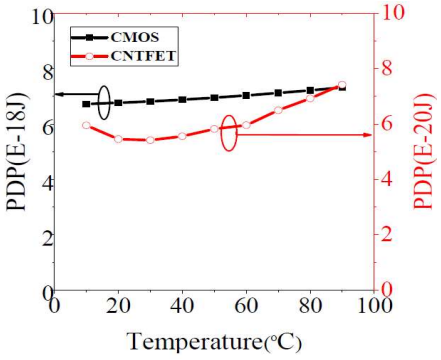
در شکل ۱۴، PDP برحسب دما در دو مدار مالتی‌پلکسر سه ارزشی مبتنی‌بر CMOS و مبتنی‌بر CNTFET پیشنهادی محاسبه شده است، محور سمت راست (قرمزرنگ) مربوط به نمودار PDP مدار مبتنی‌بر CNTFET و محور سمت چپ (مشکی رنگ) مربوط به نمودار PDP مدار مبتنی‌بر CMOS است. همان‌طورکه از شکل ۱۴ مشاهده می‌شود، محدوده تغییرات PDP در مدار مبتنی‌بر CNTFET بیشتر از ژپتو ژول می‌باشد که مقداری بسیار کم است. همچنین مقادیر PDP مدار مبتنی بر CNTFET در دماهای مختلف تقریباً یکسان و مقداری ثابت دارد. PDP مدار مبتنی‌بر CMOS در محدوده آتو ژول است که تقریباً صد برابر مدار مبتنی‌بر CNTFET است، این PDP به‌طور خطی با افزایش دما با شیب بسیار کم افزایش می‌یابد، به‌طوری‌که مقدار PDP در مدار مبتنی بر CMOS از دمای صفر درجه سانتی‌گراد تا دمای ۹۰ درجه سانتی‌گراد کمتر از یک فمتو تغییر می‌کند که درنتیجه می‌توان گفت PDP برای هر دو مدار مبتنی‌بر CMOS و مبتنی‌بر CNTFET پیشنهادی تقریباً یکنواخت است و PDP در مدار مالتی‌پلکسر سه ارزشی مبتنی‌بر CNTFET به‌طور یکنواخت ۹۹٪ نسبت به مدار مبتنی‌بر CMOS پیشنهادی بهبود داشته است.



شکل ۱۳: محاسبه (الف) تأخیر، (ب) توان مصرفی، (ج) انرژی مصرفی و (د) PDP برحسب خازن بار در مدار مالتی‌پلکسر سه ارزشی مبتنی‌بر CNTFET و مبتنی‌بر CMOS پیشنهادی.

یکی دیگر از مشخصه‌هایی که برای مدارات مبتنی بر CNTFET بررسی می‌شود حساسیت و محدوده تغییرات پارامترهای تأخیر، توان مصرفی و انرژی مصرفی مدار نسبت به انحرافات طول قطر نانولوله‌های کربنی به‌کار رفته در کانال ترانزیستورهای اثر میدان نانولوله کربنی است. برای محاسبه تغییرات پارامترهای ذکرشده نسبت به طول قطر نانولوله‌های کربنی از تحلیل مونته‌کارلو در HSPICE استفاده می‌شود.

همان‌طورکه قبلاً بیان شد، با توجه‌به اینکه برای محاسبه تأخیر چهار حالت (تغییر سطح منطق از دو به یک، یک‌به‌دو، دو به صفر و یک به صفر) برای هر سه ورودی (D0، D1 و D2) وجود دارد، میانگین این دوازده حالت برای هر یک از محدوده انحراف‌های ۵٪، ۱۰٪ و ۱۵٪ به‌دست می‌آید.



شکل ۱۴: PDP برحسب دما در دو مدار مالتی‌پلکسر سه ارزشی مبتنی‌بر CNTFET و مبتنی بر CMOS پیشنهادی.

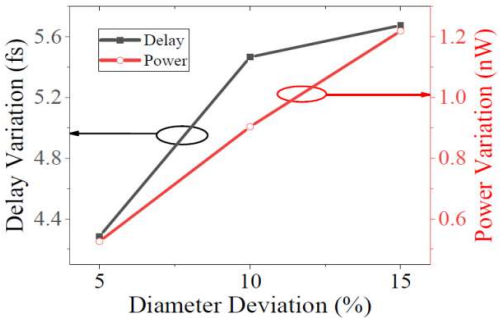
برای به‌دست آوردن تغییرات دما در هر یک از این حالت‌ها با استفاده از روش مونته‌کارلو اعداد تصادفی در هر یک از محدوده انحراف‌های ۵٪، ۱۰٪ و ۱۵٪ توسط توابع پارامتر Gaussian و با سیگمای برابر سه در ۱۰۰ نمونه تأخیر محاسبه می‌گردد، یعنی هر یک از دوازده حالت گفته شده برای هر یک از محدوده انحرافات ۵٪، ۱۰٪ و ۱۵٪ در ۱۰۰ نمونه اندازه‌گیری شده است. در شکل ۱۵ نتیجه این محاسبات و اندازه‌گیری ها نشان داده شده است. برای اندازه‌گیری توان نیز مقادیر برای هر سه ورودی محاسبه و مشابه با حالت اندازه‌گیری تأخیر در ۱۰۰ نمونه اندازه‌گیری انجام می‌گردد و سپس میانگین‌گیری می‌شود. با توجه به شکل ۱۵ تغییرات تأخیر و توان برحسب انحرافات طول نانولوله مدار مالتی‌پلکسر سه ارزشی مبتنی‌بر CNTFET پیشنهادی قابل مشاهده است.

۴- نتیجه‌گیری

در این مقاله ابتدا خواص، انواع و عملکرد ترانزیستورهای نانولوله کربنی مورد بررسی قرار گرفت. همان‌طورکه گفته شد عملکرد نزدیک به بالستیک نانولوله‌ها منجربه رفتار سرعت بالای ترانزیستورهای نانولوله کربنی شده است. همچنین ساختار تک‌بعدی آن‌ها مقاومت را کم می کند و باعث کمترشدن انرژی مصرفی و درنتیجه چگالی توان مصرفی در کانال CNTFETها شده است. پس از آن با استفاده از شبیه‌ساز HSPICE و مدل فشرده استنفورد در تکنولوژی ۳۲ نانومتر طراحی مدار مالتی پلکسر سه ارزشی مبتنی‌بر CNTFET ارائه گردید. سپس، به‌منظور مقایسه و نشان‌دادن مزیت مدار طراحی‌شده به طراحی مدار مالتی‌پلکسر سه ارزشی مبتنی‌بر CMOS نیز انجام پذیرفت. در نهایت مقادیر تأخیر، توان، انرژی و PDP دو مدار مالتی‌پلکسر سه ارزشی مبتنی‌بر CMOS و CNTFET پیشنهادی محاسبه گردید.

www.SID.ir

Archive of SID



شکل ۱۵: تغییرات تأخیر و تغییرات توان مصرفی برحسب انحراف طول قطر نانولوله کربن در مدار مالتی‌پلکسر سه ارزشی مبتنی‌بر CNTFET پیشنهادی.

با توجه به مقادیر به‌دست‌آمده از تأخیر دو مدار می‌توان گفت که مقدار تأخیر در مدار مالتی‌پلکسر سه ارزشی مبتنی‌بر CNTFET پیشنهادی برحسب ولتاژ، ۶۰٪ تا ۶۵٪ نسبت به مدار مشابه مبتنی‌بر CMOS کاهش داشته است. همچنین برای مقادیر تأخیر برحسب تغییرات دما نیز می‌توان گفت مدار مالتی‌پلکسر سه ارزشی مبتنی‌بر CNTFET پیشنهادی، ۵۹٪ تا ۷۲٪ نسبت به مدار مشابه مبتنی‌بر CMOS کاهش داشته است. علاوه‌بر این توان مصرفی با استفاده از مدار مالتی‌پلکسر سه ارزشی CNTFET از محدوده میکرو وات به محدوده نانو وات کاهش پیدا کرده است. این کاهش توان و تأخیر در مدار مالتی پلکسر سه ارزشی مبتنی بر CNTFET پیشنهادی موجب شده است تا مداری با سرعت بالا و توان مصرفی پایین ایجاد گردد. به‌طوری‌که توان مدار مالتی‌پلکسر سه ارزشی مبتنی‌بر CNTFET پیشنهادی برحسب دما حدود ٪۹۶/۴ تا ۹۸٪ نسبت به مدار مبتنی‌بر CMOS پیشنهادی بهبود پیدا کرد. همچنین در رابطه با انرژی مصرفی می‌توان گفت مدار مالتی‌پلکسر سه ارزشی مبتنی‌بر CNTFET مقداری در محدوده چند ده آتو ژول دارد درحالی‌که مدار مشابه مبتنی‌بر CMOS انرژی مصرفی در محدوده فمتو ژول دارد. به‌طوری‌که انرژی مدار مالتی‌پلکسر مبتنی بر CNTFET در دماهای مختلف نزدیک به ۹۹٪ نسبت به مدار مبتنی بر CMOS پیشنهادی بهبود داشته و کاهش یافته است.

همچنین مقدار PDP مدار مبتنی‌بر CMOS در محدوده آتو ژول می‌باشد که تقریباً صد برابر مدار مبتنی‌بر CNTFET است و مدار مبتنی‌بر CNTFET بهبود ۹۹٪ در PDP را نسبت به مدار مبتنی‌بر CMOS پیشنهادی نشان می‌دهد. همچنین اثر تأخیر و توان برحسب خازن‌های بار مختلف بر روی دو مدار رفتاری تقریباً یکسان دارند و با افزایش خازن‌های بار تأخیر و توان با شیب تقریباً یکسانی افزایش می یابد اما مقادیر تأخیر و توان در مدار مبتنی بر CMOS پیشنهادی بیشتر از مدار مبتنی بر CNTFET پیشنهادی بود که درنتیجه منجربه کم‌شدن شیب PDP مدار مبتنی بر CNTFET پیشنهادی در نمودار PDP برحسب خازن‌های بار مختلف شد.

همان‌طورکه گفته شد مدار مالتی‌پلکسر سه ارزشی مبتنی‌بر CNTFET پیشنهادی بهبود قابل‌توجهی در زمینه کاهش تأخیر و توان مصرفی مدار و همچنین افزایش سرعت آن ایجاد کرده است.

مراجع

[1] G. Moore, “Moore’s law,” Electronics Magazine, vol. 38, 1965.

[۲] مهسا مهراد، میثم زارعی، "ارائه ساختار نوین ترانزیستور اثر میدان سیلیسیم روی عایق دو گیتی با پنجره اکسید در درین گسترده شده به منظور کاربرد در تکنولوژی نانو"، مجله مهندسی برق دانشگاه تبریز، جلد ۴۷ ، شماره ۲، صفحات ۸۰-۸۶، ۱۳۹۶.

[۳] محمد کاظم انوری فرد، "انسداد میدان الکتریکی جانبی از نواحی درین و سورس جهت بهبود اثرات کانال کوتاه در افزاره nano-SOI"، مجله مهندسی برق دانشگاه تبریز، جلد ۴۸، شماره ۳، صفحات ۹۹۱-۹۹۸، ۱۳۹۷.

[4] P. Avouris, R. Martel, V. Derycke and J. Appenzeller, “Carbon nanotube transistors and logic circuits,” Physica B: Condensed Matter, vol. 323, pp. 6-14, 2002.

[5] J. Guo, M. Lundstrom and S. Datta, “Performance projections for ballistic carbon nanotube field-effect transistors,” Applied Physics Letters, vol. 80, pp. 3192-3194, 2002.

[6] M. H. Moaiyeri, R. F. Mirzaee, K. Navi and O. Hashemipour, “Efficient CNTFET-based ternary full adder cells for nanoelectronics,” Nano-Micro Letters, vol. 3, pp. 43-50, 2011.

[7] K. Roy, S. Mukhopadhyay and H. Mahmoodi-Meimand, “Leakage current mechanisms and leakage reduction techniques in deep-submicrometer CMOS circuits,” Proceedings of the IEEE, vol. 91, pp. 305-327, 2003.

[8] A. K. Jain, R. J. Bolton and M. H. Abd-El-Barr, “CMOS multiple-valued logic design. I. Circuit implementation,” IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications, vol. 40, pp. 503-514, 1993.

[9] R. F. Mirzaee, K. Navi and N. Bagherzadeh, “High-efficient circuits for ternary addition,” VLSI Design, vol. 2014, p. 10, 2014.

[10] E. Ozer, R. Sendag and D. Gregg, “Multiple-valued logic buses for reducing bus energy in low-power systems,” IEE Proceedings-Computers and Digital Techniques, vol. 153, pp. 270-282, 2006.

[11] M. H. Moaiyeri, R. F. Mirzaee, A. Doostaregan, K. Navi and O. Hashemipour, “A universal method for designing low-power carbon nanotube FET-based multiple-valued logic circuits,” IET Computers & Digital Techniques, vol. 7, pp. 167-181, 2013.

[12] J. T. Butler and H. G. Kerkhoff, “Multiple-valued CCD circuits,” Computer, vol. 21, pp. 58-69, 1988.

[13] M. Davio and J.-P. Deschamps, “Synthesis of Discrete Functions Using 12L,” IEEE Transactions on Computers, vol. 30, 1981.

[14] S. Onneweer, H. Kerkhoff and J. Butler, “Structural computer-aided design of current-mode CMOS logic circuits,” DTIC Document1988.

[15] F. Pelayo, A. Prieto, A. Lloris and J. Ortega, “CMOS current-mode multivalued PLAs,” IEEE transactions on circuits and systems, vol. 38, pp. 434-441, 1991.

www.SID.ir

Archive of SID

[16] M. Bhat and H. Jamadagni, "Power optimization in current mode circuits," in VLSI Design, 2005. 18th International Conference on, 2005, pp. 175-180.

[17] J. Deng and H.-S. P. Wong, "A circuit-compatible SPICE model for enhancement mode carbon nanotube field effect transistors," in International Conference on Simulation of Semiconductor Processes and Devices, pp. 166-169, 2006.

[18] V. Derycke, R. Martel, J. Appenzeller and P. Avouris, "Carbon nanotube inter-and intramolecular logic gates," Nano Letters, vol. 1, pp. 453-456, 2001.

[19] H. Hashempour and F. Lombardi, "An efficient and symbolic model for charge densities in ballistic carbon nanotube FETs," in Sixth IEEE Conference on Nanotechnology (IEEE-NANO), pp. 23-26, 2006.

[20] Q. Zhao, M. B. Nardelli and J. Bernholc, "Ultimate strength of carbon nanotubes: a theoretical study," Physical Review B, vol. 65, pp. 144105, 2002.

[21] B. J. Cox and J. M. Hill, "Exact and approximate geometric parameters for carbon nanotubes incorporating curvature," Carbon, vol. 45, pp. 1453-1462, 2007.

[22] M. Batmunkh, M. J. Biggs and J. G. Shapter, "Carbon Nanotubes for Dye□Sensitized Solar Cells," Small, vol. 11, pp. 2963-2989, 2015.

[23] M. H. Moaiyeri, A. Doostaregan and K. Navi, "Design of energy-efficient and robust ternary circuits for nanotechnology," IET Circuits, Devices & Systems, vol. 5, pp. 285-296, 2011.

[24] M. A. Tehrani, F. Safaei, M. H. Moaiyeri and K. Navi, "Design and implementation of multistage interconnection networks using quantum-dot cellular automata," Microelectronics Journal, vol. 42, pp. 913-922, 2011.

[25] P. Avouris, "Molecular electronics with carbon nanotubes," Accounts of chemical research, vol. 35, pp. 1026-1034, 2002.

[26] Z. Kordrostami and M. H. Sheikhi, *Fundamental physical aspects of carbon nanotube transistors, in Carbon Nanotubes,* INTECH Open Access Publisher, 2010.

[27] A. Rahman, J. Guo, S. Datta and M. S. Lundstrom, "Theory of ballistic nanotransistors," IEEE Transactions on Electron Devices, vol. 50, pp. 1853-1864, 2003.

[28] Y. B. Kim, Y.-B. Kim and F. Lombardi, "A novel design methodology to optimize the speed and power of the CNTFET circuits," in 52nd IEEE International Midwest Symposium on Circuits and Systems (MWSCAS'09), pp. 1130-1133, 2009.

[29] F. Sharifi, M. H. Moaiyeri, K. Navi and N. Bagherzadeh, "Quaternary full adder cells based on carbon nanotube FETs," *Journal of Computational Electronics,* vol. 14, pp. 762-772, 2015.

[30] P. Keshavarzian, "Novel and general carbon nanotube FET-based circuit designs to implement all of the 39 ternary functions without mathematical operations," *Microelectronics Journal,* vol. 44, pp. 794-801, 2013.

[31] S. Lin, Y.-B. Kim and F. Lombardi, "A novel CNTFET-based ternary logic gate design," in 52nd IEEE International Midwest Symposium on Circuits and Systems (MWSCAS'09), pp. 435-438, 2009.

[32] A. Raychowdhury and K. Roy, "A novel multiple-valued logic design using ballistic carbon nanotube FETs," in 34th International Symposium on Multiple-Valued Logic Proceedings, pp. 14-19, 2004.

[33] A. Raychowdhury and K. Roy, "Carbon-nanotube-based voltage-mode multiple-valued logic design," IEEE Transactions on Nanotechnology, vol. 4, pp. 168-179, 2005.

[34] S. Lin, Y.-B. Kim and F. Lombardi, "CNTFET-based design of ternary logic gates and arithmetic circuits," IEEE transactions on nanotechnology, vol. 10, pp. 217-225, 2011.

[35] K. You and K. Nepal, "Design of a ternary static memory cell using carbon nanotube-based transistors," Micro & Nano Letters, vol. 6, pp. 381-385, 2011.

[36] M. H. Moaiyeri, R. F. Mirzaee, A. Doostaregan, K. Navi and O. Hashemipour, "A universal method for designing low-power carbon nanotube FET-based multiple-valued logic circuits," IET Computers & Digital Techniques, vol. 7, pp. 167-181, 2013.

[37] K. Navi, M. Rashtian, A. Khatir, P. Keshavarzian and O. Hashemipour, "High speed capacitor-inverter based carbon nanotube full adder," Nanoscale research letters, vol. 5, pp. 859-862, 2010.

[38] M. Serra, "Applications of multi-valued logic to testing of binary and MVL circuits," International journal of electronics, vol. 63, pp. 197-214, 1987.

[39] S. Lin, Y.-B. Kim and F. Lombardi, "CNTFET-based design of ternary logic gates and arithmetic circuits," *IEEE transactions on nanotechnology,* vol. 10, pp. 217-225, 2011.

[40] A. Rahman, J. Guo, S. Datta and M. S. Lundstrom, "Theory of ballistic nanotransistors," IEEE Transactions on Electron Devices, vol. 50, pp. 1853-1864, 2003.

[41] A. Rahman, J. Wang, J. Guo, M. S. Hasan, Y. Liu and A. Matsudaira, *FETToy online tool*, February 2006, https://www.nanohub.org/resources/220.

[42] D. Mann, A. Javey, J. Kong, Q. Wang and H. Dai, "Ballistic transport in metallic nanotubes with reliable Pd ohmic contacts," Nano Letters, vol. 3, pp. 1541-1544, 2003.

[43] H. Vani, R. Sagar and H. Rohini, "Multiplexer based Design for Ternary Logic Circuits," in International journal of computer applications, pp. 5-8, 2015.

[44] C. Vudadha, S. Katragadda and P. S. Phaneendra, "2: 1 Multiplexer based design for ternary logic circuits," in IEEE Asia Pacific Conference on Postgraduate Research in Microelectronics and Electronics (PrimeAsia), pp. 46-51, 2013.

زیرنویس‌ها

[1] Complementary Metal Oxide Semiconductor
[2] Multiple-Valued Logic
[3] Carbon Nanotube Field-Effect Transistor
[4] Gordon E.Moore
[5] Metal Oxide Semiconductor Field Effect Transistor (MOSFET)
[6] Leakage Current
[7] Threshold Voltage
[8] Chiral
[9] Single Wall Carbon Nanotube
[10] Iijima
[11] Multi Wall Carbon Nanotube
[12] Negative Differential Resistor
[13] Quantum Cellular Automata
[14] Reconfigurable
[15] Negative Ternary Inverter
[16] Standard Ternary Inverter
[17] Positive Ternary Inverter
[18] Symbolic Approximation
[19] Self-Consistent Voltage

www.SID.ir