پنجمین کنفرانس بین المللی مطالعات بین رشته ای در مدیریت و مهندسی
۱۴ تیر ۱۴۰۱ | محل برگزاری: دانشگاه تهران
5th International Conference on Interdisciplinary Studies in Management & Engineering (ICISME-2022)
5 July 2022 | University of Tehran
OxfordCert Universal

ارائه روشی مبتنی بر الگوریتم بهینه‌سازی IWO جهت نگاشت در شبکه روی تراشه روی گراف VOPD

یوسف رحیمی اصل[*1]
گروه مهندسی کامپیوتر - موسسه آموزش عالی کارون واحد اهواز، اهواز، ایران
yousefrahimiasl@gmail.com

چکیده

با پیشرفت تکنولوژی، اکنون می‌توان صدها هسته را روی تراشه نیمه‌هادی سیلیکونی یا قالب سیلیکونی ادغام کرد. برای برقراری ارتباط بین این هسته‌ها به منابع زیادی نیاز است و منجر به مشکل ارتباط در سیستم روی تراشه می‌شود که با معرفی شبکه‌های روی تراشه حل می‌شود. شبکه روی تراشه، به دلیل طراحی مقاوم به خطا، جایگزین مکانیسم ارتباطی موجود بر روی تراشه در جدیدترین سیستم‌های VLSI می‌شود. با این حال، علاوه بر چالش‌های طراحی، شبکه روی تراشه به مکانیسمی برای نگاشت مناسب برنامه نیاز دارند تا حداکثر مزایا را از نظر تأخیر در سطح کاربرد، مصرف انرژی پلت فرم و توان عملیاتی سیستم ایجاد کنند. هرچه هزینه ارتباطی کمتر باشد، عملکرد شبکه روی تراشه بهتر و مصرف انرژی کمتر است. به‌طور مشابه، روش‌های هوش مصنوعی توجه خاصی به دست آورده‌اند. در این مقاله، یک روش نگاشت جدید برای شبکه روی تراشه روی گراف VOPD پیشنهاد شده است که بر اساس توپولوژی مش دوبعدی و الگوریتم مسیریابی XY است. این روش از قابلیت‌های هوش مصنوعی الگوریتم بهینه‌سازی IWO با الهام از طبیعت و پدیده‌های محیطی استفاده می‌کند.

واژگان کلیدی: شبکه روی تراشه، نگاشت، گراف VOPD، الگوریتم بهینه‌سازی IWO

www.SID.ir

مقدمه

امروزه مصرف توان در CMP[1] مهم‌ترین دغدغه طراحان تراشه است (Beechu et al, 2018). از طرف دیگر، پیشرفت فناوری و ادغام بسیاری از هسته‌ها در یک تراشه منجر به معماری‌های موازی با کارایی بالا در سیستم‌های محاسباتی می‌شود (Momeni & Shahhoseini, 2022). سیستم روی تراشه (SoC[2]) یک الگو برای طراحی و اجرای مدارهای روی تراشه است که می‌تواند چندین سیستم را روی یک تراشه پشتیبانی کند. افزایش روزافزون تعداد هسته‌های پردازشی روی یک تراشه، کارایی طراحی‌های روی تراشه را به یکی از جنبه‌های اصلی در ارزیابی میانگین عملکرد SoC تعبیه‌شده تبدیل کرده است. برای برآوردن نیازهای عملکرد و ایجاد انعطاف‌پذیری در طراحی‌ها، زمینه شبکه روی تراشه (NoCs[3]) پدید آمده است که ارتباطات را از محاسبات جدا می‌کند (Amin et al, 2020). از آنجایی که گذرگاه مشترک روی تراشه دیگر نمی‌تواند عملکرد بالای برنامه‌های کاربردی اخیر را پشتیبانی کند، اتصال شبکه روی تراشه به یک ضرورت در طراحی فعلی و آینده تراشه‌های سیستم‌های چند پردازنده (MPSoC[4]) تبدیل شده است (Kadri & Koudil, 2019). مقیاس‌بندی فناوری، ادغام تعداد زیادی از ترانزیستورها را در یک تراشه واحد امکان‌پذیر کرده است که منجر به افزایش عملکرد از طریق ترکیب عناصر پردازش PEs[5]، هسته‌های IP[6] و واحدهای حافظه با هم در یک پلتفرم می‌شود (Mehmood et al, 2022). تحقیقات قابل‌توجهی برای بهبود عملکرد شبکه‌های روی تراشه از نظر بازده، مصرف انرژی، تأخیر، قابلیت اطمینان و غیره انجام شده است که این بهبود در سطوح مختلف طراحی شبکه روی تراشه و با روش‌های مختلف قابل‌دستیابی است (Kadri & Koudil, 2019).

هر برنامه از هسته‌های پردازشی تشکیل شده است که می‌توانند به‌طور همزمان کار کنند. این هسته‌های پردازشی نیاز به تبادل داده‌ها و اطلاعات در حین اجرا دارند؛ بنابراین، هر برنامه کاربردی را می‌توان به‌عنوان یک نمودار وظیفه وزنی نشان داد. هر گره در این نمودار نشان‌دهنده یک هسته پردازشی است. هر لبه نشان‌دهنده وجود ارتباط بین هسته‌های پردازشی است و وزن لبه نشان‌دهنده میزان ارتباط مورد نیاز بین دو هسته پردازشی است (Mazaheri Kalahroudi et al, 2021). در نگاشت، واحدهای عملیاتی مختلف به گره‌های مختلف در شبکه روی تراشه اختصاص داده می‌شوند. چگونگی دستیابی به این امر بر عملکرد و مصرف انرژی شبکه تأثیر می‌گذارد. هر روش نگاشت سعی می‌کند یک یا چند پارامتر - تأخیر، مصرف انرژی، هزینه ارتباطی یا پهنای باند مورد نیاز - را در شبکه روی تراشه به حداقل برساند (Tosun, 2011، Tosun, 2012). مهم‌ترین معیار در نگاشت در شبکه روی تراشه، هزینه ارتباطی است. هر چه هزینه ارتباطی کمتر باشد، عملکرد شبکه روی تراشه بهتر است. علاوه بر این، کاهش هزینه ارتباطی مستقیماً منجر به کاهش مصرف انرژی و حداکثر تأخیر و بهبود توان عملیاتی می‌شود. هر چه گره‌های متصل به لبه‌های سنگین‌تر را نزدیک‌تر قرار داد، بیشتر می‌توان هزینه ارتباطی در شبکه را روی تراشه کاهش داد (Mazaheri Kalahroudi et al, 2021). در این مقاله، یک روش نگاشت جدید برای شبکه روی تراشه پیشنهاد شده است که بر اساس توپولوژی مش دوبعدی و الگوریتم مسیریابی XY است. اکثر الگوریتم‌های نگاشت پیشنهادی سعی در کاهش هزینه‌های ارتباطی دارند. بر این اساس، این پارامتر به‌عنوان مبنای مقایسه الگوریتم‌های مختلف نگاشت در این مقاله در نظر گرفته شد. هزینه ارتباطی مهم‌ترین پارامتر در یک شبکه روی تراشه است. هر چه هزینه ارتباطی در یک شبکه روی تراشه کمتر باشد، عملکرد آن بهتر است. کاهش هزینه ارتباطی باعث کاهش ترافیک شبکه روی تراشه نیز می‌شود. هزینه ارتباطی دارای یک فرمول ثابت است که در همه الگوریتم‌های نگاشت استفاده می‌شود.

[1] Consumption In Chip Multiprocessor (CMP)
[2] System-On-Chip (Soc)
[3] Networks On Chips (Nocs)
[4] Multiprocessor Systems-On Chips (Mpsocs)
[5] Processing Elements (Pes)
[6] Intellectual Property (IP)

www.SID.ir

در ادامه ساختار مقاله به این شرح است که در بخش دوم، پژوهش‌های پیشین مرور می‌شوند. در بخش سوم، روش پیشنهادی که یک روش مبتنی بر الگوریتم بهینه‌سازی IWO جهت نگاشت در شبکه روی تراشه روی گراف VOPD است، ارائه می‌شود. در بخش چهارم، شبیه‌سازی روش پیشنهادی تشریح می‌گردد. در بخش پنجم، نتیجه‌گیری و پیشنهادات آتی مطرح می‌شوند.

پیشینه تحقیق

در (Khan et al, 2022)، یک نگاشت چندسطحی از برنامه‌های هوش مصنوعی و یادگیری عمیق در معماری‌های شبکه روی تراشه را پیشنهاد کرده‌اند و نتایج آن را برای مصرف انرژی، نمایه توزیع وظیفه، تأخیر و توان عملیاتی نشان داده‌اند. شبیه‌سازی با استفاده از OCTAVE انجام شده است و نتایج شبیه‌سازی نشان می‌دهد که عملکرد روش نگاشت پیشنهادی بهتر از روش‌های نگاشت مستقیم است.

در (Bhanu & Soumya, 2021)، روش‌های طراحی شبکه روی تراشه مقاوم در برابر خطا را برای رسیدگی به خرابی‌های اصلی که ممکن است در یک برنامه کاربردی رخ دهد، پیشنهاد کرده‌اند. یک فرمول ریاضی مبتنی بر برنامه‌ریزی خطی عدد صحیح و رویکرد تکاملی مبتنی بر بهینه‌سازی ازدحام ذرات برای انجام نگاشت مقاوم به خطا با استفاده از هسته‌ها در شبکه مش MoT[۷] پیشنهاد شده‌اند. انعطاف‌پذیری توسط رویکردهای برنامه‌ریزی خطی عدد صحیح و رویکرد تکاملی مبتنی بر بهینه‌سازی ازدحام ذرات برای قرار دادن هسته در شبکه ارائه می‌شود. با برنامه‌های چند رسانه‌ای و برنامه‌های مصنوعی تولید شده با استفاده از ابزار TGFF در محیط‌های ایستا و پویا آزمایش کرده‌اند. پارامترهای عملکردی یعنی تأخیر شبکه، توان عملیاتی و مصرف توان آنالیز شده‌اند. نتایج تجربی با استفاده از رویکرد ارائه شده نسبت به رویکردهای پیشین، پیشرفت‌های قابل‌توجهی را نشان داده‌اند.

در (Mazaheri Kalahroudi et al, 2021)، روشی به نام IAM[۸] ارائه داده‌اند که یک روش نگاشت شبکه روی تراشه مبتنی بر مش ۲ بعدی پیشرفته است که الگوریتم بهینه‌سازی را به‌منظور نگاشت کارآمد هسته‌های IP به مسیریاب‌ها تطبیق می‌دهد. نتایج به‌دست‌آمده نشان می‌دهد که هزینه ارتباطی در مقایسه با الگوریتم LMAP، CASTNET، CLUSTER، NMAP و PSO به ترتیب ۱۳، ۹، ۸، ۴ و ۴ درصد بهبود یافته است.

در (Salh & Sllame, 2021)، یک رویکرد مبتنی بر ژنتیک را برای پارتیشن‌بندی و نگاشت هسته‌های SoC چند هسته‌ای بر روی یک سیستم شبکه روی تراشه ارائه داده‌اند که از توپولوژی مش استفاده می‌کند. الگوریتم پیشنهادی پارتیشن‌بندی و نگاشت را با کاهش هزینه ارتباطی و به حداقل رساندن مصرف انرژی با قرار دادن آن هسته‌های متصل به یکدیگر تا حد امکان نزدیک به هم انجام می‌دهد. نتایج تجربی چندین معیار چندرسانه‌ای نشان می‌دهد که رویکرد مبتنی بر ژنتیک قادر به یافتن پیاده‌سازی‌های رضایت‌بخش مختلف برای مشکل پارتیشن‌بندی و نگاشت هسته‌های MPSoC بر روی سیستم شبکه روی تراشه مبتنی بر مش است که اهداف طراحی را برآورده می‌کند.

در (Mohiz et al, 2021)، یک الگوریتم حریصانه به‌عنوان اولین روش برای قرار دادن حداکثر وظایف ارتباطی در کنار هم استفاده کرده‌اند تا الگوریتم اصلی را شروع کند. سپس، جستجوی الگوریتم فراابتکاری فاخته برای بهینه‌سازی قرار دادن وظایف بر روی هسته‌های شبکه روی تراشه استفاده شده است. الگوریتم حریصانه پایه موارد از پیش‌پردازش شده‌ای را برای بهینه‌سازی جستجوی فاخته فراهم می‌کند که در نهایت به همگرایی سریع الگوریتم اصلی کمک می‌کند. تجزیه‌وتحلیل نتایج نشان می‌دهد که الگوریتم پیشنهادی از نظر معیارهای مختلف عملکرد مانند هزینه ارتباطی، مصرف انرژی و متوسط تأخیر بسته‌ها، از روش‌های پیشرفته در نگاشت برنامه شبکه روی تراشه بهتر عمل می‌کند.

[7] Mesh-Of-Tree (Mot)
[8] IWO Algorithm Mapping

www.SID.ir

در (Chen et al, 2021)، یک چارچوب مبتنی بر یادگیری تقویتی (RLF[9]) را پیشنهاد کرده‌اند که عملکرد جستجوهای اکتشافی را از طریق مدل احتمال مبتنی بر شبکه عصبی افزایش می‌دهد. در این چارچوب، ابتدا یک مدل احتمال مبتنی بر شبکه عصبی برای نگاشت IP ساخته شده و با یادگیری تقویتی به‌جای یادگیری نظارت‌شده برای غلبه بر دشواری دستیابی به مجموعه آموزشی برچسب‌گذاری شده با کیفیت بالا، آموزش داده شده است. دوم، بر اساس مدل احتمال از پیش آموزش دیده، از مدل احتمال برای تولید جمعیت اولیه استفاده می‌کند و سپس از جستجوهای اکتشافی برای یافتن راه‌حل بهینه استفاده می‌کند. دو روش اکتشافی مبتنی بر مدل، به‌عنوان مثال، الگوریتم ژنتیک مبتنی بر شبکه عصبی (MPN-GA[10]) و پیام ارسال‌کننده پیام شبکه عصبی (MPN-PSMAP)، به‌عنوان نمونه‌های خاص پیشنهاد شده است. نتایج شبیه‌سازی نشان می‌دهد که MPN-GA هزینه ارتباطی را به‌طور متوسط ۹,۳۲٪ نسبت به الگوریتم ژنتیک کاهش می‌دهد. MPN-PSMAP به‌طور متوسط ۸,۳۷ درصد از هزینه ارتباطات را نسبت به PSMAP کاهش می‌دهد.

در (Fan et al, 2021)، یک الگوریتم تخمین عملکرد تحت محاسبات و محدودیت‌های ارتباطی برای DNN مبتنی بر شبکه روی تراشه ایجاد کرده‌اند. علاوه بر این، بر اساس برآورد عملکرد پیشنهادی، یک الگوریتم برنامه‌ریزی و نگاشت آگاه از محاسبات و ارتباطات (CCASM[11]) برای بهبود عملکرد پیشنهاد نموده‌اند. نتایج شبیه‌سازی دقت الگوریتم تخمین را نشان می‌دهد. علاوه بر این، نتایج نشان می‌دهد که الگوریتم CCASM در مقایسه با روش‌های موجود، توان عملیاتی را بهبود می‌بخشد. علاوه بر این، مقیاس‌پذیری بالایی را در شتاب‌دهنده‌ها در مقیاس‌های مختلف نشان می‌دهد.

در (Reddy & Kar, 2021)، بر روی یک الگوریتم نگاشت کارآمد و روش‌های یادگیری ماشین کاربردی برای پیش‌بینی زمان اجرا و مصرف انرژی شبکه روی تراشه نگاشت شده تمرکز کرده‌اند. نتایج تجربی نشان می‌دهد که الگوریتم نگاشت پیشنهادی می‌تواند به ترتیب به دقت ۸۰ و ۷۵ درصد برای زمان اجرا و پیش‌بینی مصرف انرژی دست یابد. این نوع پیش‌بینی عملکرد می‌تواند برای پردازنده‌های در حال انجام سازنده باشد.

در (Kumar et al, 2021)، الگوریتم‌های نگاشت HorMAP[12]، نگاشت چرخشی (RTMAP[13]) و نگاشت DACMAP[14] را برای نگاشت وظایف بر روی هسته‌ها ارائه کرده‌اند که اساساً بر روی بهینه‌سازی تأخیر، زمان صف، زمان خدمات و انرژی تمرکز نموده‌اند. مصرف توپولوژی در پهنای باند ثابت مورد نیاز است. نتایج تجربی مورد بحث، مقایسه الگوریتم‌های HorMAP، RTMAP و DACMAP با الگوریتم نگاشت تصادفی سنتی را نشان می‌دهد. در این مقاله، توپولوژی مش دوبعدی با مسیریابی XY برای شبیه‌سازی الگوریتم‌های پیشنهادی در نظر گرفته شده است.

[9] Reinforcement Learning-Based Framework
[10] Message Passing Neural Network-Pointer Network-Based Genetic Algorithm (MPN-GA)
[11] Computation- And Communication-Aware Scheduling And Mapping (CCASM)
[12] Horological Mapping (Hormap)
[13] Rotational Mapping (Rtmap)
[14] Divide And Conquer Mapping (DACMAP)

www.SID.ir

جدول (۱): مروری بر پژوهش‌های پیشین

ردیف	نویسنده	سال	روش
۱	Khan et al	۲۰۲۲	الگوریتمی کارآمد برای نگاشت برنامه‌های یادگیری عمیق در معماری شبکه روی تراشه
۲	Bhanu & Soumya	۲۰۲۱	نگاشت برنامه مقاوم در برابر خطا در شبکه روی تراشه مبتنی بر مش درخت
۳	Mazaheri Kalahroudi et al	۲۰۲۱	IAM: یک نگاشت بهبود یافته در یک شبکه دو بعدی روی تراشه برای کاهش هزینه ارتباطی و مصرف انرژی
۴	Salh & Sllame	۲۰۲۱	استفاده از الگوریتم ژنتیک برای حل مسئله پارتیشن‌بندی و نگاشت برای سیستم‌های شبکه مش روی تراشه
۵	Mohiz et al	۲۰۲۱	نگاشت برنامه با استفاده از بهینه‌سازی جستجوی فاخته با پرواز Lévy برای سیستم مبتنی بر شبکه روی تراشه
۶	Chen et al	۲۰۲۱	یک چارچوب مبتنی بر یادگیری تقویتی برای حل مشکل نگاشت IP
۷	Fan et al	۲۰۲۱	CCASM: یک الگوریتم برنامه‌ریزی و نگاشت آگاه از محاسبات و ارتباطات برای شتاب‌دهنده‌های DNN مبتنی بر شبکه روی تراشه
۸	Reddy & Kar	۲۰۲۱	روش‌های یادگیری ماشین برای پیش‌بینی عملکرد نگاشت هسته شبکه روی تراشه
۹	Kumar et al	۲۰۲۱	الگوریتم‌های نگاشت شبکه‌های روی تراشه برای بهینه‌سازی تأخیر و مصرف انرژی

روش پیشنهادی

تخصص و شهود مهندسین طراحی تراشه همراه با یک هدف طراحی منحصربه‌فرد، بر انتخاب الگوریتم مسیریابی در سیستم‌های مبتنی بر شبکه روی تراشه حاکم است (Gogoi et al, 2022). از طرف دیگر، شبکه روی تراشه مورد استفاده در تراشه هوش مصنوعی لازم است تا بتواند داده‌ها را به چندین نقطه پایانی مقصد به‌طور همزمان تحویل دهد. راه‌حل‌های موجود همگی اتصال بین مسیریاب‌ها را برای دستیابی به Multicasting تغییر می‌دهند. اگرچه این روش می‌تواند داده‌ها را به چندین نقطه پایانی مقصد تحویل دهد، اما تعداد مسیریاب‌ها مورد استفاده را به میزان قابل‌توجهی افزایش می‌دهد و در نتیجه مساحت اضافی و سربار مصرف انرژی را به همراه دارد (Zheng et al, 2022). الگوریتم مسیریابی مورد استفاده در طرح پیشنهادی، الگوریتم مسیریابی XY است و همبندی مورد استفاده در طرح پیشنهادی، توپولوژی همبندی مش دو بعدی (همبندی توری دوبعدی با اندازه ۱۶ گره) است که شبیه به یک ماتریس دوبعدی ۴*۴ می‌باشد.

روش نگاشت پیشنهادی مبتنی بر الگوریتم IWO است که در واقع یک الگوریتم هوش مصنوعی است. اساس همه الگوریتم‌های هوش مصنوعی این است که در ابتدا یک یا چند راه‌حل تصادفی ایجاد می‌کنند و سپس سعی می‌کنند آن‌ها را بهبود ببخشند تا به جواب بهینه دست یابند؛ بنابراین، در روش پیشنهادی، برای شروع باید تعدادی محلول تصادفی (بذر علف‌های هرز) نیز ایجاد کنیم. برای انجام این کار، ساده‌ترین راه این است که گره‌های نمودار وظیفه را به ترتیب کاملاً تصادفی بین هسته‌های شبکه روی تراشه توزیع شوند. در همه الگوریتم‌های هوش مصنوعی، یک یا چند راه‌حل تصادفی در ابتدا ایجاد می‌شود؛ بنابراین، در روش پیشنهادی، برای شروع باید تعدادی راه‌حل تصادفی نیز ایجاد کنیم؛ اما اکنون سؤال این است که چگونه می‌توان از الگوریتم IWO که ماهیت پیوسته دارد در نگاشت که یک مسئله گسسته است، استفاده کرد. در ابتدا اعداد تصادفی در محدوده مطلوب (در اینجا بین صفر و یک) ایجاد می‌شوند و سپس این اعداد با توجه به ترتیبشان به ۱، ۲، ۳، ... اختصاص داده می‌شوند. سپس اعداد تصادفی با استفاده از تابع SORT به ترتیب صعودی یا نزولی مرتب شده و ترتیب اعداد اختصاص داده شده به آن‌ها به دست می‌آید. مراحل اجرای الگوریتم بهینه‌سازی IWO می‌تواند به‌صورت زیر خلاصه شود:

www.SID.ir

- مرحله ۱: تعیین تابع هدف

هر الگوریتم هوش مصنوعی یک عملکرد عینی دارد و الگوریتم پیشنهادی نیز چنین است. تابع هدف برای محاسبه برازندگی هر راه‌حل استفاده می‌شود. از آنجایی که هدف الگوریتم پیشنهادی کاهش هزینه ارتباطی یک شبکه مش دوبعدی بر روی تراشه است، تابع هدف آن بر اساس این پارامتر طراحی شد. هزینه ارتباطی هر راه‌حل تصادفی ایجاد شده را محاسبه می‌کند. راه‌حلی که هزینه ارتباطی کمتری دارد برای تولید مثل مناسب‌تر خواهد بود و راه‌حلی که هزینه ارتباطی بالاتری داشته باشد کمتر برازش داده می‌شود. هزینه ارتباطی به‌صورت رابطه (۱) به دست می‌آید:

$$\text{commcost} = \sum_{k=1}^{|E|} \text{vl}(d^k)\,\text{dist}\left(\text{source}(d^k), \text{dest}(d^k)\right) \quad (۱)$$

در اینجا dist(a,b) نیز کمترین تعداد گام‌های بین گره‌های a و b است. این یک رویه هیوریستیک است که کمترین مسیرهای در شبکه روی تراشه را پیدا می‌کند. یافتن کوتاه‌ترین مسیرها نیز به‌عنوان یک برنامه خطی عددی[5]فرموله می‌شود اما زمان مصرف شده توسط ILP به ترتیب دقیقه است (رویه بالا در چند ثانیه انجام می‌شود و راه‌حل نیز به‌طور آزمایشی در بین ۱۰٪ راه‌حل از ILP است). روتین نگاشت با تک مسیر بهترین نگاشت به دست آمده با جفت یال‌ها را پیدا می‌کند که بهترین نگاشت نیز با روتین کوتاه‌ترین مسیر در زمان O(U 2) به دست می‌آید. پیچیدگی محاسباتی بدترین حالت کل الگوریتم نیز $O(|U|^3 E \log|F|)$ است.

6

- مرحله ۲: مقداردهی اولیه جمعیت انجام می‌شود و علف‌های هرز تولید شده به‌صورت تصادفی در کل فضای جستجو آغاز می‌شود. تعداد کل راه‌حل‌های اولیه (علف‌های هرز) جمعیت اولیه نامیده می‌شوند. شایستگی (مناسب بودن) هر راه‌حل، با استفاده از یک تابع هدف محاسبه می‌شود. فرض می‌گردد W، نشان‌دهنده علف هرز یا راه‌حل اولیه مسئله بهینه‌سازی است که به‌صورت رابطه (۲) نشان داده می‌شود:

$$W = (w_1, w_2, w_3, \ldots w_n), W \varepsilon S^D \quad (۲)$$

w_i در رابطه (۲)، نشان‌دهنده متغیر تصمیم‌گیری iام از راه‌حل اولیه W است و n، نشانگر تعداد متغیرهای تصمیم‌گیری است. این متغیرها، المان‌های اساسی رویکرد بهینه‌سازی روش پیشنهادی هستند. الگوریتم بهینه‌سازی در روش پیشنهادی به روش تکراری، کار می‌کند که در آن، مقادیر این متغیرها در هر تکرار، تغییر (اصلاح) می‌کنند تا یک مقدار بهینه برای تابع هدف حاصل شود. هدف این فرآیند بهینه‌سازی، انتخاب گره مناسب با بازده انرژی بالا است. سپس، مقادیر جمعیت اولیه می‌تواند به‌صورت ماتریس $P \times Q$ نشان داده شود (رابطه (۳)):

$$Pop_{IWO} = \begin{bmatrix} W_1 \\ W_2 \\ W_M \end{bmatrix} \begin{bmatrix} W_{1,1} & W_{1,2} & W_{1,n} \\ W_{2,1} & W_{2,2} & W_{2,n} \\ W_{n,1} & W_{n,2} & W_{n,n} \end{bmatrix} \quad (۳)$$

در رابطه (۳)، M، نشان‌دهنده اندازه جمعیت الگوریتم بهینه‌سازی علف هرز است (یعنی Pop_{IWO}) و W_1, W_2, W_M، راه‌حل‌های اولیه را نشان می‌دهند.

- مرحله ۳: ارزیابی تناسب اعضای کل جمعیت.
- مرحله ۴: اجازه دادن به هر عضو جمعیتی برای تولید تعدادی از دانه‌ها با بهتر شدن اعضای جمعیت، دانه‌های بیشتری تولید می‌کنند (به‌عنوان مثال، تولیدمثل).

[1] Integer Linear Program (Ilp)

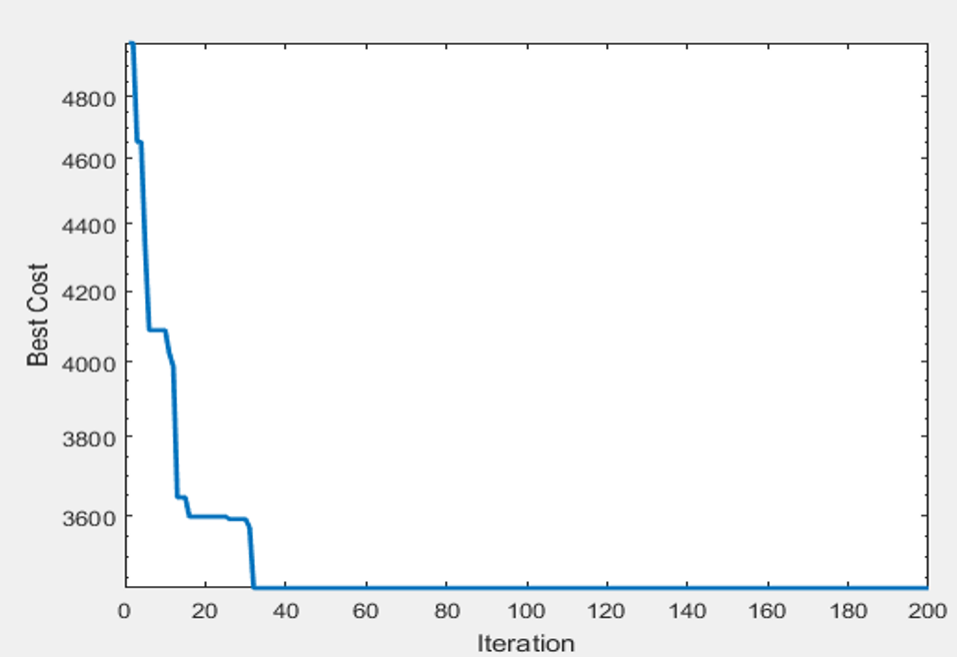
www.SID.ir

- مرحله ۵: دانه‌های تولید شده در فضای جستجو با اعداد تصادفی به‌طور عادی توزیع‌شده با میانگین برابر صفر، اما واریانس متفاوت (به‌عنوان مثال، پراکندگی فضایی) توزیع شده است.
- مرحله ۶: هنگامی که جمعیت علف‌های هرز بیش از حد بالا است، بی‌نظمی رقابتی انجام می‌شود.
- مرحله ۷: معیارهای خاتمه بررسی می‌شود که حداکثر تعداد تکرار است.

شبیه‌سازی

به‌منظور ارزیابی روش پیشنهادی، از گراف وظایف VOPD استفاده می‌شود. اندازه جمعیت اولیه برای الگوریتم بهینه‌سازی IWO، ۵۰۰ و حداکثر جمعیت، ۱۰۰۰ است. حداقل تعداد دانه‌ها، ۰ و حداکثر تعداد دانه‌ها، ۵ می‌باشد. ضریب شعاع تخم‌گذاری، ۰٫۵ است. بیشترین تعداد تکرار، ۱۰۰۰ و تعداد اجرای الگوریتم، ۱۰ است. واریانس، e^{-13} و دقت جواب، ۰٫۱ در نظر گرفته شده است. حد پایین، ۱ و حد بالا، ۱۶ است. ایندکس ضریب غیرخطی، ۲ می‌باشد.

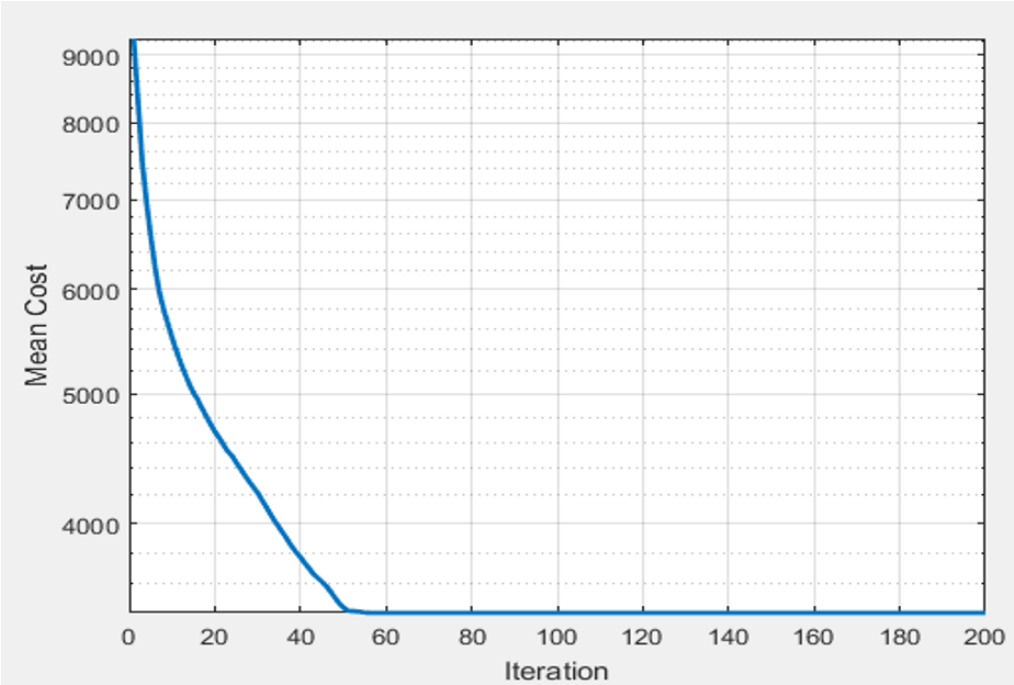
در نمودار (۱)، کمینه بهینه‌سازی برای الگوریتم بهینه‌سازی IWO روی گراف VOPD مشخص گردیده است. تعداد تکرار الگوریتم بهینه‌سازی IWO، ۲۰۰ تکرار بوده است. روش پیشنهادی در حالت کمینه بهینه‌سازی برای الگوریتم بهینه‌سازی IWO بعد از تکرار ۳۰، همگرا شده است.



نمودار (۱): کمینه بهینه‌سازی برای الگوریتم بهینه‌سازی IWO

در نمودار (۲)، میانگین بهینه‌سازی برای الگوریتم بهینه‌سازی IWO روی گراف VOPD مشخص شده است. روش پیشنهادی در حالت میانگین بهینه‌سازی برای الگوریتم بهینه‌سازی IWO بعد از تکرار ۵۰، همگرا شده است.

www.SID.ir



نمودار (۲): میانگین بهینه‌سازی برای الگوریتم بهینه‌سازی IWO

طبق نتایج مشخص شده در جدول (۲)، روش پیشنهادی روی گراف VOPD، هزینه ارتباطی کمتری نسبت به روش‌های نگاشت دیگر دارد زیرا هزینه ارتباطی روش CastNet، ۴۱۵۷ و هزینه ارتباطی روش LMAP، ۴۱۸۹ است. هزینه ارتباطی روش NMAP، ۴۲۶۵ و روش مبتنی بر IWO، ۳۴۲۶ است. هزینه ارتباطی روش IAM، ۴۰۱۴ و روش PSO، ۴۱۱۹ است. الگوریتم بهینه‌سازی IWO در بیشترین حالت توانسته است هزینه ارتباطی را به میزان ۸۳۹ نسبت به روش NMAP کمتر کند و کمترین حالت توانسته است هزینه ارتباطی را به میزان ۵۸۸ نسبت به روش IAM کمتر کند.

جدول (۲): مقایسه هزینه ارتباطی برای الگوریتم بهینه‌سازی IWO روی گراف VOPD با روش‌های دیگر

روش‌ها	هزینه ارتباطی روی گراف VOPD
روش CastNet	۴۱۵۷
روش LMAP	۴۱۸۹
روش NMAP	۴۲۶۵
روش IAM (Mazaheri Kalahroudi et al, 2021)	۴۰۱۴
روش PSO (Mazaheri Kalahroudi et al, 2021)	۴۱۱۹
روش مبتنی بر IWO	۳۴۲۶

نتیجه‌گیری

شبکه روی تراشه، به‌عنوان جایگزین بهتری برای ترکیب تعداد زیادی هسته روی یک سیستم روی تراشه در حال تکامل است. وابستگی به سیستم‌های چند هسته‌ای برای انجام محدودیت‌های عملکرد بالا برنامه‌های کاربردی تعبیه‌شده در حال افزایش است. این منجر به تحقق رویکردهای نگاشت کارآمد برای چنین برنامه‌های پیچیده‌ای می‌شود. از زمانی که برنامه‌های کاربردی

www.SID.ir

تعبیه‌شده پیچیده‌تر و عملکرد محور شده‌اند، اهمیت رویکردهای نگاشت کاربردی کارآمد افزایش یافته است. این مقاله تجزیه‌وتحلیل مقایسه‌ای رویکردهای نگاشت با روندهای فعلی در اجرای طراحی شبکه روی تراشه را ارائه داده است. هدف این رویکردها بهبود عملکرد کل سیستم با بهینه‌سازی هزینه ارتباط، انرژی، مصرف برق و تأخیر است. جدا از مرور رویکردهای پیشین، مقایسه هزینه ارتباطی سیستم شبکه روی تراشه مبتنی بر IWO با روش CastNet، روش LMAP، روش NMAP، روش IAM و روش PSO در برنامه‌های واقعی مانند VOPD انجام شده است. الگوریتم بهینه‌سازی IWO در بیشترین حالت توانسته است هزینه ارتباطی را به میزان ۸۳۹ نسبت به روش NMAP کمتر کند و کمترین حالت توانسته است هزینه ارتباطی را به میزان ۵۸۸ نسبت به روش IAM کمتر کند.

منابع

Khan, Z. A., Abbasi, U., & Kim, S. W. (2022). **An Efficient Algorithm for Mapping Deep Learning Applications on the NoC Architecture**. Applied Sciences, 12(6), 3163.

Bhanu, P. V., & Soumya, J. (2021). **Fault-tolerant application mapping on mesh-of-tree based network-on-chip**. Journal of Systems Architecture, 116, 102026.

Mazaheri Kalahroudi, P., Yaghoubi, E., & Barekatain, B. (2021). **IAM: an improved mapping on a 2-D network on chip to reduce communication cost and energy consumption**. Photonic Network Communications, 41(1), 78-92.

Salh, W. M., & Sllame, A. M. (2021). **Applying Genetic Algorithm to Solve Partitioning and Mapping Problem for Mesh Network-On-Chip Systems**. International Journal of Computer Science & Information Technology (IJCSIT) Vol, 13.

Mohiz, M. J., Baloch, N. K., Hussain, F., Saleem, S., Zikria, Y. B., & Yu, H. (2021). **Application Mapping Using Cuckoo Search Optimization With Lévy Flight for NoC-Based System**. IEEE Access, 9, 141778-141789.

Chen, Q., Huang, W., Peng, Y., & Huang, Y. (2021). **A reinforcement learning-based framework for solving the ip mapping problem**. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 29(9), 1638-1651.

Fan, X., Wang, X., Ye, Y., Leng, X., Xu, N., & He, G. (2021). **CCASM: A Computation-and Communication-Aware Scheduling and Mapping Algorithm for NoC-Based DNN Accelerators**. In 2021 IEEE 14th International Conference on ASIC (ASICON) (pp. 1-4). IEEE.

Reddy, B. N. K., & Kar, S. (2021, December). **Machine Learning Techniques for the Prediction of NoC Core Mapping Performance**. In 2021 IEEE 26th Pacific Rim International Symposium on Dependable Computing (PRDC) (pp. 1-4). IEEE.

Kumar, A., Sehgal, V. K., Dhiman, G., Vimal, S., Sharma, A., & Park, S. (2021). **Mobile networks-on-chip mapping algorithms for optimization of latency and energy consumption**. Mobile Networks and Applications, 1-15.

Kadri, N., & Koudil, M. (2019). **A survey on fault-tolerant application mapping techniques for network-on-chip**. Journal of Systems Architecture, 92, 39-52.

Momeni, M., & Shahhoseini, H. S. (2022). **Energy efficient 3D network-on-chip based on approximate communication**. Computer Networks, 203, 108652.

Zheng, Y., Yang, H., Shu, Y., Jia, Y., & Huang, Z. (2022). **mTREE: A customized multicast-enabled tree-based network on chip for AI chips**. IEEE Embedded Systems Letters.

Mehmood, F., Baloch, N. K., Hussain, F., Amin, W., Hossain, M. S., Zikria, Y. B., & Yu, H. (2022). **An efficient and cost effective application mapping for network-on-chip using Andean condor algorithm**. Journal of Network and Computer Applications, 103319.

Amin, W., Hussain, F., Anjum, S., Khan, S., Baloch, N. K., Nain, Z., & Kim, S. W. (2020). **Performance evaluation of application mapping approaches for network-on-chip designs**. IEEE Access, 8, 63607-63631.

Beechu, N. K. R., Harishchandra, V. M., & Balachandra, N. K. Y. (2018). **An energy-efficient fault-aware core mapping in mesh-based network on chip systems**. Journal of Network and Computer Applications, 105, 79-87.

www.SID.ir

Gogoi, A., Ghoshal, B., Sachan, A., Kumar, R., & Manna, K. (2022). **Application driven routing for mesh based Network-on-Chip architectures**. Integration.

Tosun, S. (2011). **New heuristic algorithms for energy aware application mapping and routing on mesh-based NoCs**. Journal of Systems Architecture, 57(1), 69-78.

Tosun, S. (2012). **Cluster-based application mapping method for Network-on-Chip**. Advances in Engineering Software, 42(10), 868-874.

www.SID.ir