پنجمین کنفرانس ملی فناوری‌های نوین در مهندسی برق و کامپیوتر
۳۰ شهریور ماه ۱۴۰۱ - اصفهان
پایگاه استنادی علوم جهان اسلام
۰۱۲۲۰-۹۰۱۳۵

محاسبه‌ی تحلیلی ولتاژ آستانه‌ی افزاره‌ی سیلیکون بر روی الماس به وسیله مدل خازنی

افشین دادخواه، کارشناسی ارشد مدارات مجتمع، afshin.dadkhah17@gmail[1]

آرش دقیقی، دانشیار، دانشکده فنی، daghighi-a@sku.ac.ir[2]

چکیده

در این مقاله به کمک مدل مداری خازنی، رابطه‌ی ولتاژ آستانه را برای یک افزاره‌ی سیلیکون بر روی الماس محاسبه می‌نماییم. برای مدل خازنی این ادوات با در نظر گرفتن این نکته که در این ساختار در مقایسه با افزاره‌های سیلیکون بر روی عایق، الماس جانشین دی اکسید سیلیکون دفن شده گردیده است، می‌توان از مدل خازنی ادوات سیلیکون بر روی عایق (با در نظر گرفتن مشخصات الماس به جای دی اکسید سیلیکون دفن شده) استفاده نمود. در این راستا در ابتدا به بررسی تمامی خازن‌های موجود در مدل مداری در نظر گرفته شده‌ی این افزاره پرداخته و با ارائه روابط تحلیلی، راه را برای محاسبه‌ی این خازن‌ها هموار می‌نماییم. همچنین با به کار بردن روش تحلیلی گره در دو نقطه‌ی موجود در این مدل مداری با پتانسیل سطوح Ψ_{s1} و Ψ_{s2} ، رابطه مورد نظر محاسبه می‌گردد. هدف از این محاسبات علاوه بر استخراج رابطه‌ی ولتاژ آستانه از مدل خازنی این ادوات، ایجاد یک رابطه، با دقت عمل مناسب جهت پیش‌بینی عملکرد این افزاره‌ها در شرایط آستانه می‌باشد. به همین جهت نتایج بدست آمده از این روابط تحلیلی را در ابعاد مختلف ترانزیستور با مقادیر حاصل از شبیه‌سازی افزاره مقایسه نمودیم که حاصل آن یک تطبیق مطلوب بین این نتایج می‌باشد. همچنین در نتایج حاصل شده می‌توان تاثیر تغییرات ابعاد قسمت‌های مهم افزاره‌ی سیلیکون بر روی الماس همچون ضخامت لایه اکسید گیت، ضخامت لایه سیلیکونی زیر گیت، ضخامت لایه الماس دفن شده را بر روی ولتاژ آستانه مشاهده نمود.

واژه‌های کلیدی: ولتاژ آستانه، سیلیکون بر روی الماس، سیلیکون بر روی عایق، ماسفت، مدل خازنی

[1] دانشگاه شهرکرد
[2] دانشگاه شهرکرد

www.SID.ir

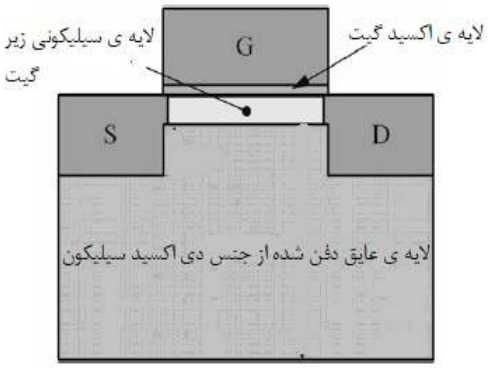
۱- مقدمه

در دنیای مدرن امروز ترانزیستورها به یکی از مهمترین اجزای کاربردی الکترونیک تبدیل شده اند و تصور دنیایی بدون حضور آن‌ها، اتفاقی دور از ذهن می باشد. این ادوات که بازیگران اصلی در طراحی مدارات مجتمع الکترونیک می‌باشند در ابتدا تنها با عنصر ژرمانیوم ساخته می‌شدند اما امروزه از عناصر دیگر نیمه هادی همچون سیلیکون نیز استفاده می‌گردد[۱].

یک هدف بسیار مهم در طراحی مدارات مجتمع، کاهش مصرف توان و افزایش سرعت مدار و عملکرد مناسب آن می باشد و به همین جهت عمل کوچک‌سازی ابعاد ترانزیستورها از سال ۱۹۴۷به صورت پیوسته انجام می‌پذیرد[۲]. در این راستا، کوچک‌سازی افزاره‌های مرسوم به دلیل پیدایش موانعی همچون آثار کانال کوتاه به محدودیت خود رسیده. از مهمترین مشکلات آثار کانال کوتاه می‌توان به افزایش شیب زیر حالت آستانه، افزایش جریان تونل‌زنی گیت، افزایش جریان نشتی حالت خاموش اشاره نمود[۳]. از این رو نیاز به یک ساختار جانشین همواره در حال افزایش بوده و به موجب آن استفاده از افزاره‌های سیلیکون بر روی عایق در مدارات مجتمع نسبت به گذشته افزایش چشمگیری پیدا کرده است به نحوی که از این ساختار امروزه به عنوان تکنولوژی اصلی یاد می‌شود[۵, ۴].

تفاوت عمده‌ی تکنولوژی بالک در مقایسه با افزاره‌های مذکور وجود یک لایه عایق دفن شده از جنس دی اکسید سیلیکون در بدنه‌ی آن‌ها می‌باشد که به آن لایه اکسید دفن شده گویند[۶] (شکل ۱). این لایه عایق دفن شده منجر به ویژگی‌های منحصر به فرد در این ادوات می‌گردد که می‌توان به کوچک بودن ظرفیت خازن‌های سورس و درین [۷]، کاهش جریان نشتی [۸]، مقاومت بیشتر در برابر تابش‌های رادیواکتیو و کاهش اثرات کانال کوتاه[۶] اشاره نمود. با این وجود ساختار این ادوات بی‌نقص نمی‌باشد و از آن جا که دی اکسید سیلیکون یک عایق حرارتی مطلوب بوده، شدیداً از انتقال گرما از قسمت فعال افزاره به گرمابر[3] جلوگیری کرده و موجب افزایش دمای افزاره و کاهش سرعت حامل‌ها، به دلیل تشدید برخورد با اتم‌های سیلیکون موجود در ناحیه کانال می‌شود که کاهش جریان افزاره را در پی دارد[۱۰, ۹].

یکی از راه‌حل‌های مهندسین تکنولوژی ساخت ادوات نیمه هادی برای مقابله با اثر خودگرمایی این افزاره‌ها، استفاده از الماس با ضریب گذردهی گرمایی 2000w/k-m به جای دی اکسید سیلیکون 1.4w/k-m می‌باشد. به وسیله ی جانشینی این عناصر با یکدیگر، افزاره‌ی جدیدی به نام سیلیکون روی الماس پدید آمد[۱۱]. در این ادوات انتقال گرما به دو صورت عمودی به زیر لایه و افقی به اتصالات داخلی انجام می‌پذیرد [۱۳, ۱۲]. به همین دلیل می‌توان از این ادوات به عنوان یک راه حل مناسب برای از بین بردن اثر خودگرمایی افزاره‌های سیلیکون روی عایق نام برد [۱۱]. این قابلیت به این ادوات اجازه می‌دهد تا در سطح بالاتری از توان نسبت به افزاره‌های سیلیکون روی عایق عمل کنند چرا که اندازه‌گیری های تجربی نشان می‌دهد که ساختار جدید قابلیت کار با ۱۰ برابر توان بیشتر نسبت به ادوات سیلیکون روی عایق را دارد [۱۴].



شکل۱- ساختار افزاره ی سیلیکون بر روی عایق[۵]

۲- مدل سازی افزاره سیلیکون بر روی الماس

۲-۱-مدار معادل خازنی

در ابتدا با توجه به هدف این نوشتار مبنی بر ایجاد یک رابطه‌ی تحلیلی برای ولتاژ آستانه‌ی افزاره‌ی سیلیکون بر روی الماس، یک مدل خازنی ساده برای افزاره مذکور توصیف می نماییم. این مدل علاوه بر کمک به محاسبه ی ولتاژ آستانه، موجب درک عمیق‌تر ویژگی‌های خازن‌های موجود در این ساختار می‌گردد[۱۵].

[3]. Heat sink

www.SID.ir

نظر به آنکه تفاوت بین دو تکنولوژی سیلیکون بر روی الماس و سیلیکون بر روی عایق، جانشینی الماس به جای دی اکسید سیلیکون می‌باشد، می‌توان از مدل خازنی ارائه شده در مرجع [۱۶] برای ساخت مدل خازنی مورد نظر بهره جست و آن را در قالب شکل (۲) بیان نمود. در مدل ارائه شده به جهت پرهیز از پیچیدگی در محاسبات تنها ۵ خازن ذاتی افزاره مدنظر قرار گرفته شده و از بار وارانگی برای ولتاژهای گیت کمتر یا برابر ولتاژ آستانه صرف نظر شده است[۵].

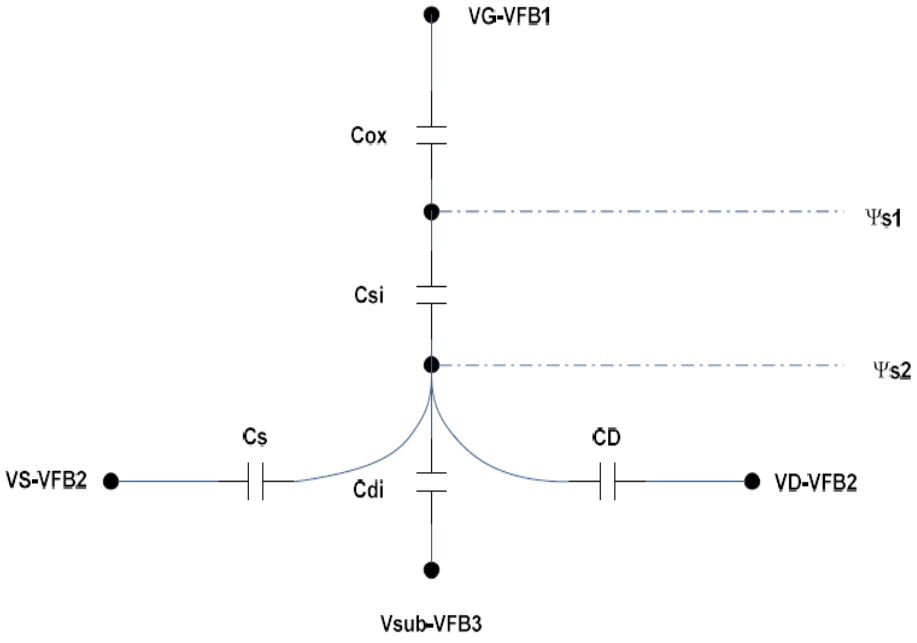
در این مدل خازن گیت به وسیله‌ی خازن اکسید گیت به کانال متصل می‌شود و مطابق رابطه ی (۱) ظرفیت آن محاسبه می‌گردد[۱۶].

$$C_{ox} = \frac{K_{ox} L_{eff}}{t_{ox}} \qquad (۱)$$

که درآن K_{ox} ثابت دی الکتریک اکسید گیت ، L_{eff} طول موثر کانال و t_{ox} ضخامت لایه اکسید گیت است. همچنین در این مدل ناحیه کانال سیلیکونی با رابطه‌ی (۲) توصیف می‌شود[۱۶].

$$C_{si} = \frac{K_{si} L_{eff}}{t_{si}} \qquad (۲)$$

که درآن K_{si} ثابت دی الکتریک سیلیکون و t_{si} ضخامت لایه سیلیکون زیرگیت است.



شکل۲- مدار خازنی افزاره سیلیکون بر روی الماس

در غیاب بالک در افزاره‌ی مذکور، میدان الکتریکی در ناحیه‌ی عایق مدفون بین کانال پشتی و ناحیه‌ی سورس و درین فرض می‌شود. برای ولتاژهای پایین در درین- سورس، توزیع پتانسیل در عایق مدفون به صورت عمودی در اطراف مرکز کانال متقارن است، بنابراین سورس و درین هر دو دارای اثر یکسانی در منطقه‌ی عایق دفن شده می‌باشند و به همین علت این اجازه را به ما می‌دهد تا عایق مدفون را به صورت دو خازن با ظرفیت یکسان در نظر گرفته و از روابط (۳) و (۴) محاسبه نماییم[۵].

$$C_D = C_S = \frac{K_{di}}{\frac{\pi}{2}} . L_n \left(1 + \frac{L_{eff}}{2 d_{di}}\right) \quad \text{for} \frac{L_{eff}}{2} < t_{di} \qquad (۳)$$

$$C_D = C_S = \frac{K_{di}}{\frac{\pi}{2}} . L_n \left(1 + \frac{t_{di}}{2 d_{di}}\right) \quad \text{for} \frac{L_{eff}}{2} < t_{di} \qquad (۴)$$

که درآن K_{di} ثابت دی الکتریک الماس و t_{di} ضخامت لایه الماس دفن شده و d_{di} طول لایه الماس دفن شده است. همچنین خازن گذرنده از عایق الماس به وسیله ی رابطه‌ی (۵) تعریف می گردد.

$$C_{di} = \frac{K_{di} L_{eff}}{t_{di}} \qquad (۵)$$

www.SID.ir

همچنین ولتاژ باند مسطح گیت جلویی به کمک رابطه‌ی (۶) تعیین می‌شود[۱۶].

$$V_{FB1} = \Phi_M - \Phi_{si} \quad (۶)$$

که در آن Φ_M تابع کار گیت و Φ_{si} تابع کار سیلیکون می‌باشد. همچنین باند های مسطح (۲) و (۳) نیز به کمک روابط (۷) و (۸) توصیف می‌گردد[۵, ۱۶].

$$V_{FB2} = \frac{KT}{q}.\mathrm{Ln}(N_{S-D}.\frac{N_A}{{n_i}^2}) \quad (۷)$$

$$V_{FB3} = \frac{KT}{q}.\mathrm{Ln}(\frac{N_{Asub}}{N_A}) \quad (۸)$$

که N_A غلظت سیلیکون بدنه، n_i غلظت ذاتی سیلیکون، k ثابت بولتسمان، T صفر مطلق بر حسب کلوین و q بار الکترون می‌باشد.

۲-۲- معادله‌ی ولتاژ آستانه

با به کارگیری قانون اهم در دو گره Ψ_{s1}و Ψ_{s2} در شکل (۲)، روابط (۹) و (۱۰) تعیین می‌گردد[۵ ,۱۶] .

$$\Psi s1(C_{ox} + C_{si}) - \Psi s2.C_{si} = (V_G - V_{FB1})C_{ox} \quad (۹)$$

$$\Psi s1.C_{si} + \Psi s2.(C_{si} + C_D + C_S + C_{di}) = (V_S - V_{FB2})C_S + (V_D - V_{FB2})C_D + (V_{sub} - V_{FB3})C_{di} \quad (۱۰)$$

همچنین به دلیل آن که الکترود سورس را زمین فرض کرده‌ایم می‌توان از رابطه‌ی (۱۱) جهت ساده‌سازی روابط استفاده نمود.

$$V_D + V_S = V_D - V_S = V_D = V_{DS} \quad (۱۱)$$

و با استفاده از روابط (۱۰)، (۱۱) و (۱۲) می‌توان معادله‌ی ولتاژ گیت را محاسبه نمود (رابطه‌ی ۱۳).

$$V_G = \frac{\Psi_{s1}(C_{OX}+C_{si})}{C_{ox}} - \frac{(C_S(V_{DS}-2V_{FB2})+C_{di}(V_{sub}-V_{FB3})-\Psi_{s1}.C_{si})C_{si}}{C_{ox}} + V_{FB1} \quad (۱۲)$$

با به کارگیری شرط وارانگی قوی ($\Psi_{s1}=2\Psi_b$) در رابطه‌ی ۱۳ می‌توان ولتاژ آستانه را برای افزاره‌ی سیلیکون بر روی الماس دو لایه محاسبه نمود[۵ ,۱۶].

$$V_{th} = \frac{2\Psi_b(C_{OX}+C_{si})}{C_{ox}} - \frac{(C_S(V_{DS}-2V_{FB2})+C_{di}(V_{sub}-V_{FB3})-2\Psi_b.C_{si})C_{si}}{C_{ox}} + V_{FB1} \quad (۱۳)$$

که در آن $2\Psi_b$ به کمک رابطه‌ی ۱۴ محاسبه می‌گردد[۵ ,۱۶].

$$2\Psi_b = 2\frac{KT}{q}\mathrm{Ln}(\frac{N_A}{n_i}) \quad (۱۴)$$

۳- محاسبات و شبیه‌سازی

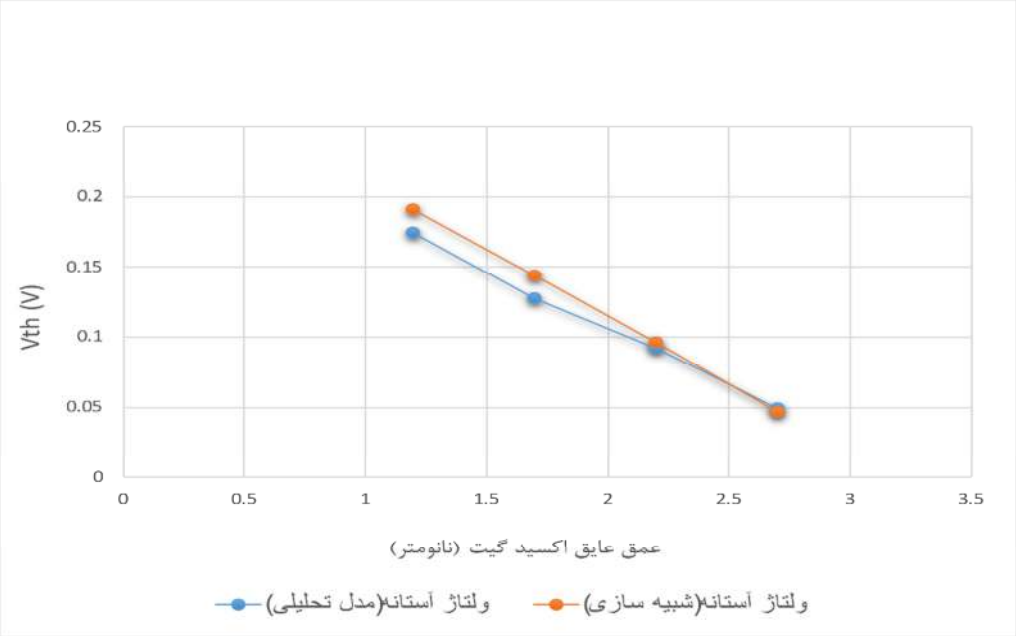
در این بخش به منظور تست دقت محاسبات مدل استخراجی، نتایج بدست آمده از این محاسبات را با مقادیر شبیه‌سازی به کمک نرم‌افزار ISETCAD برای یک افزاره سیلیکون بر روی الماس با طول کانال ۲۲ نانومتر مقایسه می‌نماییم.

در شکل (۳) نتایج حاصل از مدل‌سازی و شبیه‌سازی ولتاژ آستانه نسبت به عمق اکسید گیت نشان داده شده است. گستره‌ی عمق عایق اکسید از ۱,۲ نانومتر تا ۳,۹ نانومتر تغییر می‌کند.

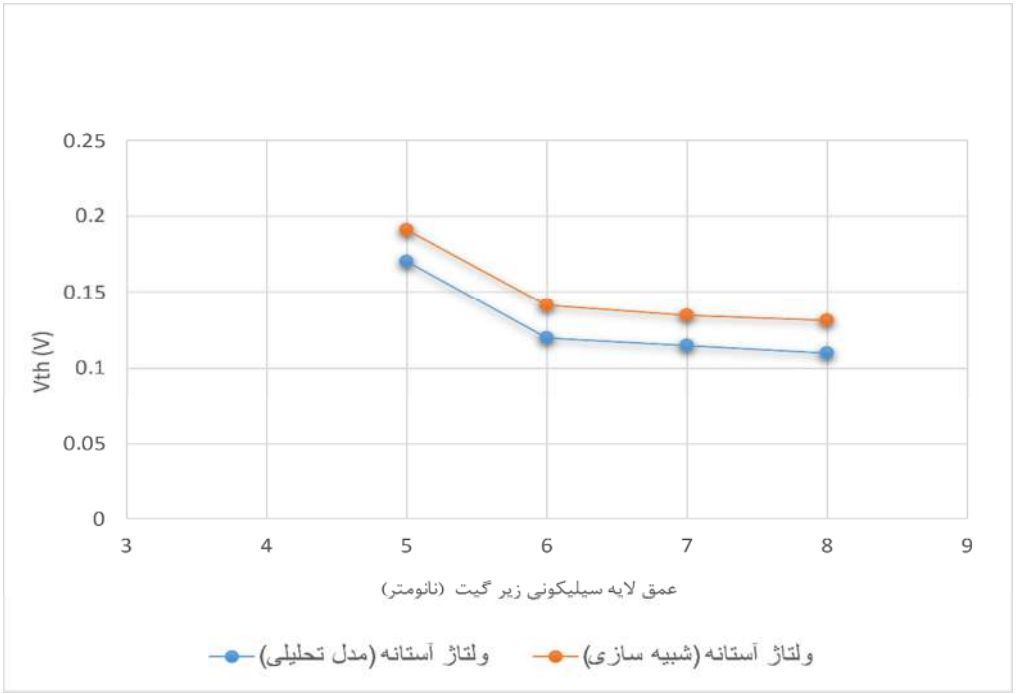
www.SID.ir

با افزایش عمق اکسید گیت، مقدار ولتاژ آستانه در هر دو نمودار شبیه‌سازی و مدل کاهش می‌یابد. در این تصویر می‌توان دریافت که در نواحی عمق اکسید گیت ۱,۲ تا ۲,۷ نانومتر، مدل استخراج شده با تقریب ۰,۰۱۶ تا ۰,۰۰۳ ولت نتایج شبیه‌سازی را دنبال می‌کند.

در شکل (۴) نمودار شبیه‌سازی و مدل ولتاژ آستانه نسبت به تغییرات عمق لایه سیلیکون زیر گیت در بازه‌ی ۵ تا ۸ نانومتر به تصویر کشیده شده است. با دقت در این نمودار استنباط می‌گردد که در مدل استخراج شده، ولتاژ آستانه گیت جلویی با تقریب نسبتا ثابتی (حدود ۰,۰۲۲ نانومتر) نتایج شبیه‌سازی را دنبال می‌کند.



شکل۳- نمودار تغییرات ولتاژ آستانه نسبت به عمق لایه اکسید گیت

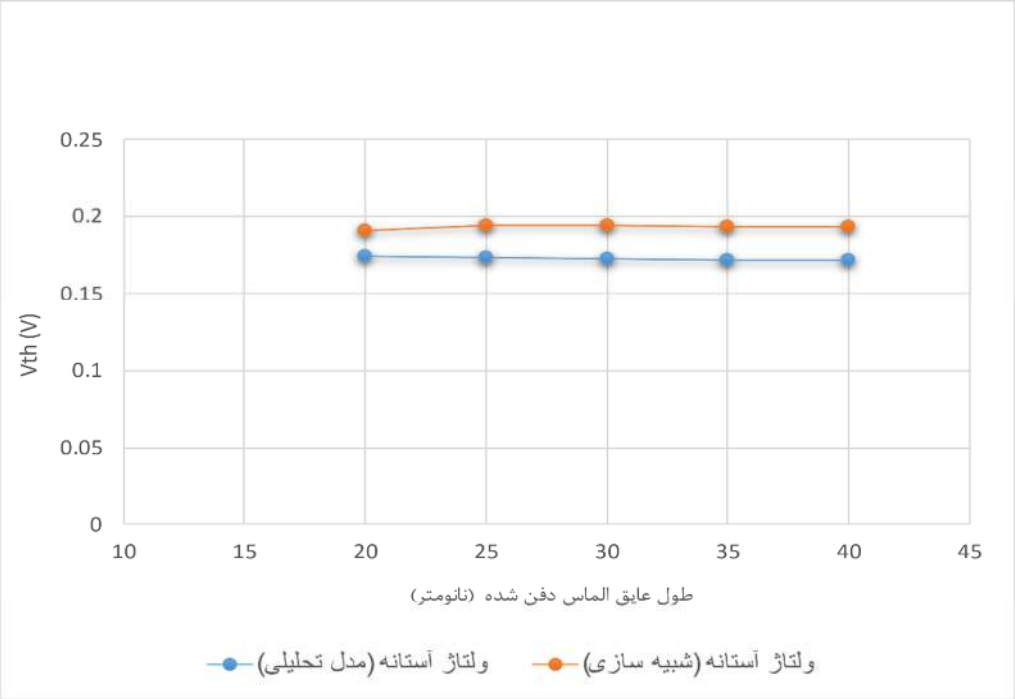


شکل ۴- تغییرات ولتاژ آستانه نسبت به عمق لایه سیلیکونی زیر گیت

در شکل ۵ نمودار مقایسه‌ی ولتاژ آستانه افزاره‌ی سیلیکون روی الماس به دو روش استخراج از مدل مداری و شبیه‌سازی نسبت به افزایش عمق لایه الماس دفن شده در بازه‌ی ۲۰ تا ۴۰ نانومتر نمایش داده شده است. در این بازه می‌توان به این نکته دست یافت که روند تغییرات مدل

www.SID.ir

استخراجی ولتاژ آستانه به طور تقریبی ثابت می‌باشد اما در شبیه‌سازی این مقدار ۰,۰۰۳ ولت تا عمق ۴۰ نانومتر کاهش می‌یابد. پس در نتیجه اختلاف این دو نمودار در بازه عمق ۲۰ تا ۴۰ نانومتر نسبتا ثابت و برابر ۰,۰۰۲۱ ولت می‌باشد.



شکل۵- تغییرات ولتاژ آستانه نسبت به عمق لایه الماس دفن شده

۴- نتیجه

در این مقاله تلاش شد تا به کمک استخراج یک مدل مداری برای افزاره سیلیکون بر روی الماس، یک معادله‌ی تحلیلی جهت ولتاژ آستانه این افزاره محاسبه نمود.

برای مقایسه عملکرد این مدل، ولتاژ آستانه محاسبه شده به کمک مدل خازنی را با نتایج شبیه‌سازی در ابعاد گوناگون افزاره بررسی کردیم که نتایج اختلاف این دو نمودار نزدیکی نتایج شبیه‌سازی با مدل استخراجی را تأیید می‌نماید . این مقایسه شامل عمق لایه اکسید گیت از ۱,۲ نانومتر تا ۳,۹ نانومتر، عمق لایه سیلیکونی زیرگیت از ۵ تا ۸ نانومتر و عمق لایه الماس دفن شده از ۲۰ تا ۴۰ نانومتر می‌باشد.

مراجع

[1] C. Hu, Modern semiconductor devices for integrated circuits / Chenming Calvin Hu. Upper Saddle River, N.J: Prentice Hall, 2010.
[2] N. Sugii, "Low-power-consumption fully depleted silicon-on-insulator technology," Microelectronic Engineering, vol. 132, pp. 226-235, 2015.
[3] J. Saijets, MOSFET RF characterization using bulk and SOI CMOS technologies. VTT Technical Research Centre of Finland, 2007.
[4] M. Tech, "Study of Floating Body Effect in SOI Technology," International journal of Modern Engineering Research (IJMER), vol. 3, pp. 1817-1824, June 2013.
[5] B. Sviličić, V. Jovanović, and T. Suligoj, "Vertical silicon-on-nothing FET: Threshold voltage calculation using compact capacitance model," Solid-State Electronics, vol. 52, no. 10, pp. 1505-1511, 2008/10/01/ 2008, doi: https://doi.org/10.1016/j.sse.2008.06.013.
[6] J.-P. Colinge, Silicon-on-insulator technology: materials to VLSI: materials to Vlsi. Springer Science & Business Media, 2004.
[7] S. C. L. James B. Kuo, Low- Voltage SOI CMOS VLSI Devices and Circuits. John Wiley & Sons, 2002.
[8] M. Narayanan, H. Al-Nashash, B. Mazhari, D. Pal, and M. Chandra, "Analysis of Kink Reduction in SOI MOSFET Using Selective Back Oxide Structure," Active and Passive Electronic Components, vol. 2012, p. 565827, 2012/07/24 2012, doi: 10.1155/2012/565827.

www.SID.ir

[9] N. Rangarajan, J. Knechtel, N. Limaye, O. Sinanoglu, and H. Amrouch, "A Novel Attack Mode on Advanced Technology Nodes Exploiting Transistor Self-Heating," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2022.

[10] H. Wang et al., "Characteristics of 22 nm UTBB-FDSOI technology with an ultra-wide temperature range," Semiconductor Science and Technology, 2022.

[11] N. Laderian and A. Daghighi, "Investigation and Comparison of the DIBL Parameter and Thermal Effects of SOD Transistors and SOI Transistors and Improving Them with the Change of Their BOX Thicknesses," Journal of Electronics Cooling and Thermal Control, vol. 8, no. 02, p. 19, 2018.

[12] N. Bresson, S. Cristoloveanu, C. Mazuré, F. Letertre, and H. Iwai, "Integration of buried insulators with high thermal conductivity in SOI MOSFETs: Thermal properties and short channel effects," Solid-State Electronics, vol. 49, no. 9, pp. 1522-1528, 2005.

[13] A. Daghighi, "A novel structure to improve DIBL in fully-depleted silicon-on-diamond substrate," Diamond and Related Materials, vol. 40, pp. 51-55, 2013/11/01/ 2013, doi: https://doi.org/10.1016/j.diamond.2013.10.010.

[14] A. Aleksov, J. Gobien, X. Li, J. Prater, and Z. Sitar, "Silicon-on-Diamond—An engineered substrate for electronic applications," Diamond and related materials, vol. 15, no. 2-3, pp. 248-253, 2006.

[15] S. V. Inge, A. Jain, A. Rawat, and U. Ganguly, "Analytical Model based Estimation of Line Edge Roughness Induced VT Variability in Nanowire FETs," Solid-State Electronics, p. 108422, 2022.

[16] B. Sviličić, V. Jovanović, and T. Suligoj, "Analysis of subthreshold conduction in short-channel recessed source/drain UTB SOI MOSFETs," Solid-state electronics, vol. 54, no. 5, pp. 545-551, 2010.

www.SID.ir