بسم الله الرحمن الرحیم

"بهبود رسانای حرارتی و تمرکز منافذ در ترانزیستورهای اثر میدان گالیم آرسینیک روی عایق"

محمد رسول جهانگیری

samanrad344@yahoo.com

چکیده :

این مقاله یک طرح جدیدی در ساختار ترانزیستور های اثر میدان (SOI MOSFET)، می باشد. این ساختار با عنوان راه کاری مناسب باعث افزایش جریان درین، کاهش اثرات مخرب خود گرمایی (Self Heating Effect) و بهبود اثر بدنه شناور می شود. ایده اصلی در این ساختار نوین، استفاده از ماده AlSb[۱] (آلومینیوم آنتیموان) می باشد، که دارای هدایت گرمایی بیشتری نسبت به دی اکسید سیلیسیم (SiO_2) است. نتایج بدست آمده نشان می دهند که این ساختار نوین باعث می شود که حرارت بیشتری به لایه های زیرین انتقال یابد و سبب کاهش میزان دما و افزایش جریان درین در ترانزیستور می شود. همچنین تمرکز منافذ در کانال و زیر منبع در ساختار نوین نسبت به ساختار متداول کمتر می باشد که باعث بهبود اثر بدنه شناور می شود. به کمک شبیه سازی سیلواکو، عملکرد این ساختار مرود تجزیه و تحلیل قرار گرفته است.

کلمات کلیدی : ترانزیستور اثر میدان، گالیم آرسینیک، آلمینیوم آنتیموان

مقدمه:

با توجه به مجتمع سازی ادوات سیلیسیمی در مقیاس بزرگ مشکلات قابل ملاحظه ای از جمله کمتر شدن سرعت سوئیچینگ و بالا رفتن توان مصرفی در مدارات کاربردی پدیدار شده است. به همین دلیل فناوری سیلیسیم روی عایق SOI[۲] جایگزین فناوری بدنه سیلیسیم شده است[۱]. در این فناوری به دلیل وجود یک لایه عایق ، موجب بهبود بسیاری از مشخصات ترانزیستورها در مدارات کاربردی می گردد. برتری های این فناوری از قبیل افزایش سرعت و چگالی و افزایش مقاومت در برابر به وجود آمدن ترانزیستورهای پارازیتی و ایجاد جریان نشتی و کاهش ولتاژ منبع تغذیه و کاهش خازن های پیوندی و ... نشان داده شده است[۳-۲]. تکنولوژی SOI یکی از مناسب ترین تکنولوژی های پیشنهاد شده برای جایگزینی با تکنولوژی بدنه سیلیسیم است[۴]. با این همه ترانزیستور های اثر میدان دارای پوشش سیلیسیم بر عایق، دارای ضعف هایی ازقبیل: اثر خود گرمایی، اثر بدنه شناور و ولتاژ شکست پایین، می باشند[۶-۵]، که کارکرد ابزار مورد نظر را در جریان و توان های بالا محدود می کند. به خاطر رسانایی حرارتی ضعیف دی اکسید سیلیسیم، استفاده از

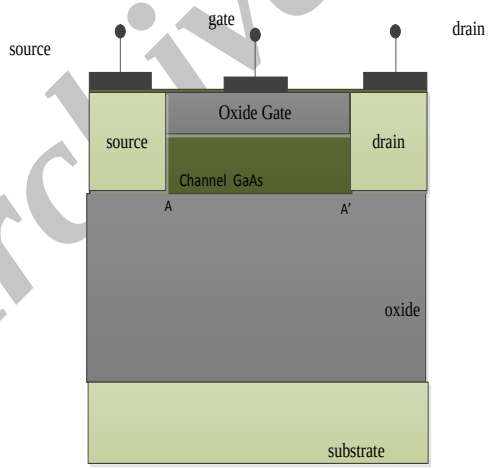
Archive of SID

www.SID.ir

لایه پوشش دی اکسید سیلیسیم منجر به امپدانس پوششی بزرگتر و در نتیجه منجر به ابقای درجه حرارت بیشتر می شود. این ویژگی باعث کاهش انتقال گرما به لایه زیرین ترانزیستور و بالا رفتن درجه حرارت در ادوات و به وجود آمدن پدیده خودگرمایی می شود. انتظار می رود که ادوات با بدنه فوق العاده نازک که یکی از نویدبخش ترین حالت ها برای کاهش حرارت در ترانزیستور SOI می باشد[۸-۷]. در ترانزیستور SOI استفاده از یک لایه که هدایت رسانایی بالاتری نسبت به اکسید دارد باعث بهبود اثر خودگرمایی می شود . این لایه را بین دو لایه ی نازک SIO_2 (دی اکسید سیلیسیم) قرار می دهیم تا مقاومت حرارتی دستگاه را کاهش بدهیم [۱۰-۹]. چندین تلاش برای کاهش افزایش دمای ناشی از این اثر خودگرمایش صورت گرفته است، مثلا جایگزینی دی اکسید مدفون شده توسط دیگر عایق که دارای هدایت گرمایی بالاتری است و... [۱۲-۱۱]. در این پژوهش ساختار پیشنهادی AS SOI MOSFET را با ساختار متداول ترانزیستور SOI MOSFET با هدف کاهش در ضخامت دی اکسید سیلیسیم مقایسه کرده ایم که باعث بهبود اثر خود گرمایی و بهبود اثر بدنه شناور شده است. قطعه ترانزیستوری، از نرم افزار Atlas متعلق به شرکت سیلواکو استخراج و بررسی شده است[۱۳].

ساختار ترانزیستور AS SOI MOSFET

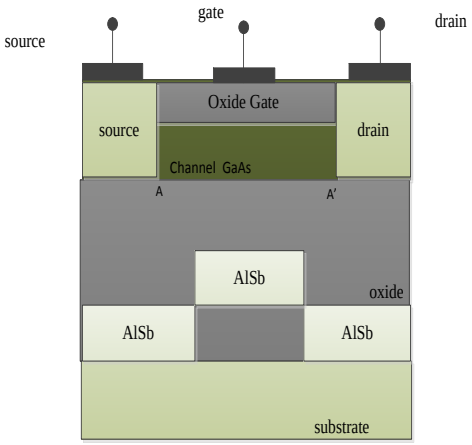
در ساختار AS SOI MOSFET از چند قسمت (لایه) AlSb (آلومینیوم آنتیموان) در درون اکسید مدفون شده (SiO_2) استفاده کرده ایم. هدف در این ساختار کاهش ضخامت اکسید مدفون شده(دارای رسانایی حرارتی کم) و افزایش چند طبقه ای آلومینیوم آنتیموان(دارای رسانایی حرارتی بیشتر) می باشد. شکل های ۱ و ۲ به ترتیب ساختار های ترانزیستورهای SOI MOSFET متداول و AS SOI MOSFET نشان می دهند.



شکل۱- ساختار ترانزیستور متداول SOI

Archive of SID

www.SID.ir



شکل۲- ساختار ترانزیستور AS SOI MOSFET

در ساختار AS SOI MOSFET علاوه بر این که در کانال آن از کربن اضافه شده است، از چند لایه آلومینیوم آنتیموان در قسمت اکسید مدفون شده استفاده شده است. در شکل ۲ مشخص شده است اکسید مدفون شده در قسمت زیر لایه کانال (SiO_2) به ۳ قسمت ($SiO_2/AlSb/SiO_2$) تقسیم شده است. ساختار پیشنهادی، هدایت گرمایی کل ترانزیستور را افزایش و تاثیرات مخرب پدیده خود گرمایی کاهش می یابد. مشخصات و پارامترهای به کار برده شده برای شبیه سازی ساختار نوین در جدول ۱ نشان داده شده است.

پارامتر	مشخصات SOI MOSFET	مشخصات AS SOI MOSFET
طول گیت	۵۰ nm	۵۰ nm
نا خالصی سورس و درین	$۱ \times e^{19}$	$۱ \times e^{19}$
طول لایه نازک آلومینیوم آنتیموان	۹۰ nm	۹۰ nm
ضخامت ناحیه اکسید مدفون شده	۳۰ nm	۲۰ nm
ضخامت ناحیه گالیم آرسینیک	۵ nm	۵ nm
ضخامت substrate	۱۰ nm	۱۰ nm
ضخامت گیت	۲ nm	۲ nm
ضخامت درین و سورس	۱۰ nm	۱۰ nm
طول درین و سورس	۳۰ nm	۳۰ nm
طول هر ناحیه آلومینیوم آنتیموان	_	۵۰ nm
ضخامت ناحیه آلومینیوم آنتیموان	_	۱۰ nm

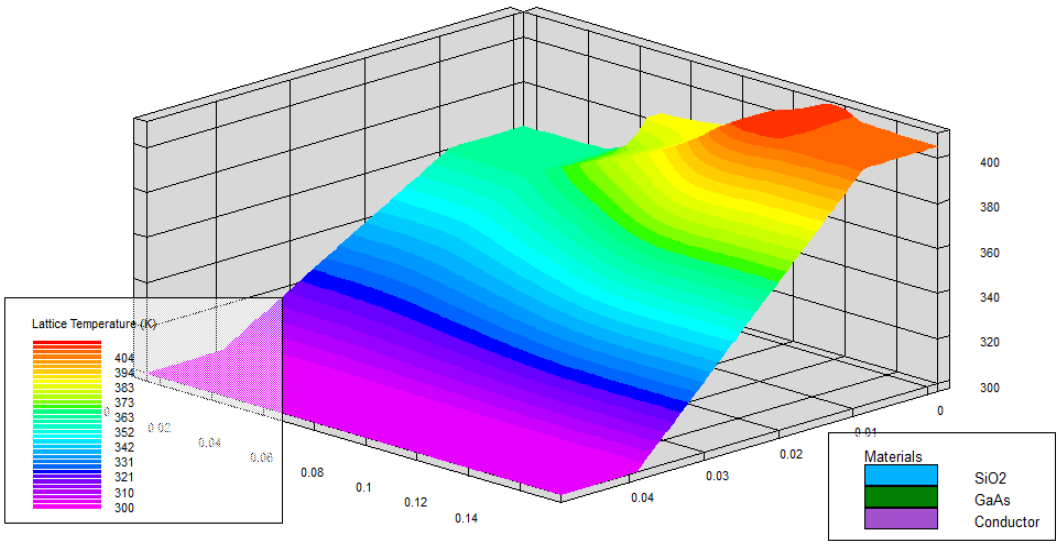
جدول ۱ – پارامترهای ساختار متداول و نوین

Archive of SID

www.SID.ir

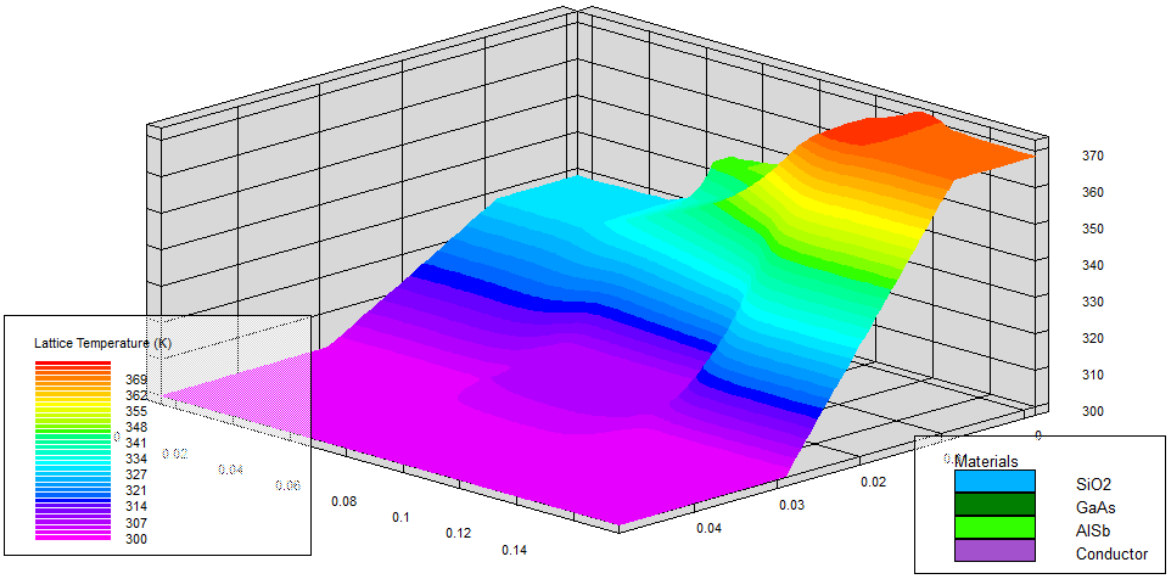
نتایج و بحث :

شکل های ۳ و ۴ و توزیع سه بعدی دما را به ترتیب در ترانزیستور SOI MOSFET متداول و ترانزیستور AS SOI MOSFET را نشان می دهد. مقدار ولتاژ گیت برابر با V_G=۱.۲ V (ولت) و مقدار ولتاژ درین برابر V_D=۲.۵ V (ولت) مشخص شده اند. دمای بستر (Substrate) به مقدار ۳۰۰ K ثابت نگه داشته شده است. همان طور که در شکل ۳ مشخص است ماکزیمم دمای ترانزیستور SOI MOSFET متداول برابر است با ۴۰۴ K می باشد و در شکل ۴ مقدار ماکزیمم دمای ترانزیستور AS SOI MOSFET برابر است با ۳۶۹ K می باشد. حرارت کانال در ساختار پیشنهادی شده، به سمت لایه زیرین (دی اکسید سیلیسیم)پراکنده می شود، زیرا رسانایی حرارتی ناحیه آلومینیوم آنتیموان(AlSb) نسبت به اکسید مدفون شده (SiO_2) بیشتر می باشد. پس در نتیجه این امر باعث می شود که حرارت بیشتری به سمت لایه های زیرین می رود و مقدار دمای کانال کاهش می یابد.. مقدار دما در ساختار AS SOI MOSFET نسبت به دما ساختار SOI MOSFET متداول، ۳۵ درجه کلوین (به میزان ۹٪) کاهش یافته است. حرارت کانال در ساختار پیشنهادی شده، به سمت لایه آلومینیوم نیترات (AlSb) پراکنده می شود، زیرا رسانایی حرارتی ناحیه آلومینیوم نیترات (AlSb) نسبت به اکسید مدفون شده (SiO_2) بیشتر می باشد.



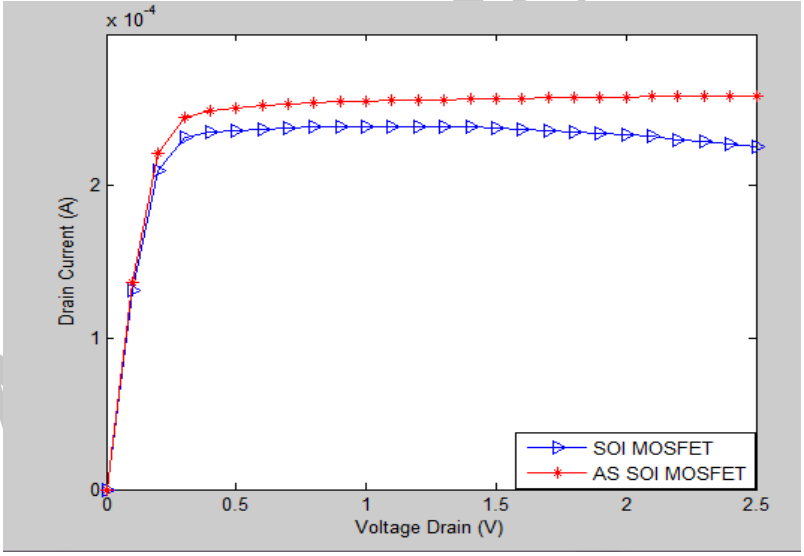
شکل۳- میزان دما ترانزیستور در ساختار متداول

www.SID.ir



شکل۴- میزان دما ترانزیستور در ساختار AS SOI MOSFET

در خروجی شکل ۵ مشخص می باشد که جریان درین در ساختار AS SOI MOSFET نسبت به ساختار SOI MOSFET متداول افزایش پیدا کرده است، که دلیل این افزایش، زیاد شدن تحرک پذیری حامل ها می باشد.



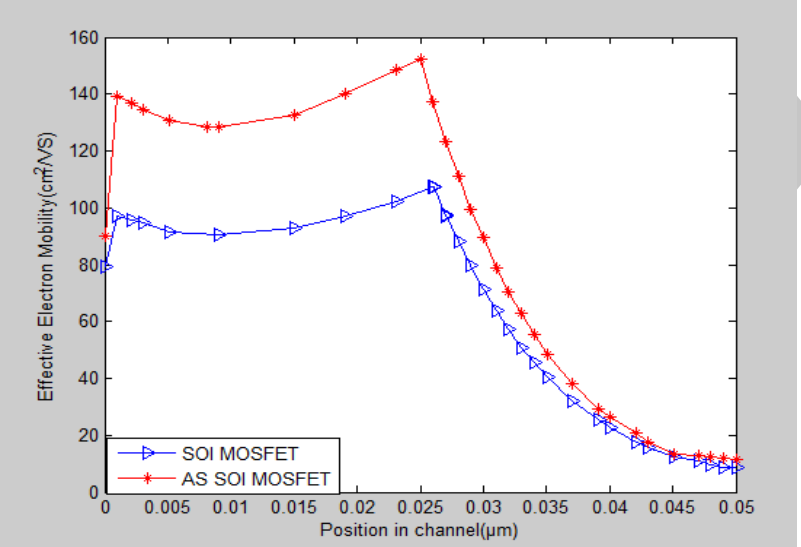
شکل۵- مقایسه جریان درین هر دو ساختار (V_G= ۱.۲ V و V_D=۲.۵ V)

کاهش تحرک پذیری، یکی از دلایل مهمی است که منجر به کاهش جریان درین (وقتی که دما افزایش می یابد) می شود زیرا با افزایش دما، مقدار پراکندگی بیشتری از حامل ها حاصل می گردد که منجر به کاهش تحرک پذیری می شود.

$$\mu_{eff} = \mu_{eff,0} \ (\frac{T}{T_0})^{-K}$$

www.SID.ir

که در آن $\mu_{eff,0}$ برابربا تحرک پذیری موثر تحت دمای پیرامون می باشد، T_0 برابر با دمای محیطی می باشد،T برابر با دمای میانگین کانال می باشد. میزان جریان درین در ساختار های AS SOI MOSFET نسبت به حالت متداول در ابتدا بیشتر می باشد، زیرا میزان دمای کانال در ساختار AS SOI MOSFET نسبت به حالت متداول بیشتر می باشد. زیرا میزان تحرک پذیری آنها بیشتر می باشد و جریان درین آنها زیاد می شود. با افزایش دما، میزان تحرک پذیری بیشتر می شود ولی از یک دمایی به بالاتر به علت زیاد شدن پراکندگی، میزان تحرک پذیری حامل ها کم می شود و جریان درین نیز کاهش پیدا می کند. در این صورت ترانزیستور دچار اثر خود گرمایی (Self Heatig Effect)شده است(شکل ۵).



شکل۶- مقایسه تحرک پذیری دو ساختار در شرایط (V_G= ۱.۲ V و V_D=۲.۵ V)

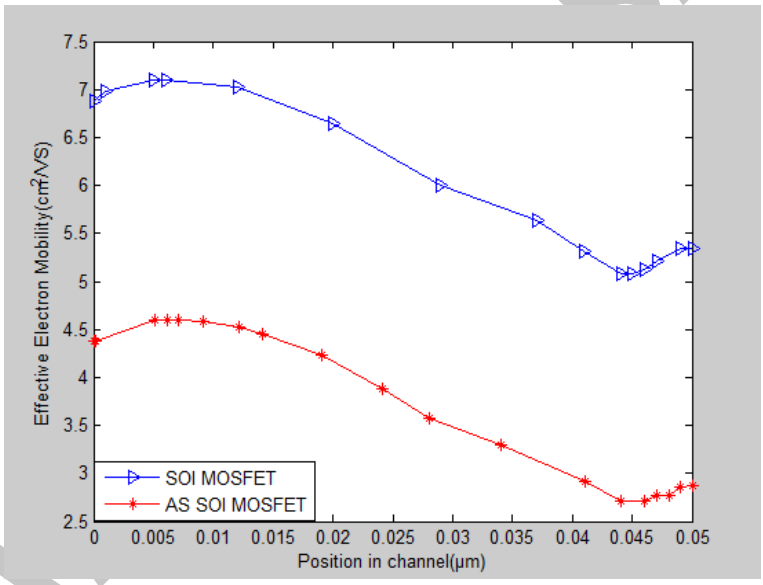
در که ساختار AS SOI MOSFET به دلیل هدایت رسانایی بالاتر نسبت به حالت متداول، دمای ترانزیستور کمتری دارد. هر چقدر میزان پراکندگی کمتر شود، این کمتر بودن میزان پراکندگی باعث افزایش تحرک پذیری حامل ها می شود. میزان تحرک پذیری در حالت متداول کمتر می باشد، زیرا میزان حرارت درون کانال (تحرک پذیری) آن نسبت به ساختار نوین کمتر می باشد. از دمایی به بعد پراکندگی در حالت متداول زیاد می شود و پراکندگی در ساختار نوین نسبت ساختار متداول کمتر است. همان گونه که در شکل ۵ نشان داده شده است در ساختار متداول SOI MOSFET (در ولتاژ درین ۱ ولت) دچار اثر خود گرمایی شده است. تحرک پذیری حامل ها در ساختار نوین AS SOI MOSFET بیشتر می باشد (شکل ۶) و با افزایش تحرک پذیری میزان جریان درین هم افزایش پیدا می کند (شکل ۵). همان طور که در شکل ۶ نمایش داده شده است. میزان تحرک پذیری ساختار نوین AS SOI MOSFET در ابتدا نسبت به ساختار متداول کمتر و میزان تحرک پذیری ساختار نوین AS SOI MOSFET در تمام طول کانال نسبت به ساختار متداول بیشتر می باشد. افزایش تحرک پذیری در ساختار AS SOI MOSFET به این دلیل می باشد که این ساختار دچار اثر خود گرمایی نشده است و حامل ها نسبت به ساختار متداول تحرک بیشتری دارند.

Archive

www.SID.ir

ساختار پیشنهادی به عنوان یک ساختار، تاثیر نامطلوبی روی ابزارهای الکترونیکی دارد. در ساختار پیشنهادی، ما از یک ناحیه آلومینیوم آنتیموان که قسمتی از پوشش اکسید مدفون شده می باشد و باعث کاهش تجمع منافذی که در اثر فرایند یونیزاسیون تحت فشار ایجاد می شوند و در ناحیه بدنه، الاالخصوص در نزدیکی منبع به خاطر خاصیت جذب آنها تجمع پیدا می کنند، خواهد شد. بنابراین این مساله می تواند اثر خود گرمایی را کاهش دهد و FBE (Floating Body Effect) را تاحد زیادی کنترل کند.

شکل ۷ تمرکز منافذ ساختار های SOI MOSFET متداول و AS SOI MOSFET را در حول محدوده کانال نشان می دهد که در فاصله ی ۳۰ nm (نانومتری) از سطح لایه Substrate قرار گرفته است (V_G = ۱ V و V_D =۸ V). همان طور که در شکل ۷ نشان داده شده است، تمرکز منافذ در کانال و زیر منبع در ساختار نوین نسبت به ساختار متداول کمتر می باشد که نشان می دهد که منافذ ایجاد شده به خاطر اثر بدنه شناور به کمک گودال های منافذ جذب شده اند. ماده آلومینیوم آنتیموان(AlSb) در ساختار پیشنهادی نسبت به دی اکسید سیلیسیم (SiO_2) باعث ایجاد مانع کوچکی در باند والانس در سطح مشترک کانال و گودال منافذ می شود. بنابراین کسری از منافذ که قادر خواهند بود که از کانال به ناحیه مورد نظر تزریق شوند نسبت به روش های معمول بیشتر است.



شکل ۷ – مقایسه تمرکز منافذ در حول خط AA′ برای هر دو ساختار در شرایط V_G=۱ V و V_D=۸ V

نتیجه گیری :

در این مقاله برای بهبود اثرات خود گرمایی و اثر بدنه شناور یک ساختار جدید AS SOI MOSFET چند لایه ای ارائه و شبیه سازی شده است. ایده اصلی در این ساختار چند لایه ای، استفاده از موادی با هدایت گرمایی بیشتر نسبت به دی اکسید سیلیسیم (SiO_2) به جای اکسید سیلیسیم می باشد. با توجه به نتایج شبیه سازی، ساختار ارائه شده راه کاری جدید جهت کاهش تاثیرات خود گرمایی و اثر بدنه شناور ارائه می دهد.

www.SID.ir

مراجع و منابع

[1] J. P. Colinge, " Silicon on Insulator Technology Materials to VLSI," Kluwer AcademicPublishers, pp. 203-298, 2004.

[2] M. J. Kumar, A. A. Orouji, " Two-dimensional analytical threshold voltage model of nanoscale fully depleted SOI MOSFET with electrically induced source/drain extensions," IEEE Trans.Electron Devices, Vol. 52, pp. 1568-1575, 2005.

[3] A. Chaudhry, M. J. Kumar, " Controlling short-channel effects in deep submicron SOI MOSFET s for improved reliability A review," IEEE Trans.on device and mater reliability, Vol. 4, pp. 99-109, 2004.

[4] J. P. Colinge, " Trends in Silicon-on- insulator Technology," Solid State Device Research Conference, ESSDERC, 92.22nd European, pp. 795 - 802, 1992.

[5] A. A. Orouji, H. A. Moghadam, and A. Dideban, " Double region partial SOI LDMOSFET A novel device for breakdown voltage improvement," Phys. E, Vol. 43, pp. 498–502, 2010.

[6] J. P. Colinge, " Silicon on Insulator: Materials to VLSI," 3rd ed. Norwell, MA, USA, Kluwer, 2004.

[7] H. S. P. Wong, D. J. Frank, P. M. Solomon, " Device design considerations for double-gate ground plane and single-gated ultra-thin SOI MOSFET's at the 25 nm channel length generation," IEDM Tech. pp. 407-410, 1998.

[8] B. Doris, " Device design considerations for ultra-thin SOI MOSFETs," Electron Devices Meeting, pp. 2731 – 2734, 2003.

[9] P. Baine, K. Y. Choon, H. S. Gamble, B. M. Armstrong, and S. J. N. Mitchell, " Novel materials fo r thermal via incorporation into SOI structyres," J. Mater Sci Mater Electron, Vol. 12, pp. 215–218, 2001.

[10] W. K. Chen, " Linear Networks and Systems," Belmont CA.USA Wadsworth, pp. 123–135, 1993.

[11] M. Zhu, P. Chen, K. Y. Fu. Ricky, A. Zhenghua, C. Lin, K. Paul, " Numerical study of self-heating effects of MOSFETs fabricated on SOAN substrate, " IEEE Trans. Electron Devices, Vol. 51, pp. 901-906, 2004.

[12] B. Cole, S. Parke, '' A method to overcome self-heating effects in SOI MOSFETs,'' IEEE University Government Industry Microelectronics Symposium, Proceeding of 15th Biennial, pp. 295–297, 2003.

[13] Device Simulator Atlas. Atlas User's Manual, Silvaco International

Software, Santa Clara, CA, USA, 2005.

Archive of SID

www.SID.ir