Archive of SID

یک روش برنامه‌ریزی فازی جهت کاهش توان مصرفی مدارات دیجیتال مبتنی بر اندازه‌گذاری گیت آگاه از تغییرات ساخت

رامین رساایزدی[۱]، بهنام قوامی[۲]

[۱]دانشجوی کارشناسی ارشد گروه مهندسی کامپیوتر، دانشکده فنی و مهندسی، دانشگاه شهید باهنر کرمان، ramin.rasaizadi@eng.uk.ac.ir
[۲]عضو هیأت علمی گروه مهندسی کامپیوتر، دانشکده فنی و مهندسی، دانشگاه شهید باهنر کرمان، ghavami@uk.ac.ir

چکیده

در سال‌های اخیر با پیشرفت تکنولوژی و رسیدن به اندازه نانومتر در ساخت مدارهای دیجیتال، با چالش جدیدی به نام پدیده تغییرات ساخت مواجه شده‌ایم. تغییرات ساخت تأثیر مستقیمی بر پارامترهای مدارهای دیجیتال دارد؛ لذا پدیده تغییرات ساخت باید در زمان طراحی در نظر گرفته شود. از آنجا که تغییرات ساخت غیرقابل پیش‌بینی و غیرقطعی می‌باشند، می‌توان این تغییرات را با اعداد فازی که دارای ساختاری غیرقطعی می‌باشند، مدل کرد. در این مقاله یک روش جدید جهت اندازه‌گذاری گیت‌های منطقی به منظور کاهش توان مصرفی با توجه به محدودیت‌های زمانی ارائه شده است. از آن‌رو که پدیده تغییرات ساخت در هدف و محدودیت‌های مسئله تاثیرگذار است و آن‌ها را دچار عدم قطعیت می کند، مسئله اندازه‌گذاری گیت به یک مسئله برنامه‌ریزی فازی تبدیل می‌گردد. یک الگوریتم جدید برای اندازه‌گذاری گیت‌های منطقی که از بهینه‌سازی خطی فازی استفاده می‌کند، ارائه شده است. روش معرفی شده با استفاده از امید ریاضی و تبدیل ملین، برنامه‌ریزی خطی فازی را به برنامه‌ریزی خطی غیرفازی تبدیل کرده و سپس معادلات حاصل را با الگوریتم‌های متداول بهینه‌سازی خطی، حل می‌کند. مزیت روش ارائه شده در استفاده از امید ریاضی می‌باشد؛ چرا که امید ریاضی به نقاط مرکزی مقادیر مورد نظر تغییرات ساخت اهمیت بیشتری نسبت به نقاط دورتر می‌دهد و این بهترین حالت ممکن می‌باشد. روش فازی پیشنهاد شده بر روی مدارات محک ISCAS۸۹ آزمایش شده است و نتایج شبیه‌سازی نشان می‌دهد که توان مصرفی در روش پیشنهاد شده در حالت میانگین، ۱۱,۹۹٪ در مقایسه با روش‌های مشابه کاهش یافته است.

کلمات کلیدی:

برنامه‌ریزی خطی فازی، اندازه‌گذاری گیت، تغییرات ساخت، مدارهای دیجیتال، توان مصرفی.

۱- مقدمه

با پیشرفت تکنولوژی CMOS اندازه ترانزیستورها به حد چند نانومتر رسیده است که باعث به وجود آمدن پدیده‌ی جدیدی در هنگام ساخت، به نام تغییرات ساخت[۱] شده است[۱],[۲],[۳]. دلیل به وجود آمدن پدیده تغییرات ساخت، عدم کنترل دقیق فرآیند ساخت تکنولوژی CMOS می‌باشد. تغییرات ساخت باعث می‌گردد با یک طراحی یکسان، ویژگی‌های متفاوتی از عرض ترانزیستور، طول کانال و ضخامت اکسید به دست آید. تفاوت به وجود آمده در پارامترهای ترانزیستور باعث می‌گردد ویژگی‌های متفاوتی از زمان و توان برای طراحی‌های یکسان حاصل شود و درنتیجه پارامتر بارآوری[۲] از دست خواهد رفت. مفهوم بارآوری به‌عنوان درصدی از تراشه‌ها که تأخیر آن‌ها کمتر از یک محدوده زمانی خاص است، در نظر گرفته می‌شود. ازاین‌رو برای حفظ پارامتر بارآوری باید از روش‌های بهینه-سازی در هنگام طراحی استفاده شود. بهینه‌سازی مورداستفاده باید موازنه-ای بین توان مصرفی و تأخیر مدار باشد.

با افزایش تغییرات ساخت بارآوری کاهش پیدا می‌کند. بیشترین بارآوری زمانی است که همه‌ی پارامترهایی که تغییرات ساخت در آن‌ها اثر می‌گذارد، در بدترین حالت خود در نظر گرفته شود. اما، این امر سبب افزایش مساحت و توان مصرفی می‌گردد. از سوی دیگر اگر تغییرات ساخت در کمترین حالت ممکن در نظر گرفته شود توان مصرفی و مساحت کمتری مصرف می‌شود. اما، پارامتر بازده از دست خواهد رفت. اندازه‌گذاری[۳] گیت یک روش قوی و سودمند برای بهبود نرخ توان/تأخیر است. اندازه‌گذاری

۱- Process variation
۲- yield
۳- gate sizing

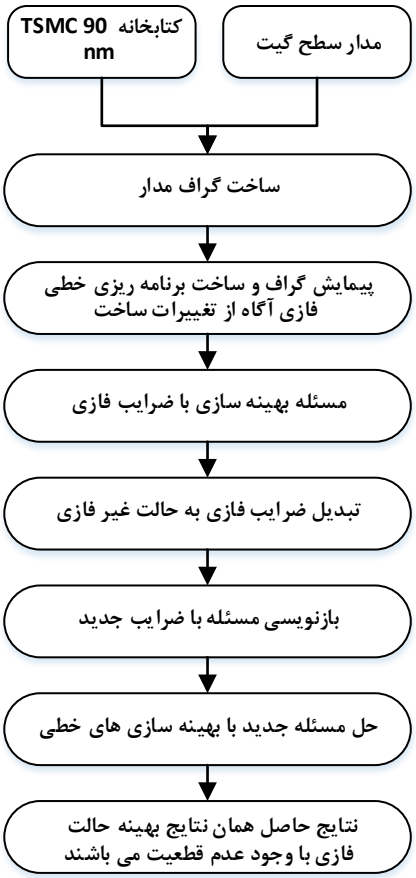
www.SID.ir

Archive of SID

گیت را می‌توان به‌عنوان پیدا کردن بهترین اندازه گیت‌های یک مدار با توجه به تابع هدف با توجه به یک محدودیت زمانی خاص در نظر گرفت[۴].

افزایش اندازه گیت، تغییرات ساخت و تأخیر مدار را کاهش می‌دهد، ولی از طرفی باعث افزایش توان مصرفی مدار می‌شود. همچنین با کاهش اندازه گیت، تغییرات ساخت و تأخیر مدار افزایش و در مقابل توان مصرفی مدار کاهش می‌یابد. لذا، باید بین پارامترهای طراحی، موازنه ایجاد نمود. برای انجام این موازنه می‌توان از بهینه‌سازی‌های خطی و غیرخطی با توجه به هدف و محدودیت‌های مسئله استفاده می‌شود. ازآنجاکه تغییرات ساخت مدار غیرقطعی می‌باشد، می‌توان از اعداد فازی که برای پوشش دادن این عدم قطعیت مناسب می‌باشند، استفاده کرد[۵]. درنتیجه، بهترین انتخاب برای بهینه‌سازی مدار، بهینه‌ساز فازی می‌باشد.

هدف این مقاله از طرح مسئله اندازه‌گذاری گیت، به دست آوردن بهترین اندازه گیت با در نظر گرفتن تغییرپذیری فرآیند ساخت است که در آن حداقل توان مصرفی به دست آید و از سوی دیگر تأخیر مدار کم‌تر از زمان موردنظر باشد. روش پیشنهادی یک الگوریتم جدید برای اندازه‌گذاری گیت آگاه از تغییرات ساخت که از مفاهیم و برنامه‌ریزی خطی فازی استفاده می‌کند، ارائه می‌دهد. در مقابل تئوری احتمالات و آمار، مدل فازی می‌تواند برای مدل کردن شرایطی که رفتار خروجی قابل پیش‌بینی است، مورداستفاده قرار گیرد. ازآنجاکه تغییرات ساخت غیرقطعی می‌باشد و اطلاعات کافی در مورد آن موجود نیست، بهترین انتخاب، بهینه‌سازی فازی می‌باشد. در این روش برای حل برنامه‌ریزی خطی فازی، از امید ریاضی و تبدیل ملین استفاده‌شده است.مزیت استفاده از امید ریاضی ، اهمیت دادن امید ریاضی به نقطه مرکزی بازه پارامتر موردنظر می‌باشد و به نقاط دورتر از نقطه مرکزی اهمیت کمتری می‌دهد و سپس برای تبدیل برنامه‌ریزی خطی فازی به حالت غیر فازی و حل آن با الگوریتم‌های متداول خطی از تبدیل ملین استفاده‌شده است. شکل (۱) رویکرد کلی بهینه‌سازی مورداستفاده را نمایش می‌دهد. در ابتدا با استفاده از مدار سطح گیت و کتابخانه، گراف مدار ساخته می‌شود. سپس با پیمایش گراف و با استفاده از محدودیت‌های زمانی و هدف مسئله، که کاهش توان مصرفی می‌باشد، مسئله برنامه‌ریزی خطی آگاه از تغییرات ساخت، ساخته می‌شود. سپس مسئله بهینه‌سازی فازی با استفاده از تبدیل ملین[۶] و امید ریاضی به حالت غیر فازی تبدیل می‌شود[۷]. در گام بعدی، برنامه‌ریزی خطی غیر فازی حاصل را با استفاده از الگوریتم‌های بهینه‌سازی خطی مانند روش سیمپلکس حل‌شده و اندازه بهینه گیت‌ها به دست آورده می‌شود. اندازه بهینه به‌دست‌آمده از معادلات غیرخطی همان اندازه بهینه مورد انتظار از حالت فازی می‌باشد.



شکل ۱- رویکرد برنامه ریزی فازی آگاه از تغییرات ساخت

ادامه مقاله بدین‌صورت می‌باشد.در بخش ۲ به‌مرور کارهای پیشین پرداخته می‌شود. بخش ۳ به هدف و انگیزش از ارائه این مقاله می‌پردازد. روش و راه‌حل‌های پیشنهادی در بخش ۴ ارائه می‌شوند. نتایج شبیه‌سازی در بخش ۵ موردبررسی قرار می‌گیرند. درنهایت و در بخش ۶ به نتیجه‌گیری خواهیم پرداخت.

۲- مروری بر کارهای پیشین

در سال‌های اخیر، تعیین اندازه گیت‌های مدارهای منطقی که تأثیر مستقیمی بر توان و تأخیر مدارهای دیجیتال دارند، موردتوجه بسیاری از پژوهشگران قرارگرفته است. با توجه به پدیده تغییرپذیری فرآیند ساخت، می‌توان اندازه‌گذاری گیت را به دو گروه قطعی و آگاه از تغییرات دسته‌بندی کرد:

۲-۱- قطعی

اندازه گذاری گیت به روش‌های قطعی ، تغییرات ساخت مدار را در نظر نمی‌گیرند.ازجمله روش‌های قطعی می‌توان اندازه‌گذاری گیت با استفاده از برنامه‌ریزی خطی را نام برد.

Nguyen و همکاران [۸] برای کاهش توان مصرفی از بهینه‌سازی خطی استفاده کرده‌اند. بهینه‌سازی مورداستفاده با تخصیص مقدار مناسب ولتاژ آستانه و اندازه مناسب گیت انجام می‌شود. در این روش هدف مسئله کاهش توان مصرفی و محدودیت مسئله تأخیر مدار می‌باشد. با توجه به اینکه هدف

www.SID.ir

Archive of SID

و محدودیت مسئله خطی هستند، لذا از برنامه‌ریزی خطی جهت بهینه‌سازی استفاده‌شده است.

۲-۲- آگاه از تغییرات

اندازه‌گذاری گیت آگاه از تغییرات شامل روش‌هایی ازجمله برنامه‌ریزی هندسی، برنامه‌ریزی احتمالی، برنامه‌ریزی فازی و تئوری بازی می‌باشد.

در ادامه به بررسی چند مورد از کارهای انجام‌شده در این زمینه می‌پردازیم.

روش ارائه‌شده توسط Dabiri و همکاران [۹] برای کاهش توان مصرفی علاوه بر در نظر گرفتن تأخیر به‌عنوان محدودیت مسئله، از نرخ خطای نرم به‌عنوان محدودیت دیگر استفاده می‌کند. درنتیجه بهینه‌سازی مورداستفاده در این روش به حالت غیرخطی تبدیل می‌شود. برای حل این بهینه‌سازی غیرخطی از برنامه‌ریزی محدب استفاده‌شده است. علاوه بر آن، پدیده تغییرات ساخت در این روش در نظر گرفته‌شده است.در روش ارائه شده توسط Singh و همکاران [۱۰] فرآیند تغییرات ساخت نیز در نظر گرفته‌شده است. عدم قطعیت در عرض ترانزیستور و همچنین طول کانال، باعث به وجود آمدن پدیده تغییرات ساخت شده است. در این روش ابتدا مسئله بهینه‌سازی به یک برنامه‌ریزی هندسی تبدیل‌شده و سپس با استفاده از ابزارهای بهینه سازی هندسی جواب مسئله به‌دست‌آمده است. Casagrande و همکاران [۱۱] مسئله اندازه‌گذاری گیت را به‌عنوان یک مسئله پیچیده در نظر گرفته‌اند که دو نیاز اصلی در آن وجود دارد. نیاز اول تعیین دقیق مدل برای پارامترهای تغییرات ساخت که تصادفی می‌باشند، است و نیاز دوم تخصیص عادلانه منابع می‌باشد. در این روش برای تحقق بخشیدن به این دو نیاز از بازی فازی استفاده‌شده است. این روش از دو تابع هدف استفاده می‌کند. تابع هدف اول کاهش تأخیر مدار با پارامترهای فازی و تابع هدف دوم کاهش توان مصرفی پویا با پارامترهای غیر فازی می‌باشند. Mahalingam و همکاران [۱۲] یک الگوریتم بهینه‌سازی برای اندازه‌گذاری گیت باهدف کاهش توان مصرفی پویا ارائه کرده‌اند. مدل تأخیر استفاده‌شده در این روش، مدل تأخیر خطی می‌باشد. الگوریتم مورداستفاده در این روش از برنامه‌ریزی خطی فازی برای پوشش دادن فرآیند تغییرات ساخت استفاده می‌کند. این روش طول کانال و ضخامت اکسید که در مدل تأخیر خطی استفاده می‌شوند را به‌عنوان اعداد فازی در نظر گرفته است. روش ارائه‌شده برای تبدیل حالت فازی به غیر فازی، ابتدا مسئله را در حالت میانگین و بدترین حالت حل کرده و سپس با استفاده از جواب‌های به‌دست‌آمده مسئله را به حالت غیرخطی تبدیل می‌کند. سپس مسئله جدید غیرخطی را با بهینه سازهای غیرخطی حل می‌نماید.الگوریتم ارائه‌شده توسط Mani و همکاران [۱۳] روشی برای مسئله اندازه‌گذاری گیت باهدف کاهش توان مصرفی پویا، در حضور فرآیند تغییرات ساخت می‌باشد. این روش از بهینه‌سازی احتمالی برای حل این عدم قطعیت در فرآیند ساخت استفاده می‌کند. مدل تأخیر ارائه‌شده در این روش مدل تأخیر خطی است که عدم قطعیت ذکرشده را در پارامترهای طول کانال و ضخامت اکسید با توزیع احتمال در نظر گرفته است.

۳- انگیزش : برنامه‌ریزی فازی

برنامه‌ریزی با اطلاعات مبهم به دو گروه برنامه‌ریزی احتمالی و برنامه‌ریزی فازی تقسیم می‌شود. روش‌های رایج و سنتی برای حل مسائل دارای ابهام از مدل‌های احتمال استفاده می‌کنند. برنامه‌ریزی احتمالی دارای مشکلاتی از قبیل نداشتن بهره‌وری محاسباتی و نیاز به داشتن اطلاعات کامل از پارامترهای غیرقطعی برای ساخت توزیع احتمال می‌باشد. یک راه‌حل مناسب و جایگزین برای برنامه‌ریزی احتمالی استفاده از برنامه‌ریزی فازی است[۱۴]. برنامه‌ریزی فازی برای شرایطی که اطلاعات کاملی از پارامترهای موجود در دسترس نباشد، مورداستفاده قرار می‌گیرد. نشان داده است راه‌حلی که از برنامه‌ریزی فازی به دست می‌آید یا بهتر از برنامه‌ریزی احتمالی است یا حداقل به‌خوبی آن جواب می‌دهد[۱۵]. این استدلال دلیل مناسبی برای حل مسئله اندازه‌گذاری گیت در مدارهای منطقی با روش‌های فازی است. چراکه اطلاعات کاملی از پارامترهای ساخت در دسترس نیست.

در ادامه به شرح مفاهیم فازی و همچنین برنامه‌ریزی خطی فازی خواهیم پرداخت.

۳-۱- مجموعه و اعداد فازی

زاده مفهوم جدیدی به نام مجموعه‌های فازی و سیستم‌های فازی بیان کرده است[۱۶]. تفاوت سیستم‌های فازی با سیستم‌های معمولی در این است که در سیستم‌های معمولی هر عنصر یا متعلق به یک مجموعه می‌باشد و یا متعلق نمی‌باشد و با اعداد باینری صفر و یک نشان داده می‌شوند اما در سیستم‌های فازی درجه تعلق یک عنصر می‌تواند در بازه [۱و۰] باشد. عدد فازی یک مجموعه فازی روی خط اعداد حقیقی است که شروط نرمال و محدب بودن را ارضا کند. اعداد فازی انواع مختلفی دارند که ازجمله آن‌ها می‌توان اعداد فازی مثلثی، ذوزنقه و گوسی را نام برد[۱۷][۱۸]. در این مقاله از عدد فازی ذوزنقه‌ای استفاده‌شده است که شامل چهار پارامتر (a, b, c, d) می‌باشد[۱۹]. دلیل استفاده از عدد فازی ذوزنقه‌ای، اهمیت بیشتر این عدد در میان اعداد فازی متقارن می‌باشد[۲۰].

۳-۲- برنامه‌ریزی خطی فازی

برنامه‌ریزی خطی عبارت است از یک تکنیک ریاضی جهت تخصیص منابع محدود به بهترین صورت ممکن در حالی که روابط فی مابین خطی باشند[۲۱]. شکل کلی برنامه ریزی خطی به صورت زیر می‌باشد.

$$\text{Min or Max } Z = \sum_{J=1}^{n} C_j X_j$$

$$\text{Subject } to \sum_{i=1}^{m} a_{ij} X_j \leq b_i \qquad (1)$$

که n تعداد متغیرها و m تعداد محدودیت‌های مسئله می‌باشد.

حال اگر هر یک از پارامترهای بردار منابع (b) و یا ماتریس ضرایب فنی (a) و یا ضرایب متغیر تصمیم (c) و یا حتی متغیرهای تصمیم‌گیری (x) دارای عدم‌قطعیت و ابهام شوند برنامه‌ریزی خطی به برنامه‌ریزی خطی فازی به شکل فرمول زیر تبدیل می‌گردد.

$$\text{Min or Max} \quad Z = \sum_{J=1}^{n} \tilde{c}_j X_j$$

www.SID.ir

Archive of SID

$$\text{Subject to} \sum_{i=1}^{m} \tilde{a}_{ij} X_j \leq \tilde{b}_i \qquad (۲)$$

اعداد فازی $\tilde{a}$ و $\tilde{b}$ و $\tilde{c}$ حالت فازی ضرایب a و b و c می‌باشند.

۴- روش پیشنهادی

در این بخش روش پیشنهادی در مسئله اندازه‌گذاری گیت معرفی می‌شوند. هدف اصلی از بیان این مسئله پیدا کردن اندازه بهینه گیت‌های موجود در مدار است که حداقل توان مصرفی در یک محدودیت زمانی مشخص در حضور پدیده تغییرات ساخت داشته باشد.

۴-۱- مدل‌های توان و زمان

توان پویای مصرفی برای هر گیت بر طبق فرمول زیر محاسبه می گردد[۱۲]:

$$P_i = \frac{1}{2} f V_{dd}^2 E_i (C_i + C_{wire}) + P_{sc} \qquad (۳)$$

در معادله (۳) ، P_i توان پویای مصرفی برای گیت i ام ، f فرکانس ساعت ، V_{dd} ولتاژ تغذیه گیت ، E_i میانگین تغییر حالت گیت i ام ، C_i ظرفیت خازنی گیت i ام ، C_{wire} ظرفیت خازنی که از اتصالات خروجی گیت i به سایر گیت ها حاصل می‌شود، می‌باشند. کاهش اندازه گیت باعث کاهش ظرفیت خازن داخلی گیت می‌شود و در نتیجه منجر به کاهش توان مصرفی می‌گردد.

در این مقاله از مدل تاخیر خطی که تابعی از اندازه گیت می‌باشد، استفاده شده است. تاخیر گیت i در مدار از طریق فرمول زیر محاسبه می گردد[۲۲]:

$$d_i = a_i - b_i s_i + c_i \sum_{j \in Fo(i)} s_j \qquad (۴)$$

در معادله (۴) ، s_i اندازه گیت i و Fo(i) شامل مجموعه‌ای از گیت‌هایی است که از گیت i خروجی می‌گیرند. ضرایب a, b ,c با استفاده از شبیه-سازهای SPICE به دست می‌آیند.

۴-۲- مدل تغییرات

افزایش تاثیر تغییرات ساخت در بارآوری مدارهای دیجیتال باعث شده است که بهینه‌سازی آگاه از تغییرات در همان فازهای اولیه طراحی در نظر گرفته شود. عدم قطعیت ناشی از تغییرات ساخت را می‌توان به صورت زیر در نظر گرفت[۱۲]:

$$D = d_i + \sum_{j=1}^{n} d_j X_j + d_r X_r \qquad (۵)$$

d_i تاخیر جزئی و X_j و X_r پارامترهای تصادفی هستند که نشان‌دهنده تغییرات می‌باشند.

عدم اطمینان در مقدار تأخیر به ضرایب b_i و c_i در مدل تأخیر خطی (۴) منتقل می‌شود. ضرایب b_i و c_i اثرات تغییرات بر طول کانال و ضخامت اکسید را بر اساس مشاهدات شبیه‌سازی و داده‌های آماری به‌خوبی تقریب می‌زنند. میزان تغییرات ضرایب b_i و c_i به ترتیب ۸ و ۱۰درصد می-باشند. این ضرایب با اعداد فازی ذوزنقه‌ای که دارای تابع عضویت خطی می-باشند در نظر گرفته‌شده‌اند.

۴-۳- اندازه گذاری فازی گیت

با توجه به اینکه هدف مسئله، کاهش توان مصرفی با توجه به محدودیت یک زمان مشخص برای تاخیر مدار می‌باشد، می‌توان از فرمول زیر برای حل این مسئله استفاده کرد.

$$\begin{aligned} &\text{Min} \sum_{i=1}^{n} P_i \\ &\text{Subject to } D_p \leq T_{spec} \qquad \forall p \in P \\ &\text{And } D_p = \sum_{i \in p} a_i - b_i s_i + c_i \sum_{j \in Fo(i)} s_j \end{aligned} \qquad (۶)$$

در فرمول (۶) ، P_i توان گیت i ام ، T_{spec} زمان مورد انتظار برای تاخیر کل مدار، P مجموعه کل مسیرهای موجود در مدار و D_p مجموع تاخیر تمامی گیت‌های مسیر p ، می‌باشند.

پارامترهای b و c به ترتیب طول کانال و ضخامت اکسید می‌باشند که تغییرات ساخت باعث به وجود آمدن عدم‌دقت در این پارامترها می‌شود و باعث می‌شود این پارامترها به حالت فازی تبدیل شوند. توان مدار که تابعی بر حسب این پارامترها می‌باشد نیز به پارامتری فازی تبدیل می‌شود. با توجه به فازی بودن پارامترهای b و c و p فرمول (۶) به صورت زیر تغییر می‌یابد.

$$\begin{aligned} &\text{Min} \sum_{i=1}^{n} \tilde{P}_i \\ &\text{Subject to } D_p \leq T_{spec} \qquad \forall p \in P \\ &\text{And } D_p = \sum_{i \in p} a_i - \tilde{b}_i s_i + \tilde{c}_i \sum_{j \in Fo(i)} s_j \end{aligned} \qquad (۷)$$

پارامترهای اعداد فازی b و c و p به صورت (p_1, p_2, p_3, p_4) و (b_1, b_2, b_3, b_4)و (c_1, c_2, c_3, c_4) می‌باشند.

۴-۴- تکنیک حل برنامه‌ریزی خطی فازی

برای حل یک مسئله برنامه‌ریزی خطی فازی نیاز است باید آن را به حالت غیر فازی تبدیل کرد. در این مقاله برای تبدیل برنامه‌ریزی خطی فازی به حالت غیر فازی از روش ارائه‌شده توسط ماشین‌چی و همکاران [۷] استفاده‌شده است.

روش ارائه‌شده توسط ماشین‌چی و همکاران [۷] به این صورت می‌باشد که ابتدا یک تابع چگالی احتمال از تابع عضویت به دست آورده می‌شود،دلیل استفاده از تابع چگالی احتمال، به کار گرفتن امید ریاضی و تبدیل ملین برای تبدیل مسئله بهینه‌سازی از حالت فازی به حالت غیر فازی می‌باشد. در این روش اثبات‌شده است امید ریاضی x برابر با تبدیل ملین x با مقدار عددی دو می‌باشد. این روش ابتدا از تابع توزیع احتمال تبدیل ملین می‌گیرد و سپس با قرار دادن مقدار عددی دو در تبدیل ملین حاصل‌شده از تابع توزیع احتمال معادله زیر را به دست می‌آورد.

www.SID.ir

Archive of SID

$$E[X_{\tilde{A}}] = M_{X_{\tilde{A}}}(۲) = \frac{۱}{۳}\left[(a+b+c+d)+\frac{(ab-dc)}{(d+c-a-b)}\right] \quad (۸)$$

حال می‌توان به جای امید ریاضی یک عدد فازی از مقدار غیر فازی آن که از فرمول (۸) محاسبه می‌گردد استفاده کرد.

از سویی دیگر براساس رتبه‌بندی اعداد فازی، معادلات (۹) و (۱۰) با یکدیگر برابرند.

$$\text{Min or Max} \quad Z = \sum_{J=۱}^{n} \tilde{C}_J X_j$$
$$\text{Subject to} \sum_{i=۱}^{m} \tilde{a}_{ij} X_j \le \tilde{b}_i \quad (۹)$$

$$\text{Min or Max } Z = \sum_{J=۱}^{n} E[\tilde{C}_j]\, X_j$$
$$\text{Subject to} \sum_{i=۱}^{m} E[\tilde{a}_{ij}] X_j \le E[\tilde{b}_i] \quad (۱۰)$$

پس می‌توان به جای امید ریاضی اعداد فازی فرمول (۱۰) از فرمول (۸) استفاده کرد و اعداد فازی را به حالت غیر فازی تبدیل کرد و در نتیجه برنامه‌ریزی خطی فازی به برنامه‌ریزی خطی تبدیل می‌گردد. حال برای حل معادله (۷) می‌توان از فرمول (۸) استفاده کرد.

امید ریاضی نقطه میانی بازه عدد فازی را اهمیت بیشتری می‌دهد و هر چه از نقطه مرکزی دورتر شویم اهمیت آن کمتر می‌شود. با توجه به اینکه پدیده تغییرات ساخت پدیده ای ناخواسته می‌باشد و بهترین حالت ممکن دارای کمترین مقدار پدیده ساخت می‌باشد، استفاده از امید ریاضی بهترین راه حل ممکن می‌باشد.

۵- نتایج شبیه‌سازی

روش برنامه‌ریزی خطی فازی ارائه‌شده در این مقاله با استفاده از نرم‌افزار متلب و ابزارهای بهینه‌سازی آن بر روی مدارات محک *ISCAS*۸۹ آزمایش‌شده است. تکنولوژی به کار گرفته‌شده در این شبیه‌سازی تکنولوژی *Nangate* ۴۵*nm* می‌باشد. تمامی آزمایش‌های بر روی سیستمی با پردازنده ۲ گیگاهرتز و دارای حافظه رم ۸ گیگابایت انجام‌شده‌اند.

ابتدا نت لیست سطح گیت به‌طور کامل به گیت‌های پایه که در کتابخانه‌های استاندارد وجود دارند تبدیل می‌شود. مدارهای محک با استفاده از کتابخانه‌های TSMS ۹۰ nm ، سنتز می‌شوند. کتابخانه نت لیست جایگذاری و مسیریابی شده از اطلاعات تأخیر سلول به همراه ساختار مدار به فرمت برنامه‌ریزی ریاضی برای کاهش توان با استفاده از اندازه‌گذاری فازی گیت تبدیل می‌شوند. میانگین تغییر حالات در هر خط با استفاده از شبیه‌سازی هر مدار محک با ۱۰۰۰۰۰ بردار تصادفی محاسبه‌شده است. ضرایب معادلات برای مدل‌های توان و تأخیر برای سلول‌های استاندارد در کتابخانه TSMS ۹۰nm برای انواع مختلف سایز گیت با استفاده از شبیه‌ساز Hspice مشخص‌شده‌اند. بیشترین تغییرات در تأخیر گیت ۲۵٪ از حالت میانگین در نظر گرفته‌شده است.

جدول (۱) نتایج حاصل از مقایسه روش فازی پیشنهاد شده و روش ارائه شده توسط Mahalingam و همکاران [۱۲] و همچنین مقدار به دست آمده از جایگذاری حد پایین (بهترین حالت) را نشان می‌دهد. میزان توان به دست آمده از روش‌های ذکر شده به ترتیب در ستون‌های ۳و۴و۵ آورده شده است. میزان درصد بهبود توان مصرفی پویا روش ارائه شده در این مقاله در مقایسه با روش Mahalingam و همکاران [۱۲] در ستون ۶ نشان داده شده است. با توجه به جدول ۱ روش پیشنهای به طور میانگین ۱۱,۹۹درصد توان پویای مصرفی را بهبود بخشیده است..

درصد میزان بهبود توان مصرفی پویای مدارات دیجیتال بر طبق فرمول (۱۱) برای تمامی درصدهای ارائه شده مورد استفاده قرار گرفته است.

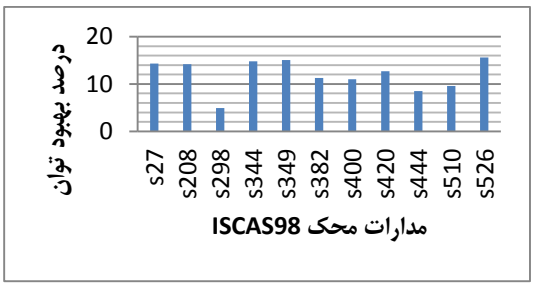
$$Power\ Reduction = \frac{\text{Power}_R - \text{Power}_P}{\text{Power}_P} \times ۱۰۰ \quad (۱۱)$$

در فرمول (۱۱) Power_R و Power_p به ترتیب، میزان توان به دست آمده از روش های قبلی و توان حاصل از روش پیشنهاد شده می‌باشند.

شکل ۲ زمان اجرای برنامه ریزی خطی فازی برای اندازه گذاری گیت را نشان می دهد. همان‌طور که در شکل نشان داده شده است، هر چه مجموع تعداد گیت ها و مسیر های مدار افزایش یابد زمان اجرا نیز افزایش می یابد اما میزان افزایش زمان اجرا به صورت خطی می باشد.

در شکل ۳ درصد میزان توان صرفه جویی شده نشان داده شده است. روش ارائه شده بهبود چشم گیری از نظر میزان توان مصرفی در مقایسه با روش های قبلی دارد.

شکل ۲- زمان اجرای اندازه گذاری فازی گیت



شکل ۳- درصد بهبود توان اندازه گذاری فازی گیت

جدول ۱ – نتایج شبیه سازی بر روی مدارهای محک

نام مدار	تعداد گیت ها	توان مصرفی (W)			درصد بهبود
		روش [۱۲]	روش پیشنهادی	حد پایین	روش [۱۲]
s۲۷	۱۰۵	۰,۰۰۰۲۴	۰,۰۰۰۲۱	۰,۰۰۰۲۰	۱۴,۳۰

www.SID.ir

Archive of SID

s۲۰۸	۱۶۹	۰,۰۰۲۰۷	۰,۰۰۱۹	۰,۰۰۱۸۰	۱۴,۱۶
s۲۹۸	۱۷۷	۰,۰۰۳۴۷	۰,۰۰۳۳	۰,۰۰۳۲۷	۴,۸۹
s۳۴۴	۱۷۸	۰,۰۰۳۸۰	۰,۰۰۳۳	۰,۰۰۳۲	۱۴,۸۱
s۳۴۹	۲۰۷	۰,۰۰۳۸۴	۰,۰۰۳۳	۰,۰۰۳۲۹	۱۵,۰۵
s۳۸۲	۲۲۹	۰,۰۰۳۹۴	۰,۰۰۳۵	۰,۰۰۳۴۹	۱۱,۳۰
s۴۰۰	۲۱۴	۰,۰۰۴۱۴	۰,۰۰۳۷	۰,۰۰۳۶۵	۱۱,۰۰
s۴۲۰	۲۴۵	۰,۰۰۴۰۵	۰,۰۰۳۶	۰,۰۰۳۵۸	۱۲,۶۶
s۴۴۴	۳۰۴	۰,۰۰۴۲۵	۰,۰۰۳۹	۰,۰۰۳۸۳	۸,۵۲
s۵۱۰	۴۳۲	۰,۰۰۴۹۳	۰,۰۰۴۵	۰,۰۰۴۴۹	۹,۶۰
s۵۲۶	۴۵۲	۰,۰۰۷۱۸	۰,۰۰۶۲	۰,۰۰۶۱۶	۱۵,۶۲
میانگین درصد بهبود					۱۱,۹۹

۶- نتیجه‌گیری

در این مقاله یک روش جدید برای مسئله اندازه‌گذاری گیت مدارهای دیجیتال ارائه‌شده است که پدیده تغییرات ساخت را با اعداد فازی مدل کرده است. این تغییرات ساخت علاوه بر طول کانال و ضخامت اکسید بر توان مدار نیز تأثیر می‌گذارد و آن را دچار عدم قطعیت می‌کند. روش حل ارائه‌شده برای برنامه‌ریزی خطی فازی از امید ریاضی و تبدیل ملین استفاده کرده است. امید ریاضی تأثیر تغییرات ساخت مدار را کاهش می‌دهد و همچنین باعث کاهش توان مصرفی می‌گردد. نتایج به‌دست‌آمده از شبیه‌سازی مدارات iscas۸۹ نشان از بهبود چشم‌گیر توان پویای مصرفی در مقایسه با سایر روش‌های قبلی است. نتایج حاصل نشان می‌دهد که با استفاده از برنامه‌ریزی خطی فازی می‌توان در برابر بیشترین تغییرات ساخت، بهترین طراحی را با حداکثر بازده داشته باشیم.

منابع

[۱] J. K. Lorenz, E. Bär, T. Clees, R. Jancke, C. P. Salzig, and S. Selberherr, "Hierarchical simulation of process variations and their impact on circuits and systems: Methodology," *Electron Devices, IEEE Transactions on*, ۲۰۱۱, vol. ۵۸, pp. ۲۲۱۸-۲۲۲۶.

[۲] M. Onabajo and J. Silva-Martinez, "Process Variation Challenges and Solutions Approaches," in *Analog Circuit Design for Process Variation-Resilient Systems-on-a-Chip*, ed: Springer, ۲۰۱۲, pp. ۹-۳۰.

[۳] K. Agarwal and S. Nassif, "Characterizing process variation in nanometer CMOS," in *Proceedings of the ۴۴th annual Design Automation Conference*, ۲۰۰۷, pp. ۳۹۶-۳۹۹.

[۴] A. Verle, X. Michel, P. Maurine, N. Azemard, and D. Auvergne, "CMOS gate sizing under delay constraint," in *International Workshop on Power and Timing Modeling, Optimization and Simulation*, ۲۰۰۳, pp. ۶۰-۶۹.

[۵] H.-J. Zimmermann, *Fuzzy set theory—and its applications*: Springer Science & Business Media, ۲۰۱۱.

[۶] Y. Peng, Y. Wang, X. Zuo, and L. Gong, "Properties of Fractional Mellin Transform," *Advances in Information Sciences and Service Sciences*, ۲۰۱۳, vol. ۵, p. ۹۰.

[۷] E. Y. Peraei, H. Maleki, and M. Mashinchi, "A method for solving a fuzzy linear programming," *Korean Journal of Computational and Applied Mathematics*, ۲۰۰۱, vol. ۸, pp. ۳۴۷-۳۵۶.

[۸] D. Nguyen, A. Davare, M. Orshansky, D. Chinnery, B. Thompson, and K. Keutzer, "Minimization of dynamic and static power through joint assignment of threshold voltages and sizing optimization," in *Proceedings of the* ۲۰۰۳ *international symposium on Low power electronics and design*, ۲۰۰۳, pp. ۱۵۸-۱۶۳.

[۹] F. Dabiri, A. Nahapetian, T. Massey, M. Potkonjak, and M. Sarrafzadeh, "General methodology for soft-error-aware power optimization using gate sizing," *Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on*, ۲۰۰۸, vol. ۲۷, pp. ۱۷۸۸-۱۷۹۷.

[۱۰] J. Singh, V. Nookala, Z.-Q. Luo, and S. Sapatnekar, "Robust gate sizing by geometric programming," in *Proceedings of the ۴۲nd annual Design Automation Conference*, ۲۰۰۵, pp. ۳۱۵-۳۲۰.

[۱۱] T. Casagrande and N. Ranganathan, "GTFUZZ: a novel algorithm for robust dynamic power optimization via gate sizing with fuzzy games," in *Proceedings of the* ۲۰۱۵ *Design, Automation & Test in Europe Conference & Exhibition*, ۲۰۱۵, pp. ۶۷۷-۶۸۲.

[۱۲] V. Mahalingam, N. Ranganathan, and J. E. Harlow, "A fuzzy optimization approach for variation aware power minimization during gate sizing," *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, ۲۰۰۸, vol. ۱۶, pp. ۹۷۵-۹۸۴.

[۱۳] M. Mani and M. Orshansky, "A new statistical optimization algorithm for gate sizing," in *Computer Design: VLSI in Computers and Processors, ۲۰۰۴. ICCD ۲۰۰۴. Proceedings. IEEE International Conference on*, ۲۰۰۴, pp. ۲۷۲-۲۷۷.

[۱۴] M. Inuiguchi and J. Ramık, "Possibilistic linear programming: a brief review of fuzzy mathematical programming and a comparison with stochastic programming in portfolio selection problem," *Fuzzy sets and systems*, ۲۰۰۰, vol. ۱۱۱, pp. ۳-۲۸.

[۱۵] J. Buckley, "Stochastic versus possibilistic programming," *Fuzzy Sets and Systems*, ۱۹۹۰, vol. ۳۴, pp. ۱۷۳-۱۷۷.

[۱۶] R. E. Bellman and L. A. Zadeh, "Decision-making in a fuzzy environment," *Management science*, ۱۹۷۰, vol. ۱۷, pp. B-۱۴۱-B-۱۶۴.

[۱۷] C.-H. Cheng and D.-L. Mon, "Fuzzy system reliability analysis by interval of confidence," *Fuzzy Sets and Systems*, vol. ۵۶, pp. ۲۹-۳۵, ۱۹۹۳.

[۱۸] O. Kaleva and S. Seikkala, "On fuzzy metric spaces," *Fuzzy sets and systems*, vol. ۱۲, pp. ۲۱۵-۲۲۹, ۱۹۸۴

[۱۹] Y.-J. Lai and C.-L. Hwang, *Fuzzy mathematical programming*: Springer, ۱۹۹۲.

[۲۰] M. Roubens, "Inequality constraints between fuzzy numbers and their use in mathematical programming," in *Stochastic versus fuzzy approaches to multiobjective mathematical programming under uncertainty*, ed: Springer, ۱۹۹۰, pp. ۳۲۱-۳۳۰.

[۲۱] R. J. Vanderbei, *Linear programming*: Springer, ۲۰۱۴.

[۲۲] M. R. Berkelaar and J. A. Jess, "Gate sizing in MOS digital circuits with linear programming," in *Proceedings of the conference on European design automation*, ۱۹۹۰, pp. ۲۱۷-۲۲۱.

www.SID.ir