کنفرانس ملی چشم انداز ۱۴۲۰ و پیشرفت های
تکنولوژیک مهندسی برق، کامپیوتر و فناوری اطلاعات

طراحی، شبیه‌سازی و ارزیابی یک سلول تمام جمع کننده سه ارزشی برمبنای ترانزیستورهای نانولوله کربنی– نسخه یک: بهبود سرعت

مهراد آفرین[۱]

۱- کارشناسی ارشد مهندسی کامپیوتر- معماری سیستم‌های کامپیوتری، دانشگاه آزاد اسلامی واحد شهرری

m.afarin@iausr.ac.ir

خلاصه

با ورود روند مجتمع‌سازی به ابعاد نانومتری در سال‌های اخیر، چالش‌هایی در ادامه روند قانون مور به وجود آمد، بطوریکه امکان ادامه روند مقیاس‌گذاری بر اساس فناوری فعلی یعنی ترانزیستورهای MOSFET میسر نبود. لذا فناوری‌های جایگزینی معرفی شدند که در میان آنها فناوری CNTFET به دلیل ویژگی های منحصر به فرد نانولوله و امکان بهره‌گری از منطق چند ارزشی از اهمیت بیشتری برخوردار است. در این مقاله، ما قصد داریم ضمن مرور کامل ویژگی-های ترانزیستورهای نانولوله کربنی، به ارائه یک تمام جمع کننده‌ی مد ولتاژ سه ارزشی مبتنی بر ترانزیستورهای نانولوله‌ی کربنی بپردازیم که بر اساس تکنیک Multi-threshold طراحی شده و بر پایه معماری مکمل استوار است، از اینرو می‌توان از آن در پلتفرم‌های CMOS بهره برد. در ادامه، شبیه‌سازی جامعی بر روی طرح پیشنهادی تحت شبیه‌ساز HSPICE انجام گرفته و نتایج شبیه‌سازی علاوه بر تایید صحت عملکرد طرح ارائه شده، حاکی از بهبود تاخیر طرح پیشنهادی در مقایسه با سایر طرح‌های دیگر است.

کلمات کلیدی: نانوتکنولوژی (Nanotechnology)، ترانزیستور نانولوله کربنی (CNTFET)، منطق چند ارزشی (MVL)، جمع کننده (Full Adder)، منطق سه ارزشی (Ternary)

۱. مقدمه

پس از اختراع ترانزیستور MOSFET، مجتمع‌سازی مدارها، با استناد به دلایل محکمی از جمله کاهش مصرف توان، افزایش سرعت و کاهش مساحت گیت، همواره یکی از دغدغه‌های مهندسان کامپیوتر در حوزه‌ی معماری و چینش ترانزیستورها به شمار می‌رفته است، به طوری که در دهه‌های اخیر، مجتمع‌سازی روند رو به رشد داشته و این روند از SSI به ترتیب با طی مراحل MSI، LSI، VLSI، ULSI اکنون به مرحله‌ی SOC یا سیستم بر روی تراشه رسیده است.

حدود نیم قرن است که تعداد ترانزیستورها در مدارهای مجتمع به ازای هر ۱۸ الی ۲۴ ماه تقریباً دو برابر می‌شود، که در سال ۱۹۶۵، Moore که یکی از دانشمندان شرکت Intel بود، برای اولین بار به این روند اشاره کرد و این روند با نام قانون مور مشهور شد.

همان‌طور که می‌دانیم، با کاهش ابعاد ترانزیستور MOSFET، با توجه به فرمول (۱) میدان در طول کانال افزایش می‌یابد و با توجه به فرمول (۲) افزایش میدان سبب افزایش سرعت حامل‌ها در طول کانال شده و جریان زودتر به اشباع می‌رسد، در نتیجه ولتاژ آستانه کاهش پیدا می‌کند و گیت دیگر کنترلی بر جریان کانال ندارد.

$$\varepsilon = \frac{V_{DS}}{L} \quad (۱)$$

$$v = \mu\varepsilon \quad (۲)$$

به منظور رفع این مشکل، در سال ۱۹۷۴، Dennard، راهکاری برای مقیاس‌پذیری ابعاد MOSFET مطرح کرد، که روشی آسان را برای طراحی نسل بعدی ادوات MOSFET با مقیاس کوچکتر ارائه می‌داد [۱]. بر اساس این نظریه، با اعمال یک ضریب مقیاس‌پذیری مناسب به پارامترهای یک افزاره، می‌توان میدان الکتریکی درون افزاره را در حالیکه ابعاد آن در حال کاهش است، ثابت نگه داشت.

این راهکار باعث ثبات افزاره در برابر آثار کانال کوتاه می‌گردد و قابلیت اطمینان افزاره را افزایش می‌دهد و از همه مهم‌تر سبب بهبود تأخیر مدار بدون افزایش چگالی توان آن می‌گردد. اما با رسیدن به ابعاد زیر میکرون دلایلی باعث تغییر قوانین مقیاس‌پذیری شدند، به ویژه، با توجه به مقیاس‌ناپذیر بودن ولتاژ آستانه، مقیاس کردن منبع ولتاژ کند گردیده و در نتیجه، با توجه به ضرایب مقیاس‌پذیری، کاهش طول کانال نیز با کندی مواجه شده است، به طوری که در سال‌های اخیر به دلیل عدم توانایی کنترل گیت روی جریان‌های نشتی، روند کوچک‌سازی ترانزیستورها تقریباً متوقف شده است [۲].

نشت زیر آستانه که قبلاً از آن صرف نظر می‌گردید، در تراشه‌های مدرن امروزی مصرفی تا نصف مصرف توان کل را به خود اختصاص داده است. به علاوه، با توجه به اینکه منبع تغذیه همگام با ابعاد کاهش نمی‌یابد، چگالی توان با طول زمان افزایش یافته، که این به معنی تولید حرارت بیشتر در تراشه است [۲]. با ورود مجتمع‌سازی به ابعاد نانومتری، سازوکارهای کوانتومی، معادلات مقیاس‌پذیری در ترانزیستورها را برهم زدند و با بروز مشکلاتی در فرآیند لیتوگرافی و مشکلات دیگری از جمله اثرات کانال کوتاه، جریان‌های نشتی غیر قابل کنترل، کاهش کنترل گیت و پارامتر مدولاسیون طول کانال بسیار بالا، علاوه بر اخلال در عملکرد ترانزیستور، مصرف توان آن را نیز به شدت افزایش داد، بدین ترتیب پیشرفت روند مجتمع‌سازی بر اساس قانون مور با فناوری فعلی یعنی ترانزیستورهای MOSFET میسر نبود.

چالش‌هایی که در روند قانون مور به وجود آمد، کارشناسان حوزه‌ی معماری سیستم‌های کامپیوتری را به این فکر انداخت، که دنبال فناوری‌هایی نوین برای جایگزینی با ترانزیستورهای MOSFET باشند. بدین ترتیب دو راهکار پیشنهاد شد، اول اینکه با تغییر ساختار MOSFET بتوانند آثار کانال کوتاه و جریان‌های نشتی را کاهش دهند، از کارهایی که در این زمینه انجام شد، می‌توان به ساخت ترانزیستورهای اثر میدانی MOSFET چند گیتی، ترانزیستورهای اثر میدانی FINFET[1] و ترانزیستورهای اثر میدانی نانوسیم[2](NWFET) اشاره کرد. این راهکار هر چند تا چند سالی می‌تواند روند قانون مور را حفظ کند، اما با کوچک‌تر شدن ابعاد، چالش‌های قبلی دوباره به میان می‌آیند [۳].

دومین راهکار، استفاده از تکنولوژی‌های جدید بود، از کاندیدهای این حوزه می‌توان به ترانزیستورهای مولکولی[3]، ترانزیستورهای تک الکترونی[4](SET)، آتاماتای سلولی نقطه-کوانتومی[5](QCA)، ترانزیستورهای اثر میدانی مبتنی بر نانونوارهای گرافینی[6](GNRFET) و ترانزیستورهای اثر میدانی مبتنی بر نانولوله-های کربنی[7](CNTFET) اشاره کرد [۳].

۲. دلایل توجه ویژه به ترانزیستورهای مبتنی بر نانولوله‌های کربنی

مسافت آزاد متوسط در نانولوله‌های کربنی بسته به قطر آنها بین چند صد نانومتر تا چند میکرون متغیر است ($\lambda_{CNT} \approx 1000 d_{CNT}$)، در حالیکه در سایر رساناهای فلزی در حدود چند ده نانومتر است، این پارامتر به عنوان مثال در مس برابر ۴۰ نانومتر در درجه حرارت اتاق می‌باشد [۴]. این ویژگی باعث می‌شود که حامل‌ها بتوانند مسافت بیشتری را بدون پراکنده شدن، پیمایش کنند و پدیده‌ی پراکندگی (پراش)، پس از طی مسافت‌ها طولانی‌تری برای آنها رخ دهد. بنابراین، انتقال در مسیرهای کوتاه و ولتاژ بایاس کم، در یک بعد و به صورت بالستیک انجام می‌پذیرد، همین امر سبب می‌شود که نانولوله‌ها در دمای اتاق دارای بالاترین قابلیت تحرک الکتریسیته نسبت به هر ماده شناخته شده‌ی دیگری باشند ($100{,}000\ cm^2/Vs$)، در نتیجه، مقاومت نانولوله‌های کربنی در طول کانال، بسیار کم و تأخیر RC آن کاهش چشمگیری دارد، که در نهایت منجر به سرعت بسیار بالای سوئیچینگ در افزاره می‌گردد. نانولوله‌های فلزی توانایی حمل چگالی جریانی[8] به اندازه‌ی $4 \times 10^9\ A/cm^2$ دارند، که بیش از هزار برابر بزرگتر از فلزاتی مانند مس است [۵ و ۶]، در نتیجه قدرت رانش و جریان‌دهی بسیار بالایی

[1] Fin Field-Effect Transistor
[2] Nanowire Field-Effect Transistor
[3] Molecular Transistor
[4] Single-Electron Transistors
[5] Quantum-Dot Cellular Automata
[6] Graphene Nanoribbon Field-Effect Transistor
[7] Carbon Nanotube Field-Effect Transistor
[8] Current Density

دارند و جریان درایو آنها، خروجی‌دهی[9]بالایی دارد. از طرفی، چگالی جریان رساناهای فلزی مانند مس به علت پدیده‌ی مهاجرت الکترونی محدود می‌شود، در حالیکه این پدیده در نانولوله مشاهده نمی‌شود. همچنین، نانولوله دارای دمای ذوب بالایی است و در مقابل ذوب شدن در اثر حرارت، مقاومت خوبی دارد [۶]. این چهار ویژگی اخیر (تحرک‌پذیری بالا، چگالی جریان بالا، نداشتن مهاجرت الکترونی و دمای ذوب بالا) علاوه بر این که برای ترانزیستورهای مبتنی بر این افزاره بسیار مفید است، نوع فلزی این افزاره را به عنوان یکی از ایده‌آل‌ترین رساناها به منظور به کارگیری به عنوان میان‌ارتباط‌ها در مدار مطرح کرده است، که می‌تواند، برای عبور سیگنال‌ها و نیز خطوط پر توان در مدارهای مجتمع بسیار فشرده، استفاده گردد.

تقارن باند رسانش و باند ظرفیت در نانولوله، سبب می‌شود که قابلیت تحرک الکترون‌ها و حفره‌ها یکسان باشد، بنابراین، قدرت جریان‌دهی NCNTFET با PCNTFET برابر بوده و در نتیجه فرآیند تعیین اندازه ترانزیستورها در مرحله‌ی ساخت به خصوص برای مدارهای پیچیده و بزرگ، بسیار آسان می‌گردد [۷]. این در حالیست که، در MOSFET قابلیت تحرک الکترون دو برابر حفره بود و به تبع آن جریان‌دهی NMOS دو برابر PMOS بود، که برای جبران این کمبود عرض ترانزیستور PMOS را دو برابر NMOS در نظر می‌گرفتند و سربار ساختی به صنعت اضافه می‌شد.

نشست عایق گیت با ضریب دی‌الکتریک بالا، قابلیت تحرک حامل‌ها را کاهش نمی‌دهد، زیرا ساختار بلوری نانولوله فاقد پیوندهای آویزان[10]است، بنابراین برای افزایش کنترل خازن گیت بر کانال و کاهش جریان‌های نشتی، می‌توان به جای کم کردن ضخامت اکسید گیت، از عایق‌هایی با دی‌الکتریک بالا به عنوان عایق گیت استفاده کرد، با این کار از تونل‌زنی‌های ناخواسته جلوگیری شده و جریان‌های نشتی گیت نیز، کاهش چشمگیری می‌یابد [۸]. همچنین، این موضوع سبب خاصیت الکترواستاتیک بهتر در طول کانال، کاهش شیب زیر آستانه و در نهایت کاهش جریان حالت خاموش در این افزاره می‌گردد.

نانولوله‌های کربنی به دلیل داشتن مقاومتی در حد نانو، می‌توانند گزینه‌ی خوبی برای خازن‌ها در مدارهای مجتمع باشد. استفاده از نانولوله‌ی کربنی به عنوان خازن باعث افزایش چشمگیری در ظرفیت خازن شود [۹]. همچنین استحکام مکانیکی قوی نانولوله‌ها آنها را به یکی از انتخاب‌های خوب در زمینه‌ی ساخت قطعات الکترونیکی مبدل کرده است [۹].

نانولوله‌های کربن همچنین می‌توانند به عنوان عایق بر روی تراشه نیز به کار روند و از این لحاظ دارای مزایایی از جمله اثرگذاری کوچکتر، جریان تحریک بالاتر و خمیدگی کمتر نسبت به سایر عایق‌های دیگر می‌باشند [۱۰].

نانولوله بسته به زاویه‌ی پیچش، می‌تواند رسانا، نیمه‌رسانا و نارسانا باشد، این یعنی خاصیت رسانش الکتریکی در نانولوله به زاویه‌ی پیچش در هنگام تولید بستگی دارد [۸]. یکی از ویژگی‌های استثنایی نانولوله‌ها، قابلیت تنظیم ولتاژ آستانه‌ی آنها، از طریق تغییر قطر است [۸]. این ویژگی مهم، زمینه استفاده از منطق چند ارزشی را در مدارهای مبتنی بر ترانزیستورهای نانولوله، فراهم می‌کند و می‌توان با بهره‌گیری از منطق چند ارزشی در مدارها، از مزایای بی‌شمار آن از جمله امکان انتقال و ذخیره‌سازی فشرده‌ی اطلاعات، افزایش ظرفیت حافظه، کاهش سیم‌بندی، میان ارتباط‌ها و پین‌های مدار، کاهش قابل توجه نویز هم‌شنوایی بر اثر کاهش میان ارتباط‌ها در مدار، امکان تعریف توابع ریاضی بیشتر و ... بهره‌مند شویم.

۳. چالش‌های پیش‌روی ترانزیستورهای مبتنی بر نانولوله‌های کربنی

علی‌رغم مزایای بی‌شمار، ترانزیستورهای نانولوله‌های کربنی در حال حاضر با چالش‌هایی نیز مواجه هستند، که این چالش‌ها عمدتاً بخاطر ضعف در روش‌های ساخت نانولوله‌های کربنی و چگونگی رشد آنها بر روی ویفرها به وجود می‌آیند و باعث افزایش نوسان فرآیند ساخت می‌گردند. اصلی‌ترین چالش این فناوری، نداشتن کنترل روی تعیین دقیق کایرالیته و زاویه پیچش می‌باشد، این مشکل علاوه بر اینکه سبب رشد ناخواسته‌ی نانولوله‌های فلزی بر روی ویفرها می‌گردد، تعیین دقیق ولتاژ آستانه‌ی ترانزیستورها را نیز دشوار می‌سازد. همان‌طور که در فصل سوم اثبات شد، به لحاظ آماری، با فناوری‌های ساخت فعلی، یک سوم نانولوله‌های رشد داده شده بر روی ویفر، فلزی اند. از چالش‌های دیگر می‌توان به عدم قرارگیری مناسب و رشد نامنظم نانولوله‌ها بر روی زیرلایه اشاره کرد، که علاوه بر ایجاد مشکل در جایابی و چینش نانولوله‌های کربنی در مجاورت یکدیگر، می‌توان باعث اتصال کوتاه در مدارها و در نتیجه، اخلال در عملکرد صحیح مدار شود، از طرفی، با فناوری فعلی، نمی‌توان تعداد زیادی نانولوله در زیر گیت داشت و عدم وجود تراکم بالای نانولوله‌ها در زیر گیت، موجب کاهش جریان-

[9] Fan-Out
[10] Dangling bond

دهی ترانزیستور می‌گردد. به منظور یک جریان‌دهی ایده‌آل حدود ۲۵۰ نانولوله در هر میکرومتر لازم است، در حالیکه فناوری‌های فعلی تعداد ۱۰ نانولوله را در هر میکرمتر تضمین می‌کنند. اما آخرین چالش نانولوله‌ها جذب شدید گازهای موجود در جو و ایجاد واکنش شیمیایی با آنها می‌باشد، که این اثر می‌تواند ترانزیستورهای نوع P و نوع N را به یکدیگر تبدیل کند. در سال‌های اخیر روش‌های نوینی به منظور مقابله با این چالش‌ها ابداع شدند، که می‌توان از روش لایه برداری برای رفع مشکل عدم قرارگیری منظم و از روش اعمال جریان بالای الکتریکی به منظور حذف نانولوله‌های فلزی نام برد، در روش اول با لایه برداری قسمت‌های اضافی، اتصال‌های کوتاه در ترانزیستورها را حذف می‌کنند و در روش دوم با اعمال جریان الکتریکی زیاد، نانولوله‌های فلزی بر اثر گرم شدن، اکسید شده و از مدار خارج می‌گردند، در حالی که نانولوله‌های نیمه‌رسانا با اعمال ولتاژ گیت قطع شده و جریانی از آنها عبور نمی‌کند، در نتیجه آسیبی نمی‌بینند. همچنین روش‌های جدیدی به منظور کنترل کایرالیتی و جلوگیری از جذب سطحی گازهای جو توسط نانولوله‌ها و در نتیجه عدم تبدیل ترانزیستورهای نوع P و نوع N به یکدیگر، در مقالات علمی معتبر ارائه شده است [۱۱، ۱۲، ۱۳، ۱۴].

۴. طراحی تمام جمع کننده‌ی سه ارزشی پیشنهادی

هدف اصلی این مقاله ارائه یک نوآوری جدید در زمینه مدار مولد سیگنال Sum است تا از این طریق بتوان یک تمام جمع کننده سه ارزشی پرسرعت برمبنای ترانزیستورهای نانولوله کربنی ارائه داد. طرح پیشنهادی در سطح ترانزیستور بهینه‌سازی شده است. شماتیک طرح پیشنهادی در شکل ۱ نمایش داده شده است. همان‌گونه که مشاهده می‌شود، این طرح از سه بخش تشکیل شده است: شبکه بالا، شبکه پایین و شبکه تقسیم ولتاژ. همچنین شبکه بالا و پایین خود نیز به سه بخش چپ، وسط و راست تقسیم می‌شوند. شبکه تقسیم ولتاژ می‌تواند از دو عنصر پسیو الکترونیکی مانند خازن، مقاومت یا ترانزیستورهای همواره روشن تشکیل شود. جدول ۱، جدول درستی یک تمام جمع کننده یک تریتی را نشان می‌دهد. همان طور که دیده می‌شود، منطق‌های ۰، ۱ و ۲ به صورت متناوب در ستون Sum تکرار می‌شوند، که پایان هر تناوب با یک گذار در ستون $\overline{C_{out}}$ همراه است. بنابراین می‌توان نتیجه گرفت که ستون $\overline{C_{out}}$ در حقیقت ستون Sum را به سه بخش مجزا تفکیک می‌نماید که با خطوط پررنگ در جدول درستی مشخص شده است. از طرف دیگر هر گذاری در ستون Sum با یک گذار در ستون $\sum in/3$ همراه است. بنابراین روشن می‌گردد که برای تولید سیگنال Sum ما تنها به دو سیگنال $\sum in/3$ و $\overline{C_{out}}$ نیاز داریم. بدین منظور برای تولید سه بخش مجزای جدول درستی از بالا به پایین، به ترتیب سه بخش مجزای چپ، وسط و راست در مدار پیشنهادی تعبیه شده است که هر بخش با همکاری دو شبکه بالا و پایین ساخته می‌شود. اگر مجموع ورودی‌ها کمتر از ۳ باشد، تنها قسمت چپ مدار فعال خواهد بود، اگر مجموع ورودی‌ها بین ۳ و ۵ باشد، قسمت وسط و اگر مجموع ورودی‌ها ۶ باشد، قسمت راست مدار فعال خواهد بود و ورودی‌های مناسب را برای شبکه‌ی تقسیم ولتاژ مهیا خواهد کرد. در این طرح تقسیم ولتاژ نهایی، به منظور تعیین منطق خروجی، در یک شبکه‌ی ترانزیستوری کاملاً مجزا و به وسیله‌ی دو ترانزیستور p-CNTFET و n-CNTFET با ساختاری کاملاً مشابه انجام می‌گیرد و این موضوع سبب می‌شود که جریان‌دهی شبکه‌ی بالابر و پایین‌بر باهم برابر بود و تقسیم ولتاژ خروجی به ویژه برای تولید منطق ۱ به صورت کامل و بدون نیاز به تغییرات پارامترهایی نظیر تعداد نانولوله‌ها در زیر گیت، انجام گیرد. این تقسیم ولتاژ کامل، علاوه بر اینکه نوسان کامل ولتاژ را در خروجی به همراه دارد، باعث می‌شود که حاشیه نویز و در نتیجه قابلیت اطمینان مدار افزایش یابد. مشخصات ترانزیستورهای بکار رفته در شبکه‌های بالا، پایین و تقسیم ولتاژ به ترتیب در جدول‌های ۲، ۳ و ۴ آورده شده است.

جدول ۱- جدول درستی تمام جمع کننده سه ارزشی تک تریتی

$\sum in = A + B + C_{in}$	$\Sigma in/3$	C_{out}	$\overline{C_{out}}$	Sum	$\overline{Sum}$
0	0	0	2	0	2
1	1/3	0	2	1	1
2	2/3	0	2	2	0
3	1	1	1	0	2
4	4/3	1	1	1	1
5	5/3	1	1	2	0
6	2	2	0	0	2

جدول ۲- مشخصات ترانزیستورهای شبکه بالا در مدار تمام جمع‌کننده سه ارزشی پیشنهادی

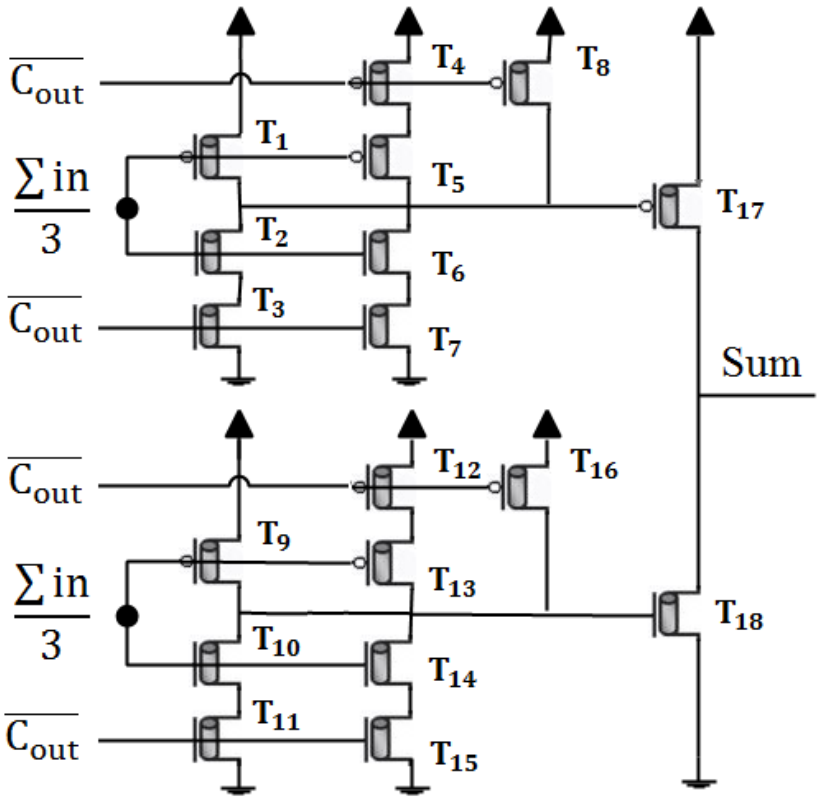
ورودی گیت		$\frac{\sum in}{3}$	$\frac{\sum in}{3}$	$\overline{C_{out}}$	$\overline{C_{out}}$	$\frac{\sum in}{3}$	$\frac{\sum in}{3}$	$\overline{C_{out}}$	$\overline{C_{out}}$	
شماره ترانزیستور		T_1	T_2	T_3	T_4	T_5	T_6	T_7	T_8	
نوع ترانزیستور		P	N	N	P	P	N	N	P	
قطر		0.587	3.680	0.822	1.957	1.127	0.853	1.926	0.743	(nm)
کایرالیته		(7.5,0)	(47,0)	(10.5,0)	(25,0)	(14.4,0)	(10.9,0)	(24.6,0)	(9.5,0)	
$\frac{\sum in}{3}$	$\overline{C_{out}}$									Up
0	2	ON	OFF	ON	OFF	ON	OFF	ON	OFF	2
1/3	2	OFF	ON	ON	OFF	ON	OFF	ON	OFF	0
2/3	2	OFF	ON	ON	OFF	ON	OFF	ON	OFF	0
1	1	OFF	ON	OFF	ON	ON	OFF	ON	OFF	2
4/3	1	OFF	ON	OFF	ON	OFF	ON	ON	OFF	0
5/3	1	OFF	ON	OFF	ON	OFF	ON	ON	OFF	0
2	0	OFF	ON	OFF	ON	OFF	ON	OFF	ON	2

جدول ۳- مشخصات ترانزیستورهای شبکه پایین در مدار تمام جمع‌کننده سه ارزشی پیشنهادی

ورودی گیت		$\frac{\sum in}{3}$	$\frac{\sum in}{3}$	$\overline{C_{out}}$	$\overline{C_{out}}$	$\frac{\sum in}{3}$	$\frac{\sum in}{3}$	$\overline{C_{out}}$	$\overline{C_{out}}$	
شماره ترانزیستور		T_9	T_{10}	T_{11}	T_{12}	T_{13}	T_{14}	T_{15}	T_{16}	
نوع ترانزیستور		P	N	N	P	P	N	N	P	
قطر		0.724	1.957	0.743	1.957	2.200	0.783	1.926	0.743	(nm)
کایرالیته		(9.25,0)	(25,0)	(9.5,0)	(25,0)	(28.1,0)	(10,0)	(24.6,0)	(9.5,0)	
$\frac{\sum in}{3}$	$\overline{C_{out}}$									Down
0	2	ON	OFF	ON	OFF	ON	OFF	ON	OFF	2
1/3	2	ON	OFF	ON	OFF	ON	OFF	ON	OFF	2
2/3	2	OFF	ON	ON	OFF	ON	OFF	ON	OFF	0
1	1	OFF	ON	OFF	ON	ON	OFF	ON	OFF	2
4/3	1	OFF	ON	OFF	ON	ON	OFF	ON	OFF	2
5/3	1	OFF	ON	OFF	ON	OFF	ON	ON	OFF	0
2	0	OFF	ON	OFF	ON	OFF	ON	OFF	ON	2

جدول ٤- مشخصات ترانزیستورهای شبکه تقسیم ولتاژ در مدار تمام جمع‌کننده سه ارزشی پیشنهادی

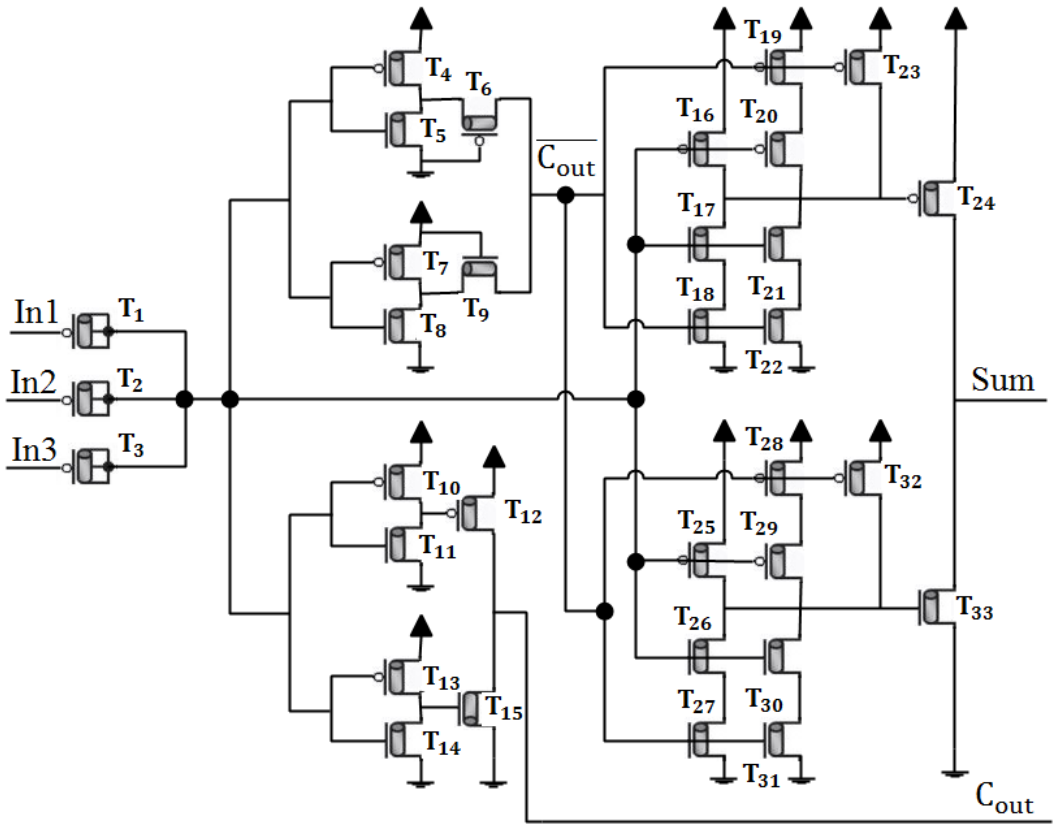
ورودی گیت		Up	Down	
ترانزیستور		T_{17}	T_{18}	
نوع ترانزیستور		P	N	
قطر		1.409	1.409	(nm)
کایرالیته		(18,0)	(18,0)	
Up	Down			Sum
2	2	OFF	ON	0
0	2	ON	ON	1
0	0	ON	OFF	2
2	2	OFF	ON	0
0	2	ON	ON	1
0	0	ON	OFF	2
2	2	OFF	ON	0



شکل ۱- طرح شماتیک مدار مولد سیگنال *Sum* در سلول تمام جمع کننده پیشنهادی

تمام جمع کننده پیشنهادی علاوه بر بخش مولد سیگنال Sum، دارای سه بخش دیگر برای تولید سیگنال‌های $\sum in/3$، $\overline{C_{out}}$ و C_{out} می‌باشد. برای تولید سیگنال $\sum in/3$ از مدار تقسیم ولتاژ در ورودی مدار استفاده می‌کنیم که می‌تواند شامل سه عنصر پسیو الکترونیکی مانند خازن و مقاومت باشد. استفاده از مقاومت قدرت درایو بالاتری را به ارمغان می‌آورد اما با این حال استفاده از خازن به دلیل اجتناب از مصرف توان بیش از حد ترجیح داده شده است و از طرفی به دلیل اینکه تعداد ترانزیستورهای مدار زیاد نیست، نیازی به داشتن قدرت درایو بالا در ابتدای مدار حس نمی‌شود. خازن را می‌توان به دو صورت پیاده‌سازی کرد، روش اول استفاده از دو فلز و یک عایق بین آنهاست که اصطلاحا خازن‌های MIMCAP نامیده می‌شوند و روش دوم بهره‌گیری از ترانزیستور است، بطوریکه یک صفحه خازن از ترمینال گیت و صفحه دیگر از اتصالات درین، سورس و زیرلایه تشکیل می‌گردد. خازن‌های MIMCAP، خطی و ایده‌آل بوده، اما فضای بسیار زیادی از تراشه را مصرف می‌کنند. علاوه بر این، کمترین ظرفیت ممکن خازن‌های پیاده‌سازی شده با این روش، در حدود ۱۷/۵ فمتو فاراد می‌باشد، که این مقدار برای طراحی‌های نوین عدد بزرگی است و برای داشتن عملکرد مناسب نیاز به ظرفیت‌های خازنی کمتری داریم. پیاده‌سازی خازن با ترانزیستور فضای بسیار کمتری را نسبت به روشی قبلی از تراشه اشغال می‌کند. اشکال عمده‌ی خازن‌های MOSCAP این است که تحت شرایطی مقدار ظرفیت آن به ولتاژ دو سر آن بستگی دارد و به عبارت بهتر خازن به صورت غیر خطی عمل می‌کند، اما در خازن‌های CNTCAP این اشکال با بهره‌گیری از نانولوله‌های فلزی و اتصال کوتاه شدن خازن پارازیتی حل می‌شود. در نتیجه در مدار تقسیم ولتاژ ابتدایی، ما از خازن‌های خطی و ایده‌آل CNTCAP استفاده می‌نماییم.

به منظور تولید سیگنال $\overline{C_{out}}$ از طرح ارائه شده در [۱۶] استفاده می‌کنیم، زیرا از تمامی جهات (سرعت، مصرف توان، شکل موج و...) عالی به نظر می‌رسد، اما انتخاب کایرالیتی ترانزیستورها بر اساس جدول ۵ انجام می‌گیرد. در نهایت با کمی تغییر در دو ترانزیستور انتهایی ماژول مولد سیگنال $\overline{C_{out}}$، می‌توان ماژول مولد سیگنال C_{out} را پیاده‌سازی کرد. جدول ۶، مشخصات ترانزیستورهای بکار رفته در این ماژول را نشان می‌دهد. طرح کامل شماتیک سلول تمام جمع کننده سه ارزشی پیشنهادی در شکل ۲ نمایش داده شده است.



شکل ۲- شماتیک کامل سلول تمام جمع کننده سه ارزشی پیشنهادی

جدول ۵- مشخصات ترانزیستورهای ماژول تولیدکننده سیگنال $\overline{C_{out}}$ در مدار تمام جمع‌کننده سه ارزشی پیشنهادی

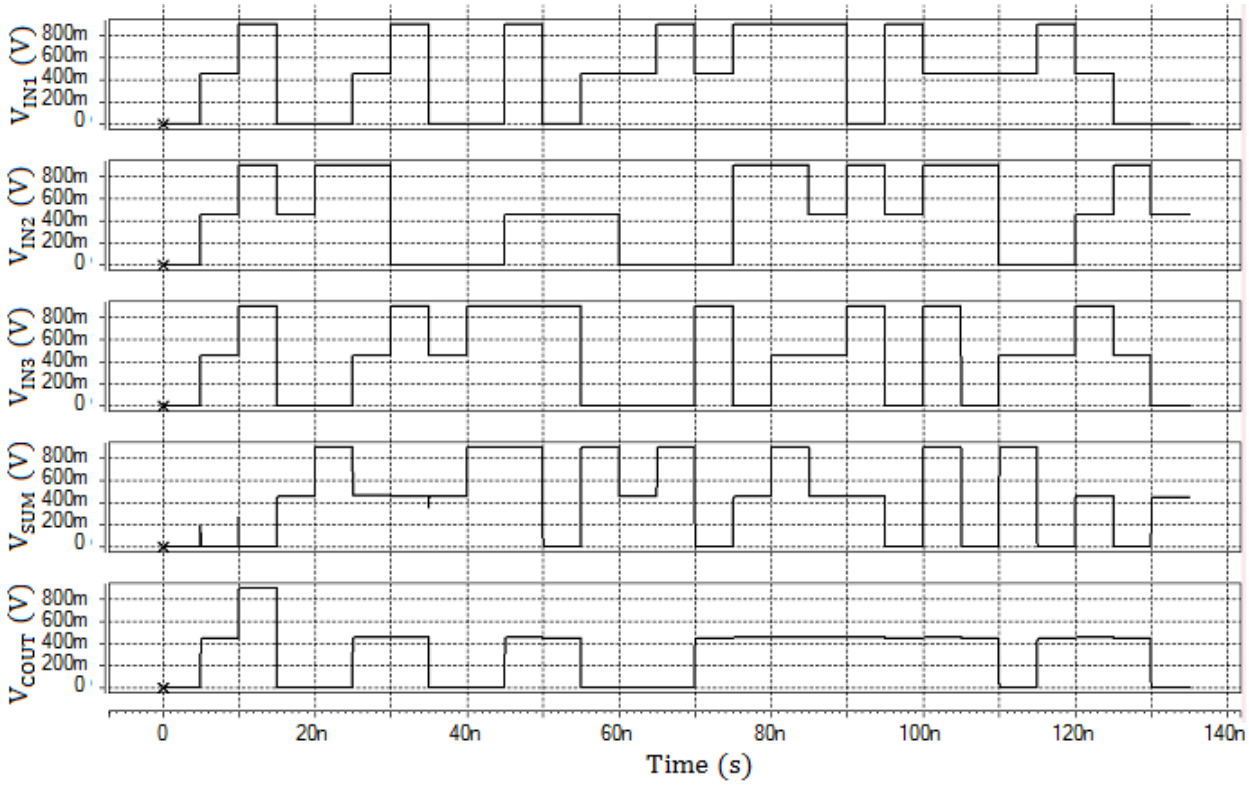
ورودی گیت		$\frac{\sum in}{3}$	$\frac{\sum in}{3}$	$\frac{\sum in}{3}$	$\frac{\sum in}{3}$	0	V_{dd}	
شماره ترانزیستور		T_1	T_2	T_3	T_4	T_5	T_6	
قطر		0.888	1.174	3.523	0.587	1.252	1.252	(nm)
کایرالیته		(11.35,0)	(15,0)	(45,0)	(7.5,0)	(16,0)	(16,0)	
$\sum in$	$\frac{\sum in}{3}$							$\overline{C_{out}}$
0	0	ON	OFF	ON	OFF	ON	ON	2
1	1/3	ON	OFF	ON	OFF	ON	ON	2
2	2/3	ON	OFF	ON	OFF	ON	ON	2
3	1	OFF	ON	ON	OFF	ON	ON	1
4	4/3	OFF	ON	ON	OFF	ON	ON	1
5	5/3	OFF	ON	ON	OFF	ON	ON	1
6	2	OFF	ON	OFF	ON	ON	ON	0

جدول ٦- مشخصات ترانزیستورهای ماژول تولیدکننده سیگنال C_{out} در مدار تمام جمع‌کننده سه ارزشی پیشنهادی

ورودی گیت		$\frac{\sum in}{3}$	$\frac{\sum in}{3}$	$\frac{\sum in}{3}$	$\frac{\sum in}{3}$	out_1	out_2	
شماره ترانزیستور		T_1	T_2	T_3	T_4	T_5	T_6	
قطر		0.888	1.174	3.523	0.587	1.409	1.409	(nm)
کایرالیته		(11.35,0)	(15,0)	(45,0)	(7.5,0)	(18,0)	(18,0)	
$\sum in$	$\frac{\sum in}{3}$							C_{out}
0	0	ON	OFF	ON	OFF	OFF	ON	0
1	1/3	ON	OFF	ON	OFF	OFF	ON	0
2	2/3	ON	OFF	ON	OFF	OFF	ON	0
3	1	OFF	ON	ON	OFF	ON	ON	1
4	4/3	OFF	ON	ON	OFF	ON	ON	1
5	5/3	OFF	ON	ON	OFF	ON	ON	1
6	2	OFF	ON	OFF	ON	ON	OFF	2

۵. شبیه‌سازی، مقایسه و ارزیابی طرح پیشنهادی

شبیه‌سازی مدار پیشنهادی با استفاده از نرم‌افزار HSPICE، بر مبنای مدل ارائه شده توسط محققان دانشگاه استنفورد صورت گرفته است [۸ و ۱۵]. این شبیه‌سازی در شرایط استاندارد با منبع تغذیه ۰/۹ ولت، در دمای اتاق و در فرکانس کاری ۱۰۰ مگاهرتز انجام گرفته است. همچنین به منظور ارزیابی قابلیت درایو بار خازن و قدرت رانش مدار، در خروجی مدار در هر دو گره‌ی Sum و C_{out} خازن‌های بار ۲ فمتو فارادی مورد استفاده قرار گرفته است. بر این اساس، ما طرح پیشنهادی خود را در فاز گذرا شبیه‌سازی کرده و پاسخ گذرای مدار پیشنهادی را در حوزه‌ی زمان استخراج کرده و بر اساس آن شکل موج خروجی مدار را بدست می-آوریم تا مدار را از لحاظ عملکرد بررسی نماییم. شکل ۳ الگوی ورودی و شکل موج خروجی مدار در حوزه زمان را نشان می‌دهد. همان‌طور که دیده می‌شود، تمامی سیگنال‌ها دارای نوسان کامل ولتاژ هستند و تقسیم ولتاژ برای تولید منطق ۱ نیز کامل صورت گرفته است. علاوه بر این، نتایج دیگر شبیه‌سازی، شامل بدترین سناریوی تاخیر، مصرف توان متوسط و مصرف انرژی متوسط مدار پیشنهادی محاسبه شده و در جدول ۷ با مدارهای ارائه شده‌ی قبلی در این زمینه مقایسه شده است.



شکل ۳- شکل موج‌های ورودی و خروجی مدار پیشنهادی در حوزه زمان

جدول ۷- مقایسه نتایج شبیه‌سازی مدار پیشنهادی با مدارهای ارائه شده قبلی

	حداکثر تاخیر ($\times 10^{-12}$ s)	مصرف توان متوسط ($\times 10^{-6}$ W)	مصرف انرژی ($\times 10^{-15}$ J)
اولین تمام جمع گر مرجع [۱۶]	283.8	6.361	1.806
دومین تمام جمع گر مرجع [۱۶]	261.4	19.71	5.152
تمام جمع گر مرجع [۱۷]	386.1	1.462	0.5645
تمام جمع گر مرجع [۱۸]	166.1	2.209	0.367
تمام جمع گر پیشنهادی	64.786	26.836	1.7386

۶. نتیجه‌گیری

این مقاله علاوه بر مرور کامل ویژگی‌ها و چالش‌های ترانزیستورهای نانولوله کربنی، یک روش جدیدی را برای معماری تمام جمع‌گر سه ارزشی پایه گذاری کرد و بر اساس آن یک تمام جمع کننده سه ارزشی سریع و دارای قدرت درایو بالا بر مبنای ترانزیستورهای نانولوله‌ی کربنی ارائه گردید که در کل دارای ۳۳ ترانزیستور بود و این عدد در مقایسه با سایر جمع‌گرها تعداد کمی محسوب می‌گردد. این جمع‌گر همچنین دارای خصوصیت‌هایی از جمله تقسیم کامل ولتاژ، نوسان کامل ولتاژ خروجی و بازسازی ولتاژ ورودی است. با توجه به این شرایط، این جمع‌گر از پتانسیل بالایی به منظور به کارگیری در مدارهایی همچون جمع/تفریق‌گر، ضرب‌گر، تقسیم‌گر، کمپرسور، مقایسه‌گر، جذرگیر، محاسبه‌ی آدرس و بررسی توازن برخوردار است و بر مبنای آن می‌توان عملکرد واحد

محاسبه‌ی پردازنده‌ها را بهبود بخشید. در انتها به منظور تایید درستی عملکرد مدار و مقایسه آن با مدارهای دیگر با استفاده از شبیه‌ساز HSPICE و مدل ارائه شده توسط دانشگاه استنفورد شبیه‌سازی کاملی روی مدار انجام گرفت.

مراجع

1. Dennard, R.H. et al., (1974), "Design Of Ion-implanted MOSFET's with Very Small Physical Dimensions," IEEE JOURNAL OF SOLID-STATE CIRCUITS, Vol. SC-9, No. 5, pp. 256–268.
2. Chang, L. Frank, D.J., (2010), "Practical Strategies for Power-Efficient Computing Technologies," Proceedings of the IEEE, Vol. 98, No 2, pp 215 – 236.
3. Yong-Bin, K., (2010), "Challenges for Nanoscale MOSFETs and Emerging Nanoelectronics," Transactions on Electrical and Electronic Materials, Vol. 11, No 3, pp 93-105.
4. Durkop, T. Getty, S.A. Cobas, E. Fuhrer, M.S., (2004), "Extraordinary Mobility in Semiconducting Carbon Nanotubes," Nano Letters, Vol. 4, No 1, pp 35–39.
5. Hong, S. Myung, S., (2007), "Nanotube Electronics: A flexible approach to mobility," Nature Nanotechnology, Vol. 2, No 4, pp 207–208.
6. Li, H. Xu, C. Srivastava, N. Banerjee, K., (2009), "Carbon nanomaterials for next-generation interconnects and passives: Physics status and prospects," IEEE Trans. Electron Devices, Vol. 56, no. 9, pp. 1799-1821.
7. Moaiyeri, M. H. Mirzaee, R. Doostaregan, A. Navi, K. Hashemipour, O., (2013), "A universal method for designing low-power carbon nanotube FET-based multiple-valued logic circuits," IET Comput. Digit. Tech., vol. 7, no. 4, pp. 167-181.
8. Deng, J., (2007), "*Device modeling and circuit performance evaluation for nanoscale devices: silicon technology beyond 45 nm node and carbon nanotube field effect transistors*," PhD thesis, Stanford University.
9. Nieuwoudt A. and Massoud, Y., (2007), "High density integrated capacitors using multi-walled carbon nanotubes," IEEE Conference on Nanotechnology, pp 387-390.
10. Tsubaki, K. Nakajima, Y. Hanajiri, T. and Yamaguchi, H., (2006), "Proposal of Carbon Nanotube Inductors," Journal of Physics: Conference Series, Vol 38, pp 49-52.
11. Liu, J. Wang, C. Tu, X. M. Liu, B. L. Chen, L. Zheng, M. Zhou, C. W., (2012), "Chirality- Controlled Synthesis of Single-Wall Carbon Nanotubes Using Vapour-Phase Epitaxy," Nature Commun, 1199 1-3.
12. Yang, F. Wang, X. Zhang, D. Yang, J. Luo, D. Xu, Z. Wei, J. Wang, J. Q. Xu, Z. Peng, F. et al., (2014), "Chirality-Specific Growth of Single-Walled Carbon Nanotubes on Solid Alloy Catalysts," Nature, 510, 522-4.
13. Wei, H. Chen, H. Y. Liyanage, L. Wong, H. S. Mitra, S., (2011), "Air-stable technique for fabricating n-type carbon nanotube FETs," Proc. Int. Electron. Devices Meet., pp. 22-23.
14. Zhang, J. Wang, C. Fu, Y. Che, Y. Zhou, C., (2011), "Air-stable conversion of separated carbon nanotube thin-film transistors from p-type to n-type using atomic layer deposition of high-k oxide and its application in CMOS logic circuits," ACS Nano, Vol. 5, No. 4, pp. 3284-3292.
15. Stanford University CNTFET Model, (2008), Stanford University, Stanford, CA, USA. [Online] Available: http://nano.stanford.edu/model_stan_ cnt.htm
16. Moaiyeri, M.H. Faghih Mirzaee, R. Navi, K. and Hashemipour, O., (2011), "Efficient CNTFET-based Ternary Full Adder Cells for Nanoelectronics," Nano-Micro Letters, Vol. 3, No 1, pp 43-50.
17. Ebrahimi, A. Keshavarzian, P. Sorouri, S. Shahsavari M., (2012), "Low Power CNTFET- Based Ternary Full Adder Cell for Nanoelectronics," International Journal of Soft Computing and Engineering (IJSCE), Vol. 2, No. 2, pp 291-295.
18. Keshavarzian, P. Sarikhani, R., (2014), "A novel CNTFET-based ternary full adder," Circuits Syst. Signal Process, Vol. 33, No. 3, pp 665-679.