

طراحی، شبیهسازی و ارزیابی یک سلول تمام جمع کننده سه ارزشی برمبنای ترانزیستورهای نانولوله کربنی- نسخه دو: بهبود کارایی مهراد آفرین'

۱- کارشناسی ارشد مهندسی کامپیوتر- معماری سیستمهای کامپیوتری، دانشگاه آزاد اسلامی واحد شهرری m.afarin@iausr.ac.ir

خلاصه

ویژگیهای منحصر به فردی مانند قابلیت انتقال الکتریکی بالستیک، تحرک پذیری بالای حاملها، چگالی جریان زیاد، تقارن باند الکتریکی و عدم پیوندهای آویزان از یک سو و قابلیت تنظیم ولتاژ آستانه و در نتیجه امکان پیادهسازی منطق چند ارزشی از سوی دیگر، ترانزیستورهای مبتنی بر نانولوله کربنی را در شمار یکی از مهمترین گزینه به منظور جایگزینی با ترانزیستورهای MOSFET قرار داده اند. امروزه یکی از بخشهای مهم بسیاری از سیستمهای VLSI مانند واحد محاسبه پردازنده ها، ریز پردازنده های پردازنده های سیگنال های دیجیتال و پردازنده های صدا و تصویر، سلول تمام جمع کننده است. علاوه بر این مانند واحد محاسبه پردازنده ها، ریز پردازنده های پردازنده های سیگنال های دیجیتال و پردازنده های صدا و تصویر، سلول تمام جمع کننده است. علاوه بر این، تمام جمع کننده ها پایه و اساس بسیاری از مدارهای محاسباتی دیگر مانند تفریق گر، تقسیم گر، ضرب گر، کمپرسور، مقایسه گر، مدار محاسبه آدرس و مدار بررسی توازن را تشکیل میدهند. با توجه به این پیش زمینه و درک اهمیت غیرقابل انکار جمع کننده ها در سیستمهای VLSI بر آن شدیم تا در این مقاله به ارائه یک تمام جمع کننده سه ارزشی کارآمد بر مبنای ترانزیستورهای نانولوله کربنی پردازیم و ضمنا در کنار آن مروری بر تاریخچه ترانزیستورهای نانولوله کربنی و انواع مختلف آنها بنماییم.

کلمات کلیدی: نانوتکنولوژی (Nanotechnology)، ترانزیستور نانولوله کربنی (CNTFET)، منطق چند ارزشی (MVL)، جمع کننده (Full Adder)، منطق سه ارزشی (Ternary)

۱. مقدمه

اولین ترانزیستور اثر میدانی مبتنی بر نانولولهی کربنی (CNTFET) در سال ۱۹۹۸ توسط Tans و گروهش در مرجع [۱] گزارش شد، این ترانزیستور دارای ساختاری گیت-پشت^امی باشد، که از یک لایهی ضخیم SiO₂ به عنوان اکسید گیت و از یک سیلیکون با ناخالصی زیاد به عنوان گیت برای کنترل هدایت استفاده می کند [۱]. در سال ۲۰۰۱ از عایق SiO₂ به جای SiO₂ به منظور کنترل پذیری بهتر گیت استفاده شد [۲]. پس از آن در سال ۲۰۰۲ ساختار ترانزیستوری گیت-بالا^۲ به جای ۲۰۰۱ از عایق SiO₂ به جای SiO₂ به منظور کنترل پذیری بهتر گیت استفاده شد [۲]. پس از آن در سال ۲۰۰۲ ساختار ترانزیستوری گیت-بالا^۲ به جای گیت-بالا^۲ به جای SiO₂ به منظور کنترل پذیری بهتر گیت استفاده شد [۲]. پس از آن در سال ۲۰۰۲ ساختار ترانزیستوری گیت-بالا^۲ به جای گیت-بالا^۲ به جای در سال ۲۰۰۲ از عایق SiO₂ به منظور بهبود کامید این استفاده گردید [۳]. در همان سال از عایق دی اکسید هافنیم (GHC) به جای دی-گیت-بالا^۲ به جای گیت-پشت به منظور بهبود خاصیت الکترواستاتیک کانال، استفاده گردید [۳]. در همان سال از عایق دی اکسید هافنیم (GNC) به جای دی-اکسید سیلیسیم (SiO₂) به منظور بهبود کنترل پذیری گیت بر روی جریان کانال استفاده شد [۴]. سپس از فلزات مختلفی همچون تیتانیوم، نیکل، آلومینیوم، پالادیوم و ... به عنوان سورس و درین، استفاده گردید، که در نتیجه درین و سورس از جنس تیتانیوم به عنوان مورد بهینه در کاهش مقاومت اتصال فلز –نانولوله گزارش شد. سرانجام ترانزیستور ساخته شده با سورس و درین فلزی از جنس پالادیوم، الکترود گیت از جنس آلومینیوم و عایق گیت از جنس دی اکسید هافنیم بر برای بدست آوردن مشخصات کا عالی گزارش شد [۵].

شروع طراحی گیتهای منطقی بر مبنای ترانزیستورهای نانولولهی کربنی در سال ۲۰۰۱ بود، که در این سال گیتهای NOR، NOT، یک سلول SRAM و یک اسیلاتور حلقهای AC سه-گامه ارائه شدند [۲]. سپس در سال ۲۰۰۶ اسیلاتور پنج-گامه مطرح گردید [۷].

¹ Back-Gate

² Top-Gate



اولین کار برای طراحی مدارهای چند ارزشی مبتنی بر ترانزیستور نانولوله کربنی در سال ۲۰۰۵ ارائه شد [۸]، که به دلیل مصرف توان ایستای بالا، مشخصه ی جریان-ولتاژ غیر ایده آل و مشخصه ی انتقال ولتاژ (VTC) نامناسب چندان مناسب نبود. گروه Lombardi در سال ۲۰۱۱ با تغییر در طراحی مدار، توانست تا حد زیادی مشکلات مدار قبلی را مرتفع نماید [۹]. در سال ۲۰۰۶ شرکت IBM اعلام کرد که اولین مدار مجتمع مبتنی بر نانولوله های کربنی را ساخته است [۱۰]. در سال ۲۰۰۷، Peng به همراه همکارش در دانشگاه استنفورد مدلی استاندارد را برای شبیه سازی مدارهای مبتنی بر ترانزیستورهای نانولوله با طول کانال ۳۲ نانومتر در قالب نرمافزار HSPICE و همچنین مدلی استاندارد به منظور سنتز این مدارها با استفاده از کد Perilog را ارائه داد [۱۱ و ۱۲]. در سال ۲۰۰۸ مدار مجتمعی ساخته شد، که از نانولوله های کربنی فلزی به عنوان میان اتصالات در مدار استفاده از کد Perilog را ارائه داد [۱۱ و ۲۲]. در سال ۲۰۰۸ مدار مجتمعی ساخته شد، که از نانولوله های کربنی فلزی به عنوان میان اتصالات در مدار استفاده می کرد، این مدار می توانست با فرکانس بیش از ۱ گیگاهر تز کار کند [۳]، در ساخته شد، که از نانولوله های کربنی فلزی به عنوان میان اتصالات در مدار استفاده می کرد، این مدار می توانست با فرکانس بیش از ۱ گیگاهر تز کار کند [۳]، در ساخته شد، که از نانولوله های کربنی فلزی به عنوان میان اتصالات در مدار استفاده می کرد، این مدار می توانست با فرکانس بیش از ۱ گیگاهر تز کار کند [۳]، در ساخته شد، که از نانولوله های کربنی فلزی به عنوان میان اتصالات در مدار استفاده می کرد، این مدار می توانست با فرکانس بیش از ۱ گیگاهر تز کار کند [۳]، در ساخته شد، که از نانولوله های کربنی فلزی به عنوان میان اتصالات در مدار استفاده می کرد، این مدار می توانست با فرکانس بیش از ۱ گیگاهر تز کار کند [۳]، در ساخته شد، که از نانولوله های کربنی قداره استفورد موفق به ساخت کامپیوتر مبتنی بر ترانزیستورهای نانولوله کر کردنی از در ۱۰ در از ۱۰ در ازه مداره از ۱۰ در از ۱۰ مدان از در از از ۲۰۱۵ در در ازه مداره با طول کانال زیر ۱۰ نانومتر ارائه دادند [۱۰]. و ۱۹/۱

۲. مروری بر انواع ترانزیستورهای مبتنی بر نانولولههای کربنی

اولین نوع ترانزیستورهای نانولوله کربنی ترانزیستورهایی با سد شاتکی یا SB-CNTFET بود. ساختار این نوع ترانزیستور در شکل ۱ نمایش داده شده است. SB-CNTFET از درین و سورس فلزی استفاده می کند و بر اساس تونلزنی مستقیم از طریق مانع شاتکی^ععمل می کند. در این نوع ترانزیستور، نقاط تماس درین و سورس مستقیم به کانال ذاتی نانولوله متصل است، بنابراین، انتظار میرود که در نقاط تماس، اتصال فلز-نیمهرسانا، یک سد شاتکی را ایجاد کند [۱۸، ۱۹].





در ترانزیستورهای SB-CNTFET، ارتفاع مانع شاتکی در حقیقت به اندازهی V_{GS} – V_{DS} میباشد، بنابراین این ارتفاع میتواند توسط ولتاژ گیت و ولتاژ درین کنترل شود و در نتیجه، رسانایی متقابل این ترانزیستور وابسته به ولتاژ گیت و درین است. شکل ۲ دیاگرام باند انرژی یک ترانزیستور SB-CNTFET را در شرایط مختلف بایاس نشان میدهد، دیاگرام باند انرژی، در حقیقت، پتانسیل نقاط مختلف یک ترانزیستور را نشان میدهد، همان گونه که مشاهده می شود، بسته به بایاس اعمال شده، تعداد موانع شاتکی ایجاد شده و نوع حامل هایی که می توانند از عرض مانع تونل بزنند، متفاوت است.

در صورتی که ولتاژ گیت از ولتاژ درین بیشتر باشد، در باند هدایت نانولوله، در محل هر اتصال، یک مانع شاتکی وجود خواهد داشت و الکترونهایی که در سمت سورس از مانع موجود عبور می کنند و به باند هدایت نانولوله وارد می شوند، در مقابل مانع شاتکی دوم در سمت درین، قرار گرفته و در صورت دارا بودن انرژی مورد نیاز، می توانند از این مانع نیز تونل بزنند، بنابراین، در این حالت، دو مانع شاتکی بر سر انتقال الکترونها وجود دارد، علاوه بر آن، الکترونهایی که نتوانند از مانع دوم عبور کنند، دوباره به درون کانال بازتابش می شوند و حرکت سایر الکترونهای عبوری را دشوار می سازند، با توجه به آنچه گفته شد، برای محاسبهی جریان ترانزیستور در این حالت، باید احتمال تونل زنی الکترونها از هر دو مانع محاسبه شود، همچنین باید اثرات بازتابش الکترونها، در نظر گرفته شود، برای این کار از این نکته استفاده می شود که وقتی احتمال عبور از یک مانع شاتکی T باشد، احتمال بازتاب از آن T – T است.

³ Interconnects

⁴ Schottky Barrier



در صورتی که ولتاژ گیت و درین با هم برابر باشند، مانع شاتکی در سمت اتصال درین از بین میرود و جریان ترانزیستور فقط ناشی از تونلزنی الکترونها از مانع موجود در باند هدایت در ناحیهی اتصال سورس میباشد.

در صورتی که ولتاژ درین از ولتاژ گیت بیشتر شود، در سمت درین، یک مانع شاتکی در باند ظرفیت ایجاد می شود، این مانع امکان تونل زنی حفرهها را از اتصال درین به باند ظرفیت نانولوله میسر می سازد، بدین ترتیب در این حالت جریان ترانزیستور از حاصل جمع جریان های تونل زنی ناشی از الکترون ها از باند هدایت در سمت سورس و حفرهها از باند ظرفیت در سمت درین، بدست می آید.

این ترانزیستورها دو مشکل اساسی دارند، اول آن که به دلیل تفاوت عمدهی نوع ماده در سورس و درین (فلز) با کانال (نانولولهی نیمهرسانا) و در نتیجه عدم تطابق سطوح فرمی، در محل اتصال سورس و درین با کانال، سد شاتکی ایجاد می شود و این سد انرژی باعث افت چشمگیر ترارسانایی ترانزیستور در حالت روشن شده و جریان حالت روشن ترانزیستور را کاهش می دهد، بدین ترتیب سرعت عملکرد ترانزیستور نیز کاهش می یابد. از طرفی، این نوع ترانزیستور در شرایطی که V_{DS} > V_{DS} باشد، دارای خاصیت دو قطبی همزمان است که باعث محدود شدن کاربرد آن در معماری های متداول CMOS می گردد. همان طور که می دانیم، در ترانزیستورها تک قطبی، تنها یک نوع حامل بار (الکترون یا حفره) در ایجاد جریان الکتریکی نقش دارند، در حالی که در ترانزیستورهای دو قطبی هر دو حامل اکثریت و اقلیت همزمان در ایجاد جریان نقش دارند. به عنوان مثالی از ترانزیستورهای تک قطبی می توان به ترانزیستورهای اثر میدانی اشاره کرد و در مورد ترانزیستورهای دو قطبی می توان به ترانزیستورهای پیوندی اشاره کرد. همان طور که می دانیم، تنها از ترانزیستورهای اثر میدانی اشاره کرد و در مورد



شکل ۲- دیاگرام باند انرژی یک ترانزیستور SB-CNTFET در شرایط مختلف بایاس



به منظور رفع اثرات نامطلوب ترانزیستورهای SB-CNTFET، ساختار جدیدی به نام C-CNTFET پیشنهاد شد، که مشابه ترانزیستورهای اثر میدانی تک قطبی MOSFET، اما با سرعت بسیار بیشتر و مصرف توان کمتر بود، از آنجایی که این ترانزیستورها بسیار شبیه به ساختار MOSFET مرسوم هستند، از اینرو، با نام ترانزیستورهای شبیه ماسفت یا MOSFET-Like CNTFET نیز خوانده می شوند. شکل ۳ و ۴ به ترتیب ساختار نوع N و نوع P این ترانزیستور را نشان می دهند [۱۵ و ۱۹].



در اینگونه ترانزیستورها، به نانولوله در بخشهای نزدیک اتصالات درین و سورس ناخالصی اضافه میشود و قسمتی از نانولوله که در زیر گیت قرار دارد، خالص باقی میماند، بنابراین، همانطور که مشاهده میشود، این ساختار مشابه ترانزیستورهای مرسوم MOSFET است، با این تفاوت که در این ساختار، به ناحیهای از کانال که در زیر گیت قرار دارد، ناخالصی اضافه نمی گردد.

ترانزیستورهای C-CNTFET در مقایسه با SB-CNFET دارای دو مزیت عمده میباشند، اول اینکه، عدم وجود سطح شاتکی در این ترانزیستورها باعث کاهش مقاومت اتصال، افزایش سرعت و جریان خروجی بیشتر در حالت روشن می شود. دوم اینکه، با اعمال ناخالصی نوع N در ترانزیستور NCNTFET حامل های اقلیت که در اینجا حامل های نوع P هستند، در سمت درین فروکش کرده و جریان ترانزیستور فقط شامل الکترون هایی می شود، که از سورس به درین می روند و جهت جریان هم عکس حرکت الکترون هاست، اما در ترانزیستورهای PCNTFET، با اعمال ناخالصی نوع P، حامل های اقلیت که در اینجا حامل های نوع N هستند، در سمت درین فروکش کرده و جریان ترانزیستورهای PCNTFET، با اعمال ناخالصی نوع P، حامل های اقلیت که در اینجا حامل-های نوع N هستند، در سمت درین فروکش کرده و جریان ترانزیستورهای PCNTFET، با اعمال ناخالصی نوع P، حامل های اقلیت که در اینجا حامل-این حفره ها خواهد بود. با توجه به این مطالب، ترانزیستور فقط شامل حفره هایی است که از سورس به درین می وند و جهت جریان نیز، هم جهت این حفره ها خواهد بود. با توجه به این مطالب، ترانزیستور TFET تک قطبی بوده و این موضوع، سبب می شود که بتوان از این ترانزیستور در کاربردهای مکملی (CMOS) استفاده کرد، همچنین، این ویژگی با محدود کردن جریان تونل زنی، باعث کاهش جریان حالت خاموش ترانزیستور نیز خواهد شد، علاوه بر این، مشخصه جریان –ولتاژ این ترانزیستور شباهت بیشتری با MOSFET دارد و از مقیاس پذیری بالاتری نیز برخوردار می باشد.

مشکل مهم ترانزیستور C-CNTFET، انباشته شدن ۲لکترونها (یا حفرهها) در ناحیهی ذاتی نانولوله در زیر گیت است، در ترانزیستورهای نوع N اگر حفرهها بتوانند از سمت درین، به کاانال ذاتی تونل بزنند، احتمال کمی وجود دارد، که بتوانند از کانال ذاتی به سورس تونل بزنند، بنابراین به مرور زمان این بارها در کانال زیر گیت انباشته خواهند شد، در ترانزیستورهای نوع P نیز همین گونه است، الکترونهایی که از سمت درین، به کانال تونل میزنند، نمی توانند آنجا را ترک کنند و انباشته می شوند، این بارهای انباشته شده سبب می گردد، که گیت نتواند، به صورت موثری نوارهای و باندهای انرژی را برای خاموش کردن افزاره حرکت دهد و کنترل گیت بر روی کانال کم خواهد گردید، با کاهش طول کانال، اثر این پدیده شدیدتر می شود.

⁵ Pile-Up



برای مقابله با مشکل انباشته شدن حاملها در ترانزیستورهای C-CNTFET، نوع سوم ترانزیستورهای نانولولهی کربنی، با نام ترانزیستور نانولوله کربنی با تونل-زنی باند به باند یا T-CNTFET ارائه شدند، ساختار این ترانزیستورها در شکلهای ۵ و ۶ نمایش داده شده است [۱۸ و ۱۹].



همان طور که ملاحظه می گردد، این ترانزیستور مشابه ترانزیستور C-CNTFET است، با این تفاوت که کانال نزدیک به سورس در ترانزیستور نوع N با ناخالصی نوع P و در ترانزیستور نوع P با ناخالصی نوع N دوپینگ شده است، این موضوع سبب می شود، که حفره ها و الکترون ها تونل زده به کانال ذاتی، بتوانند به راحتی به سمت سورس منتقل شده و در کانال زیر گیت تجمع نکنند، با این کار علاوه بر کنترل بهتر گیت بر کانال در حالت روشن، در حالت خاموش نیز با ایجاد سدی در دو طرف هر دو جریان تونل زنی حفره ها و الکترون ها فروکش کرده و جریان زیر آستانه فقط ناشی از جریان ترمویونیک باندهای انرژی خواهد بود. بنابراین انتظار داریم، که این ترانزیستور دارای جریان حالت خاموش و عکس شیب زیر آستانه ی سیار کمی باشد، که آن را برای کاربردهای بسیار کم مصرف و زیر آستانه مناسب می سازد. مشکل این ترانزیستور این است که با ایجاد شدن سدی مقابل حامل های اکثریت در سمت سورس، انتظار داریم که جریان حالت روشن بسیار کاهش یابد و ترانزیستور دارای سرعت مناسبی نباشد.

شکل ۷ و ۸ به ترتیب دیاگرام باند انرژی ترانزیستور C_CNTFET و T-CNTFET را نشان میدهند، که با اعمال ولتاژ گیت، ارتفاع سد وسط قابل تغییر است. با توجه به مزایا و معایب بحث شده در مورد انواع ترانزیستورهای مبتنی بر نانولوله و نیز با توجه به شباهت بسیار زیاد C-CNFET با MOSFET از لحاظ ساختار، مشخصههای ذاتی و عملکرد، برای طراحی مدار پیشنهادی در این مقاله، از این نوع ترانزیستور استفاده می شود.



شکل ۷- دیاگرام باند انرژی یک ترانزیستور C-CNTFET





۳. طراحی تمام جمع کنندهی سه ارزشی پیشنهادی

هدف اصلی طرح پیشنهادی اول (نسخه یک ارائه شده در همین کنفرانس) در حقیقت بهینه سازی سرعت بود، اما هدف اصلی این مقاله ایجاد یک تعادل و توازنی بین سرعت و مصرف توان و در حقیقت افزایش کارآمدی مدار پیشنهادی می باشد. با توجه به اینکه در طرح پیشنهادی اول، در دو منطقی که نیاز به تقسیم ولتاژ و تولید منطق از منبع تغذیه به زمین ایجاد می شد و این موضوع سبب افزایش مصرف توان ایستای مدار می گردید، لذا، در صدد برآمدیم تا این موضوع را بر طرف نماییم، بدین منظور، در شبکه تقسیم ولتاژ مدار تولید کننده ی *Model موضوع را بر طرف نماییم، بدین منظور، در شبکه تقسیم و*لتاژ مدار تولید کننده ی *Model موضوع را بر طرف نماییم، بدین منظور، در شبکه تقسیم و*لتاژ مدار تولید کننده ی *Sum* و مدار تولید کننده کار تا دو ترانزیستور اتصال دیودی استفاده می-موضوع را بر طرف نماییم، بدین منظور، در شبکه تقسیم ولتاژ مدار تولید کننده ی *Sum* و مدار تولید کننده ی *Cout و توان ایستای مدار می گردید، الذا، در صدد بر آمدیم تا این موضوع را بر طرف نماییم، بدین منظور، در شبکه تقسیم ولتاژ مدار تولید کننده ی <i>Sum* و مدار تولید کننده ی می کرده، اما در عوض یک مقدار کمی به تاخیر می مرف و از ایستای مدار کاسته می گرده، اما در عوض یک مقدار کمی به تاخیر مدار افزوده می گرده ما در زندی منطق های بالا و پایین (V_d و 0) توسط مدار اتصال دیودی می باشد. مقدار کایرالیتی ترانزیستورهای اتصال دیودی را مدار افزوده می گرده ما در غوض یک مقدار پیشنهادی دوم را مدار افزوده می گرده تا فیلتر شدن منطق های بالا و پایین (V_d و 0) توسط مدار اتصال دیودی می باشد. مقدار کایرالیتی ترانزیستورهای اتصال دیودی را مدار افزوده می گرده تا فیلتر منطق های بالا و پایین بسیار کم شود و این منطق ها بتوانند آسان تر عبور کنند. شکل ۹ طرح شماتیک کلی مدار پیشنهادی دوم را شان می هردا.

۴. شبیه سازی، مقایسه و ارزیابی طرح پیشنهادی

شبیه سازی مدار پیشنهادی با استفاده از نرمافزار HSPICE، بر مبنای مدل ارائه شده توسط محققان دانشگاه استنفورد صورت گرفته است [۲۰ و ۲۱]. این شبیه-سازی در شرایط استاندارد با منبع تغذیه ۰۸ ولت، در دمای اتاق و در فرکانس کاری ۱۰۰ مگاهر تز انجام گرفته است. همچنین به منظور ارزیابی قابلیت درایو بار خازن و قدرت رانش مدار، در خروجی مدار در هر دو گرهی Sum و Cout حازنهای بار ۲ فمتو فارادی مورد استفاده قرار گرفته است. بر این اساس، ما طرح پیشنهادی خود را در فاز گذرا³شیه سازی کرده و پاسخ گذرای مدار پیشنهادی را در حوزهی زمان استخراج کرده و بر اساس آن شکل موج خروجی مدار را بدست می آوریم تا مدار را از لحاظ عملکرد بررسی نماییم. شکل ۱۰ الگوی ورودی و شکل موج خروجی مدار در حوزه زمان را نشان می دهد. علاوه بر این نتایج دیگر شبیه سازی، شامل بدترین سناریوی تاخیر^۲ مصرف توان متوسط^۸و مصرف انرژی متوسط^۴مدار پیشنهادی محاسبه شده و در جدول ۱ با مدار پیشنهادی اول و سایر مدارهای ارائه شدهی قبلی در این مقایسه شده است.

⁶ Transient

⁷ Worst-Case Delay

⁸ Average Power Consumption

⁹ Average Energy Consumption (Power-Delay Product)





شکل ۹- شماتیک کامل سلول تمام جمع کننده سه ارزشی پیشنهادی

مصرف انرژي	مصرف توان متوسط	حداكثر تاخير	
(× 10 ⁻¹⁵ J)	(× 10 ⁻⁶ W)	(× 10 ⁻¹² s)	
1.806	6.361	283.8	اولين تمام جمع گر مرجع [۲۲]
5.152	19.71	261.4	دومین تمام جمع گر مرجع [۲۲]
0.5645	1.462	386.1	تمام جمع گر مرجع [۲۳]
0.367	2.209	166.1	تمام جمع گر مرجع [۲۴]
1.7386	26.836	64.786	تمام جمع گر پیشنهادی اول
1.6522	11.073	149.21	تمام جمع گر پیشنهادی دوم

جدول ۱- مقایسه نتایج شبیهسازی مدار پیشنهادی با مدارهای ارائه شده قبلی



شکل ۱۰ - شکل موجهای ورودی و خروجی مدار پیشنهادی در حوزه زمان

۵. نتیجهگیری

در این مقاله مرور جامعی بر روی ترانزیستورهای نانولوله کربنی صورت گرفت و بر اساس آن مشخص شد که ترانزیستورهای MOSFET-Like CNTFET بیشترین شباهت را از لحاظ خواص الکتریکی به همتایان MOSFET خود دارند و از این لحاظ بهترین گزینه برای بکارگیری در مدارهای CMOS به حساب می آیند. با این حال هدف اصلی این مقاله ایجاد توازنی بین سرعت و مصرف توان در مدار جمع گر بود. بر این اساس یک تمام جمع کننده سه ارزشی کارآمد بر مبنای ترانزیستورهای نانولولهی کربنی ارائه گردید که در کل دارای ۳۷ ترانزیستور بود. در ادامه شبیه سازی کاملی به وسیلهی شبهساز HSPICE روی مدار انجام گرفت و نتایج شبیه سازی با کارهای ارائه شده قبلی مقایسه گردید.

مراجع

- Tans, S.J. Verschueren, A.R.M. Dekker, C., (1998), "Room-Temperature Transistor based on a Single Carbon Nanotube," Nature, Vol. 393, pp. 49-52.
- Bachtold, A. Hadley, P. Nakanishi, T. Dekker, C., (2001), "Logic Circuits with Carbon Nanotube Transistors" Science, Vol. 294, pp 1317-1320.
- 3. Wind, S.J. Appenzeller, J. Martel, R. Derycke, V. and Avouris, Ph., (2002), "Vertical Scaling of Carbon Nanotube Field-Effect Transistors using Top Gate Electrodes," Appl. Phys. Lett., Vol. 80, pp 3817-3819.
- 4. Javey, A. et al., (2002), "High K Dielectrics for Advanced Carbon Nanotube Transistors and Logic Gates," Nature Materials, Vol. 1, pp 241-246.



- 5. Javey, A. et al., (2003), "Advancements in Complementary Carbon Nanotube Field-Effect Transistors," IEDM '03 Technical Digest. IEEE International, pp 31.2.1-31.2.4.
- 6. Marulanda, J.M., (2009), "CURRENT TRANSPORT MODELING OF CARBON NANOTUBE FIELD EFFECT TRANSISTORS FOR ANALYSIS AND DESIGN OF INTEGRATED CIRCUITS," VDM Verlag Dr. Muller
- Chen Z. et al., (2006), "An Integrated Logic Circuit Assembled on a Single Carbon Nanotube," Science, Vol. 311, No 5768, pp 1735.
- 8. Raychowdhury, A. Roy, K., (2005), "Carbon-Nanotube-Based Voltage-Mode Multiple-Valued Logic Design," IEEE Transactions on Nanotechnology, Vol. 4, No. 2, pp 168-179.
- Lin, S. Kim, Y.B. and Lombardi, F., (2011), "CNTFET-Based Design of Ternary Logic Gates and Arithmetic Circuits," IEEE Transactions on Nanotechnology, Vol. 10, No 2, pp 217-225.
- 10. IBM builds first IC around a single carbon nanotube [Online]:

Available: http://phys.org/news/2006-03-ibm-ic-carbon-nanotube.html

- Deng, J. Wong, H.S.P., (2007), "A Compact SPICE Model for Carbon-Nanotube Field-Effect Transistors Including Nonidealities and Its Application—Part I: Model of the Intrinsic Channel Region," IEEE TRANSACTIONS ON ELECTRON DEVICES, Vol. 54, No. 12, pp 3186-3194.
- Deng, J. Wong, H.S.P., (2007), "A Compact SPICE Model for Carbon-Nanotube Field-Effect Transistors Including Nonidealities and Its Application—Part II: Full Device Model and Circuit Performance Benchmarking," IEEE TRANSACTIONS ON ELECTRON DEVICES, Vol. 54, No. 12, pp 3195-3205.
- 13. Close, G.F. Yasuda, S. Paul, B. Fujita, S. and Wong, H. P., (2008), "A 1 GHz Integrated Circuit with Carbon Nanotube Interconnects and Silicon Transistors," Nano Letters, Vol. 8, No 2, pp 706.
- Shulaker, M.M. Hills, G. Patil, N. Wei, H. Chen, H. Wong, H.S.P. Mitra, S., (2013), "Carbon Nanotube" Compute. Nature, Vol. 501, pp 526–530.
- Luo, J. et al., (2013), "Compact Model for Carbon Nanotube Field-Effect Transistors Including Nonidealities and Calibrated With Experimental Data Down to 9-nm Gate Length," IEEE TRANSACTIONS ON ELECTRON DEVICES, Vol. 60, No. 6, pp 1834-1843.
- 16. Lee, C.S. et al., (2015), "A Compact Virtual-Source Model for Carbon Nanotube FETs in the Sub-10-nm Regime—Part I: Intrinsic Elements," IEEE TRANSACTIONS ON ELECTRON DEVICES, Vol. 62, No. 9, pp 3060-3069.
- Lee, C.S. et al., (2015), "A Compact Virtual-Source Model for Carbon Nanotube FETs in the Sub-10-nm Regime—Part II: Extrinsic Elements, Performance Assessment, and Design Optimization," IEEE TRANSACTIONS ON ELECTRON DEVICES, Vol. 62, No 9, pp 3070-3078.
- 18. Appenzeller, J. Lin, Y. Knoch, J. Chen, Z. Avouris, P., (2005), "Comparing carbon nanotube transistors—The ideal choice: A novel tunneling device design," IEEE Trans. Electron Devices, Vol. 52, no. 12, pp. 2568-2576.
- Sharifi, F. Moaiyeri, M.H. Navi, K. Bagherzadeh, N., (2015), "Quaternary full adder cells based on carbon nanotube FETs," J. Comput. Electron. 14(3), 762–772.
- 20. Deng, J., (2007), "Device modeling and circuit performance evaluation for nanoscale devices: silicon technology beyond 45 nm node and carbon nanotube field effect transistors," PhD thesis, Stanford University.
- 21. Stanford University CNTFET Model, (2008), Stanford University, Stanford, CA, USA. [Online]. Available: http://nano.stanford.edu/model_stan_ cnt.htm
- 22. Moaiyeri, M.H. Faghih Mirzaee, R. Navi, K. and Hashemipour, O., (2011), "Efficient CNTFET-based Ternary Full Adder Cells for Nanoelectronics," Nano-Micro Letters, Vol. 3, No 1, pp 43-50.
- 23. Ebrahimi, A. Keshavarzian, P. Sorouri, S. Shahsavari M., (2012), "Low Power CNTFET- Based Ternary Full Adder Cell for Nanoelectronics," International Journal of Soft Computing and Engineering (IJSCE), Vol. 2, No 2, pp 291-295.
- 24. Keshavarzian, P. Sarikhani, R., (2014), "A novel CNTFET-based ternary full adder," Circuits Syst. Signal Process, Vol. 33, No 3, pp 665-679.