کنفرانس ملی چشم انداز ۱۴۲۰ و پیشرفت های
تکنولوژیک مهندسی برق، کامپیوتر و فناوری اطلاعات

طراحی، شبیه‌سازی و ارزیابی یک سلول تمام جمع کننده سه ارزشی برمبنای ترانزیستورهای نانولوله کربنی– نسخه سه: بهبود مصرف توان

مهراد آفرین[۱]

۱- کارشناسی ارشد مهندسی کامپیوتر- معماری سیستم‌های کامپیوتری، دانشگاه آزاد اسلامی واحد شهرری

m.afarin@iausr.ac.ir

خلاصه

مزایای قابل ملاحظه منطق چند ارزشی مانند افزایش محتوای اطلاعات، امکان تعریف تعداد توابع بیشتر در سیستم، انتقال و ذخیره فشرده اطلاعات، کاهش پیچیدگی میان‌ارتباط‌ها، کاهش مساحت تراشه، کاهش تعداد پین‌های مدار، افزایش سرعت محاسبات و کاهش توان مصرفی مدار از یک سو و فراهم شدن امکان استفاده از منطق چند ارزشی با بکارگیری ترانزیستورهای نانولوله کربنی از سوی دیگر، باعث شده تا در سال‌های اخیر طراحان حوزه‌ی معماری سیستم-های کامپیوتری تمایل زیادی به طراحی مدارهای چند ارزشی پیدا کنند. لذا با تاکید بر اهمیت بحث کاهش توان در سیستم‌های خاص منظوره و سامانه‌های نهفته، هدف اصلی این مقاله ارائه یک تمام جمع کننده سه ارزشی مبتنی بر ترانزیستورهای نانولوله کربنی برای کاربردهای کم مصرف می‌باشد و ضمنا در کنار آن مروری بر منطق چند ارزشی و مزایای آن خواهیم داشت.

کلمات کلیدی: نانوتکنولوژی (Nanotechnology)، ترانزیستور نانولوله کربنی (CNTFET)، منطق چند ارزشی (MVL)، جمع کننده (Full Adder)، منطق سه ارزشی (Ternary)

۱. مقدمه

در دهه‌های اخیر اکثر مدارهای منطقی بر پایه‌ی منطق دو ارزشی طراحی و پیاده‌سازی شده اند. در مدارهای منطقی دو ارزشه، ولتاژ کاری مدار به دو قسمت تقسیم شده و دو منطق " ۰ " و " ۱ " را ایجاد می‌کند. به دلیل استفاده از منطق دو ارزشی حجم انتقال اطلاعات کم است، بنابراین، برای ارتباط بین المان‌ها از تعداد بیشتری میان‌ارتباط استفاده می‌شود که این امر موجب پیچیدگی میان‌ارتباط‌ها و اشغال فضای زیادی از گیت به دلیل استفاده از آنها می‌گردد. یکی از چالش‌های اصلی در تکنولوژی‌های کنونی، مشکل میان‌ارتباط‌های داخل تراشه است، که نیاز به سطح سیلیکون بسیار زیاد دارد، به طوری که 70% سطح تراشه را میان-ارتباط‌ها، 20% را فضای سفید بین آنها و تنها 10% را ادوات مدار به خود اختصاص می‌دهد. پیچیدگی میان‌ارتباط‌ها، باعث مشکل‌تر شدن جایابی و مسیریابی بین المان‌ها[۱]می‌شود، همچنین سبب افزایش مقاومت مدار و در نتیجه، افزایش تأخیر RC، کاهش سرعت، افزایش توان مصرفی، افزایش مساحت[۲]و افزایش تعداد پین‌های خروجی[۳]مدار خواهد شد. از طرفی، نویز هم‌شنوایی[۴]با افزایش میان‌ارتباط‌ها افزایش خواهد یافت.

افزایش محتوای اطلاعات در هر یک از میان‌ارتباط‌ها سبب صرفه‌جویی در تعداد میان‌ارتباط‌ها و فضای بین آنها و در نتیجه صرفه‌جویی در مساحت کلی مدار می-گردد، انتقال اطلاعات[۵] قوی‌تر و در حجم بیشتری انجام می‌گیرد، بنابراین، از مسیرهای انتقال، بهتر استفاده شده و پهنای باند در انتقال‌های موازی و سریال افزایش می‌یابد.

[1] Placement and Routing Components
[2] Area
[3] Pin-Out
[4] Crosstalk Noise
[5] Data Transfer

۲. مروری بر منطق چند ارزشی و مزایای آن

در ابتدا با استفاده از مثالی، رابطه‌ی بین افزایش مبنا و کاهش میان‌ارتباط‌ها را بررسی می‌کنیم. کد اسکی[6] یک کد دودویی با طول ۷ بیت بوده و امکان کدگذاری استاندارد برای $2^7 = 128$ نوع کاراکتر مختلف را فراهم می‌سازد. یک نسخه‌ی گسترش‌یافته از این کد با بهره‌گیری از ۸ بیت، قابلیت کدگذاری و تبادل $2^8 = 256$ نوع کاراکتر الفبا-عددی[7] را فراهم می‌آورد، بنابراین، در این نسخه‌ی گسترش‌یافته از کد اسکی، برای تبادل داده‌های مربوط به یک کاراکتر، به ۸ خط سیم نیاز است. همان‌طور که گفته شد، در صورت به کارگیری منطق ۳ ارزشه با استفاده از k رقم ۳ ارزشه (k تریت) می‌توان 3^k داده متمایز را نمایش داد، بنابراین برای نمایش ۲۴۳ کاراکتر الفبا-عددی متمایز، تنها به ۵ خط سیم نیاز است (زیرا $3^5 = 243$)، در منطق ۴ ارزشه با ۴ خط سیم می‌توان ۲۵۶ کاراکتر الفبا-عددی متمایز را نشان داد $(4^4 = 256)$. در نهایت، با بهره‌گیری از منطق ترنری ۳۷/۵ درصد و منطق کواترنری ۵۰ درصد در خطوط ارتباطی مورد نیاز صرفه جویی به عمل خواهد آمد.

با کاهش خطوط ارتباطی، مقاومت کلی مدار نیز کاهش خواهد یافت، در نتیجه، سرعت افزایش و توان مصرفی کاهش می‌یابد و همچنین از تعداد پین‌های مدار کاسته می‌شود. از طرفی، چگالی اطلاعات ذخیره شده در واحد حافظه افزایش می‌یابد، زیرا در هر سلول حافظه بجای دو حالت (۰ یا ۱)، مثلاً می‌توان سه حالت (۰ یا ۱ یا ۲) ذخیره کرد، که این یعنی، در یک بایت که شامل ۸ بیت است، بجای 2^8 حالت می‌توان، 3^8 حالت ذخیره کرد. در نتیجه، در مصرف حافظه صرفه‌جویی به سزایی صورت می‌گیرد.

استفاده از منطق چند مقداره امکان تعریف تعداد توابع بیشتری را فراهم می‌آورد، از اینرو، تعداد عملیات لازم برای پیاده‌سازی توابع ریاضی کاهش می‌یابد، به طور کلی، مبناهای بزرگتر در مقایسه با مبناهای کوچکتر امکان تعریف تعداد توابع بیشتری را فراهم می‌کنند. برای اثبات این موضوع، تابع r ارزشی $F(X)$ را با k متغیر در نظر بگیرید، که مجموعه $X = \{x_1, x_2, x_3, \dots, x_k\}$ متغیرهای آن می‌باشد. در این تابع، هر x_i می‌تواند از مجموعه‌ی $R = \{0,1,2, \dots, r-1\}$ مقدار بگیرد. از آنجایی که هر متغیر r رقم دارد و هر رقم می‌تواند r حالت اختیار کند، تعداد جایگشت‌های یک متغیر r^r می‌باشد، تابع $F(X)$ که یک نگاشت به صورت $f: R^k \to R$ می‌باشد، دارای k متغیر است، بنابراین در یک سیستم r ارزشی با k متغیر، امکان تعریف r^{r^k} تابع متفاوت وجود دارد. همان‌گونه که مشخص است، با افزایش مبنا تعداد توابع تعریف شده روس سیستم، به صورت نمایی افزایش یافته و باعث کاهش تعداد عملیات لازم برای پیاده‌سازی توابع می‌گردد.

می‌توان از منطق چند ارزشه برای آزمایش و تعیین درستی عملیات محاسباتی در منطق دو ارزشه استفاده کرد. برای مثال، با تعریف یک منطق سوم برای مشخص کردن درستی یا خطای یک عملیات محاسباتی در مدارهای دودویی می‌توان قابلیت اطمینان[8] این مدارها را بالا برد.

همان‌طور که گفته شد، در سیستم‌های عددی هر چه مبنا بزرگتر باشد، تعداد ارقام مورد نیاز برای بیان یک کارکتر (الفبا و عدد) کمتر می‌شود، این امر به خودی خود منجر به کاهش سیم‌های ارتباطی، تعداد سلول‌های حافظه و نیز تعداد افزاره‌های مورد نیاز برای نمایش ارقام می‌گردد، در نتیجه یکی از مهمترین معیارهای انتخاب مبنای مناسب، کاهش پیچیدگی و هزینه‌ی سخت‌افزاری ناشی از کاهش سربار تعداد ارقام یا ظرفیت رقمی بر سیستم می‌باشد. در نگاه اول پیچیدگی سخت‌افزاری را می‌توان به وسیله‌ی رابطه‌ی (۱) فرمول کرد [۱ و ۲]:

$$C = k \times d \qquad (۱)$$

k یک عدد ثابت و d تعداد ارقام مورد نیاز برای بیان یک عدد می‌باشد. تعداد ارقام مورد نیاز برای بیان N عدد متمایز در مبنای R از طریق رابطه (۲) محاسبه می‌گردد (d رقم داریم که هر رقم می‌تواند R حالت داشته باشد، در نتیجه با محاسبه‌ی تعداد جایگشت‌ها، تعداد اعداد متمایز قابل نمایش بدست می‌آید):

$$N = R^d \Rightarrow d = \log_R(N) \qquad (۲)$$

با ترکیب دو فرمول (۱) و (۲)، فرمول (۳) بدست می‌آید [۱ و ۲]:

---

[6] ASCII
[7] Alphanumeric
[8] Reliability

$$C = k \times \log_R(N) = k(\frac{\lg N}{\lg R}) \quad (۳)$$

توجه فرمایید که $\lg x$ معادل $\log_{10} x$ می‌باشد.

افزایش تعداد ارقام مورد نیاز برای نمایش یک عدد تنها عامل تاثیرگذار بر افزایش پیچیدگی سخت‌افزاری نیست و عامل دیگری به نام سربار مبنا وجود دارد که اثر مستقیم بر پیچیدگی سخت‌افزاری می‌گذارد، زیرا افزایش مبنا سبب افزایش تعداد افزاره‌های مورد نیاز برای ذخیره‌سازی و نمایش یک رقم در مبنای مورد نظر می‌گردد و از اینرو منجر به افزایش پیچیدگی سخت‌افزاری می‌شود. در نتیجه، بین سربار ارقام و سربار مبنا یک مصالحه وجود دارد، اکنون فرمول پیچیدگی سخت‌افزاری را با در نظر گرفتن سربار ارقام و سربار مبنا به صورت زیر بازنویسی می‌کنیم:

$$C = (k_1 \times R)(k_2 \times d) = k \times (R \times d) = k(R\frac{\lg N}{\lg R}) \quad (۴)$$

هدف در اینجا بدست آوردن، کمینه پیچیدگی سخت‌افزاری (C) است. فرض کنید در تابع $f(x)$ می‌خواهیم محاسبه کنیم که به ازای کدام مقدار از x تابع به مینیمم مقدار خود می‌رسد، همان‌طور که می‌دانیم، مینیمم نمودار یک تابع نقطه‌ی اکسترمم‌اش است، برای یافتن نقطه‌ی اکسترمم یک تابع، از آن تابع بر حسب پارامتر مورد نظر (x) ، مشتق گرفته و آن را برابر صفر قرار می‌دهیم، بنابر این در اینجا از تابع C بر حسب R مشتق گرفته و $C' = 0$ قرار می‌دهیم:

$$\frac{dC}{dR} = (k \times \lg N(\frac{R}{\lg R}))' = k \times \lg N\left(\frac{1 \times \lg R - \frac{R \lg e}{R}}{(\lg R)^2}\right) \quad (۵)$$

$$\frac{dC}{dR} = k \times \lg N(\frac{\lg R - \lg e}{(\lg R)^2}) = 0 \quad (۶)$$

$$\Longrightarrow R = e = 2.7182 \Rightarrow \mathrm{R} = 3$$

لازم به توضیح است که:

$$y = \log_a x \Rightarrow y' = \frac{1}{x}\log_a e \quad (۷)$$

$$\frac{d}{dx}\left(\frac{f(x)}{g(x)}\right) = \frac{f'(x)g(x) - f(x)g'(x)}{[g(x)]^2} \quad (۸)$$

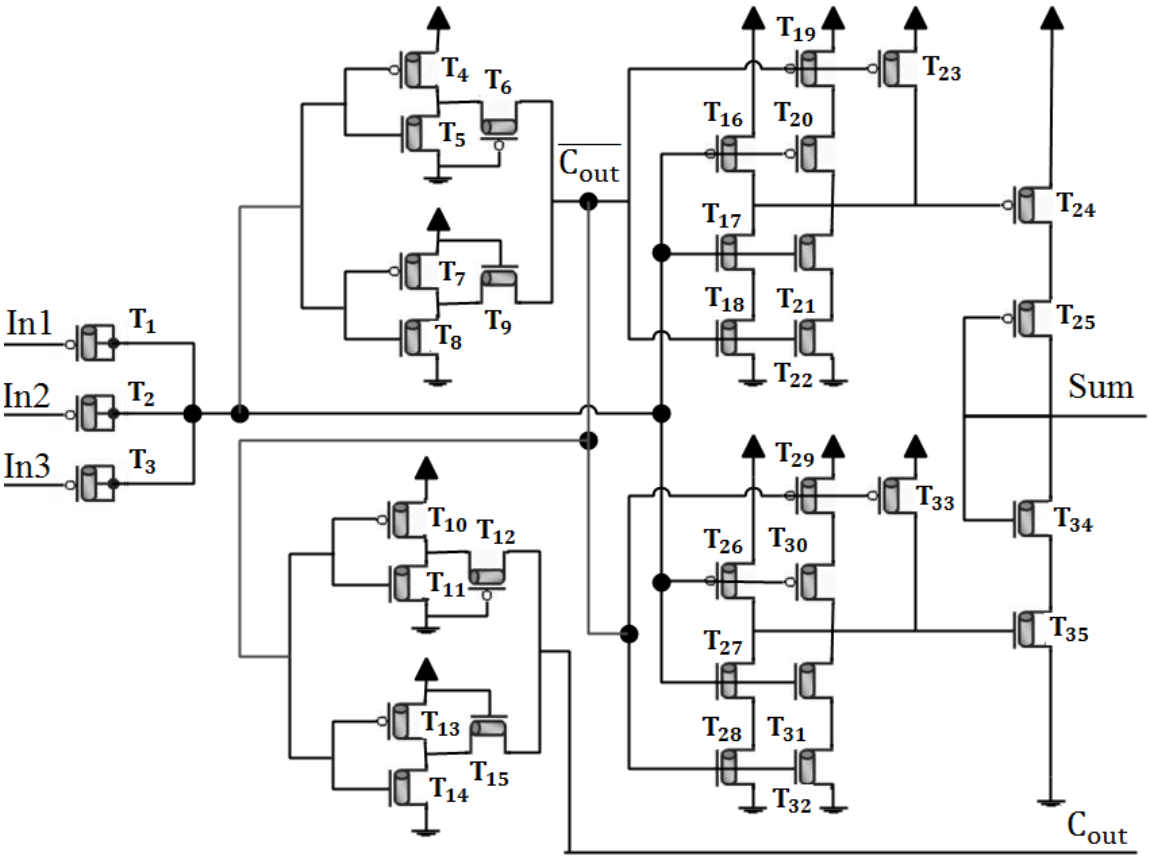
با توجه به نتایج حاصل از محاسبات، مبنای ۳ یا منطق ۳ ارزشی بهترین مبنا از لحاظ کمینه کردن پیچیدگی سخت‌افزاری در سیستم است. به عنوان نتیجه‌ی کلی، در سیستم‌های عددی دو نوع سربار باعث افزایش پیچیدگی سیستم می‌شود، سربار ارقام و سربار مبنا و ثابت کردیم که منطق ۳ ارزشی کمترین سربار مجموع را به سیستم تحمیل می‌کند، بنابراین در این مقاله، مدار تمام جمع کننده پیشنهادی به صورت سه ارزشی طراحی خواهد شد.

۳. طراحی تمام جمع کننده‌ی سه ارزشی پیشنهادی

هدف اصلی این مقاله ارائه یک تمام جمع کننده سه ارزشی کم مصرف برمبنای ترانزیستورهای نانولوله کربنی است. نتایج شبیه‌سازی طرح پیشنهادی اول و دوم (نسخه یک و دو ارائه شده در همین کنفرانس) نشان می‌دهد که مدار تولیدکننده‌ی C_{out} بخش عمده‌ای از مصرف توان متوسط را به خود اختصاص می‌دهد، لذا در طرح سوم درصدد برآمدیم تا این مدار را حذف کرده و از یک مدار جایگزین به منظور تولید C_{out} استفاده نماییم، بدین منظور، جهت تولید C_{out} خروجی مدار $\overline{C_{out}}$ را به یک مدار وارون‌گر سه ارزشی متصل می‌نماییم، این کار تقریباً با حذف مسیر مستقیم از منبع تغذیه به زمین، مصرف توان ایستا و در نتیجه مصرف توان متوسط را تا حد زیادی کاهش خواهد داد، اما در عوض، تأخیر مدار تا حدودی افزایش خواهد یافت. ما در اینجا مدار وارون‌گر ارائه شده در [۸] را انتخاب می‌کنیم، زیرا از تمامی جهات (سرعت، مصرف توان، شکل موج و...) عالی به نظر می‌رسد، اما انتخاب کایرالیتی ترانزیستورها بر اساس جدول ۱ انجام می‌پذیرد. طرح شماتیک کامل مدار پیشنهادی نیز در شکل ۱ ترسیم شده است.

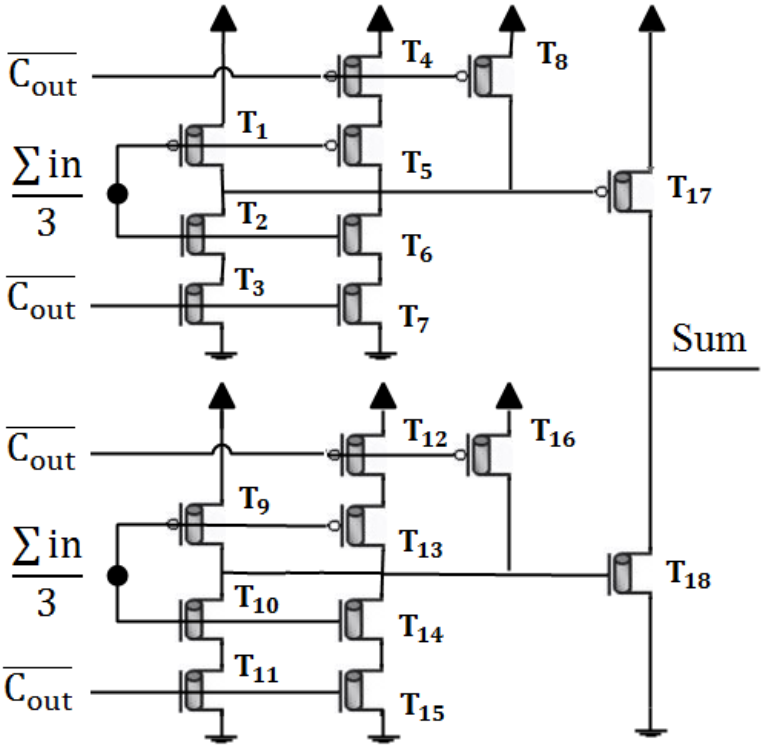
جدول ۱- مشخصات ترانزیستورهای مدار وارون‌گر سه ارزشی در مدار تمام جمع‌کننده سه ارزشی پیشنهادی

ورودی گیت		$\overline{C_{out}}$	$\overline{C_{out}}$	$\overline{C_{out}}$	$\overline{C_{out}}$	0	V_{dd}	
ترانزیستور		**T_1**	**T_2**	**T_3**	**T_4**	**T_5**	**T_6**	
ولتاژ آستانه		0.225	0.225	0.675	0.675	0.60	0.40	(V)
قطر		0.743	1.918	1.918	0.743	1.487	1.096	(nm)
کایرالیته		(9.5,0)	(24.5,0)	(24.5,0)	(9.5,0)	(19,0)	(14,0)	
$\overline{C_{out}}$	$V(\overline{C_{out}})$							C_{out}
2	0.90	OFF	ON	OFF	ON	ON	ON	0
2	0.90	OFF	ON	OFF	ON	ON	ON	0
2	0.90	OFF	ON	OFF	ON	ON	ON	0
1	0.45	OFF	ON	ON	OFF	ON	ON	1
1	0.45	OFF	ON	ON	OFF	ON	ON	1
1	0.45	OFF	ON	ON	OFF	ON	ON	1
0	0	ON	OFF	ON	OFF	ON	ON	2



شکل ۱- شماتیک کامل سلول تمام جمع کننده سه ارزشی پیشنهادی

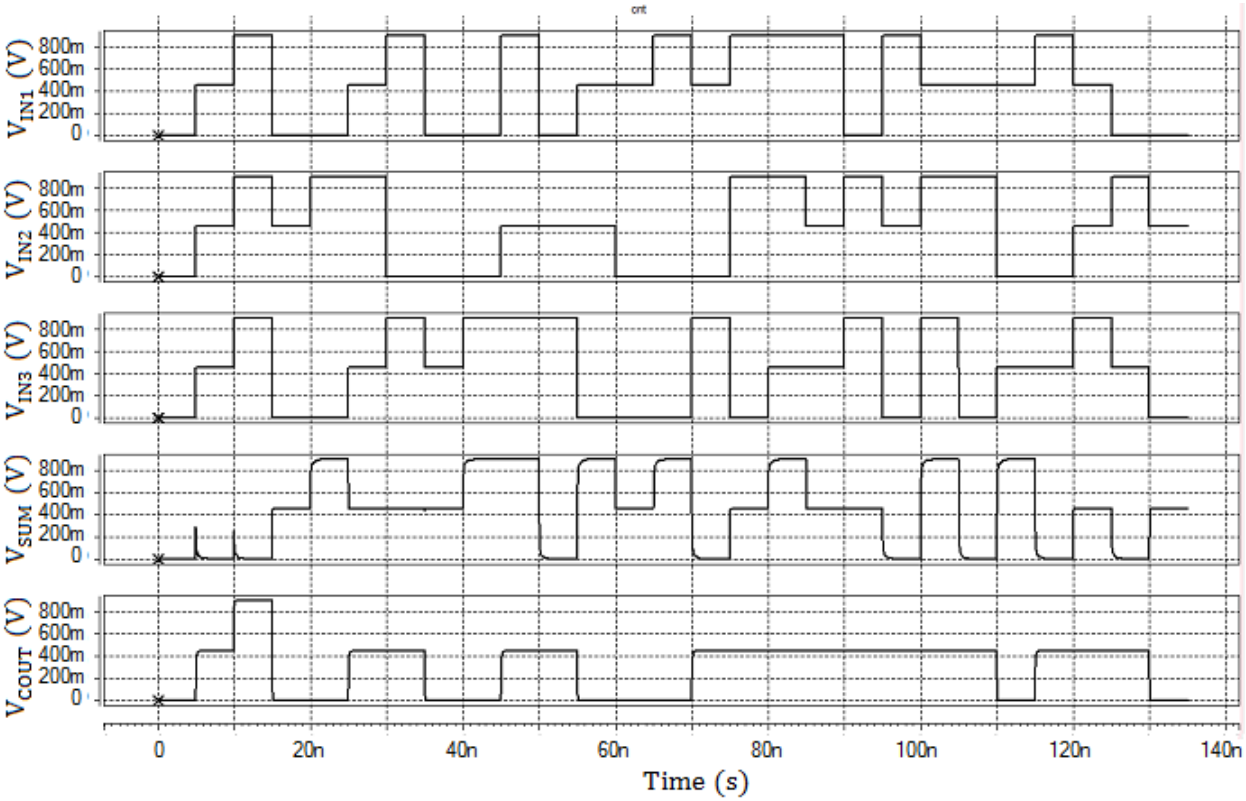
هم اکنون به توضیح جزئیات ایجاد خروجی در ماژول تولیدکننده سیگنال Sum در تمام حالت‌های مختلف می‌پردازیم. شکل ۲ شماتیک این ماژول را نشان می-دهد. در ابتدا مجموع ورودی‌ها صفر است، یعنی $\sum in = 0$ می‌باشد، لذا در شبکه‌ی بالا، ترانزیستور ۱ روشن بوده و با انتقال منطق ۲ از V_{dd}، به ورودی ترانزیستور ۱۷، آن را خاموش می‌کند، در شبکه‌ی پایین، ترانزیستور ۹ روشن است و با انتقال منطق ۲ به ورودی ترانزیستور ۱۸، آن را روشن می‌سازد، بنابراین، خروجی دارای منطق ۰ خواهد شد. هنگامی که $\sum in = 1$ می‌شود، ترانزیستور ۱ که تنها با مجموع ورودی‌های کمتر از ۱ کار می‌کند، خاموش شده و ترانزیستور ۲ روشن می‌شود، از آنجایی که ترانزیستور ۳ نیز به ازای $\overline{C_{out}} = 2$ همواره روشن است، بنابراین، ورودی ترانزیستور ۱۷ دارای منطق ۰ شده و روشن می‌گردد، این در حالیست که ترانزیستور ۹ هنوز روشن است، بنابراین، هر دو ترانزیستور ۱۷ و ۱۸ روشن بوده و تقسیم ولتاژ در گره‌ی خروجی انجام گرفته و منطق خروجی ۱ می‌شود. هنگامی که مجموع ورودی‌ها به $\sum in = 2$ می‌رسد، ترانزیستور ۹ خاموش گردیده و ترانزیستور ۱۰ روشن می‌شود و با روشن بودن ترانزیستور ۱۱ به ازای $\overline{C_{out}} = 2$، ورودی ترانزیستور ۱۸ منطق ۰ به خود گرفته و خاموش می‌شود، در حالیکه با روشن ماندن ترانزیستور ۱۷، گره‌ی خروجی دارای منطق ۲ می‌گردد. با افزایش حاصل جمع ورودی‌ها به $\sum in = 3$ مقدار سیگنال $\overline{C_{out}}$ از ۲ به ۱ تغییر حالت داده و باعث قطع شدن ترانزیستورهای ۳ و ۱۱ می‌شود. از اینرو بخش سمت چپ مدار در هر دو شبکه‌ی بالا و پایین، به طور کامل قطع شده و بخش وسط با روشن شدن ترانزیستورهای ۴ و ۱۲ خروجی مناسب مدار را مهیا می‌کند. به ازای $\sum in = 3$، ترانزیستور ۵ و ۱۳ هنوز روشن هستند و با انتقال منطق ۲، ترانزیستور ۱۷ را خاموش کرده و ۱۸ را روشن می‌سازند، بدین ترتیب خروجی دوباره ۰ می‌شود. به ازای $\sum in = 4$ ترانزیستور ۱۳ همچنان روشن بوده و از طرفی ترانزیستور ۵ خاموش شده و ۶ روشن می‌گردد، در نتیجه، ترانزیستور ۱۷ روشن شده و تقسیم ولتاژ، خروجی را دارای منطق ۱ می‌سازد. با اعمال $\sum in = 5$ ترانزیستور ۱۳ خاموش و ۱۴ روشن می‌گردد، در نتیجه ترانزیستور ۱۸ خاموش شده و با روشن ماندن ترانزیستور ۱۷ خروجی بار دیگر ۲ می‌گردد. در نهایت، هنگامی که $\sum in = 6$ گردد، ترانزیستورهای ۷ و ۱۵ با خاموش شدن خود ارتباط بخش وسط در هر دو شبکه را با زمین قطع می‌کنند و بخش راست با روشن شدن ترانزیستورهای ۸ و ۱۶ فعال می‌شود و با خاموش کردن ترانزیستور ۱۷ و روشن کردن ترانزیستور ۱۸ منطق خروجی را ۰ خواهد کرد.



شکل ۲- طرح شماتیک مدار مولد سیگنال Sum در سلول تمام جمع کننده پیشنهادی

۴. شبیه‌سازی، مقایسه و ارزیابی طرح پیشنهادی

شبیه‌سازی مدار پیشنهادی با استفاده از نرم‌افزار HSPICE، بر مبنای مدل ارائه شده توسط محققان دانشگاه استنفورد صورت گرفته است [۳ و ۴]. این شبیه‌سازی در شرایط استاندارد با منبع تغذیه ۰/۹ ولت، در دمای اتاق و در فرکانس کاری ۱۰۰ مگاهرتز انجام گرفته است. همچنین به منظور ارزیابی قابلیت درایو بار خازن و قدرت رانش مدار، در خروجی مدار در هر دو گره‌ی Sum و C_{out} خازن‌های بار ۲ فمتو فارادی مورد استفاده قرار گرفته است. بر این اساس، ما طرح پیشنهادی خود را در فاز گذرا[9]شبیه‌سازی کرده و پاسخ گذرای مدار پیشنهادی را در حوزه‌ی زمان استخراج کرده و بر اساس آن شکل موج خروجی مدار را بدست می-آوریم تا مدار را از لحاظ عملکرد بررسی نماییم. شکل ۳ الگوی ورودی و شکل موج خروجی مدار در حوزه زمان را نشان می‌دهد. همان‌طور که دیده می‌شود، تمامی سیگنال‌ها دارای نوسان کامل ولتاژ هستند و تقسیم ولتاژ برای تولید منطق ۱ نیز کامل صورت گرفته است. علاوه بر این، نتایج دیگر شبیه‌سازی، شامل بدترین سناریوی تاخیر؛[10]مصرف توان متوسط[11]و مصرف انرژی متوسط[12]مدار پیشنهادی محاسبه شده و در جدول ۲ با مدارهای ارائه شده‌ی قبلی در این زمینه مقایسه شده است. نمودار شکل‌های ۴، ۵ و ۶ مقایسه این نتایج با یکدیگر را نشان می‌دهند.

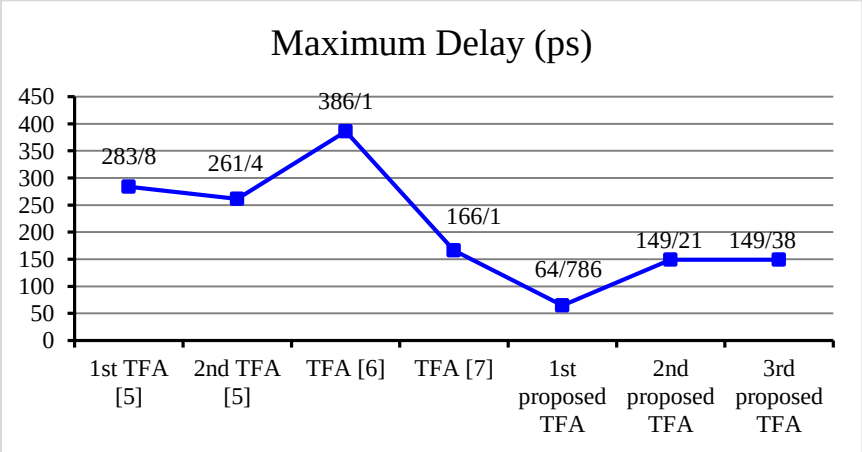


شکل ۳- شکل موج‌های ورودی و خروجی مدار پیشنهادی در حوزه زمان

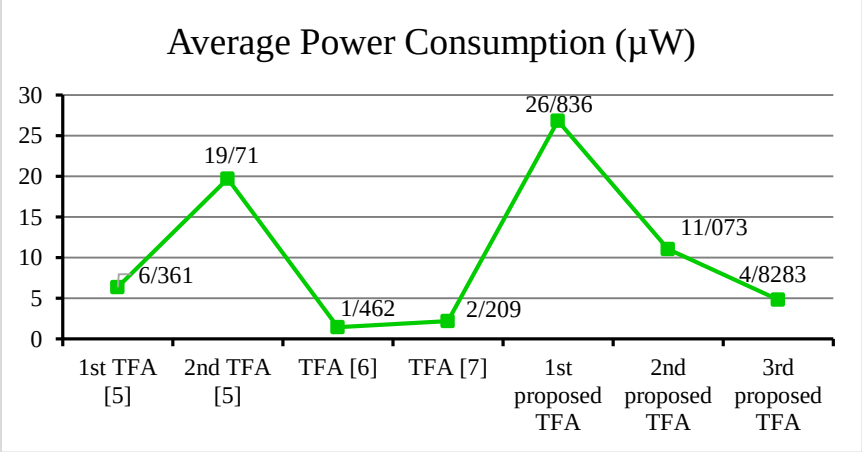
[9] Transient
[10] Worst-Case Delay
[11] Average Power Consumption
[12] Average Energy Consumption (Power-Delay Product)

جدول ۲- مقایسه نتایج شبیه‌سازی مدار پیشنهادی با مدارهای ارائه شده قبلی

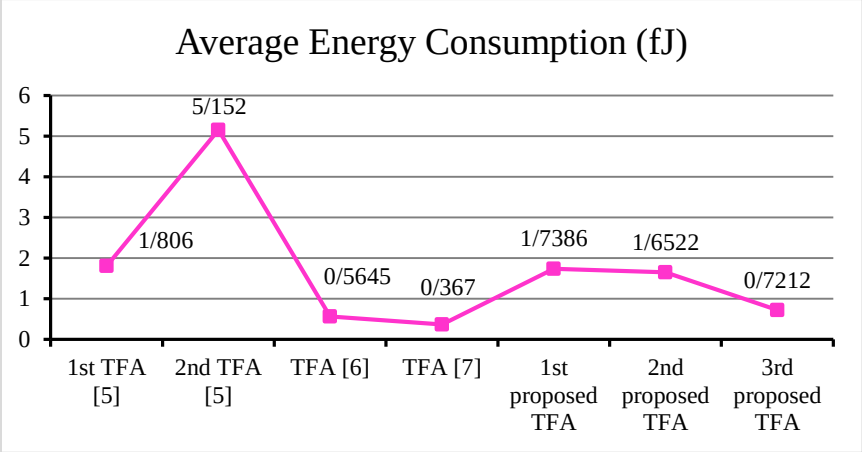
مصرف انرژی ($\times 10^{-15}$ J)	مصرف توان متوسط ($\times 10^{-6}$ W)	حداکثر تاخیر ($\times 10^{-12}$ s)	
1.806	6.361	283.8	اولین تمام جمع گر مرجع [۵]
5.152	19.71	261.4	دومین تمام جمع گر مرجع [۵]
0.5645	1.462	386.1	تمام جمع گر مرجع [۶]
0.367	2.209	166.1	تمام جمع گر مرجع [۷]
1.7386	26.836	64.786	تمام جمع گر پیشنهادی اول
1.6522	11.073	149.21	تمام جمع گر پیشنهادی دوم
0.7212	4.8283	149.38	تمام جمع گر پیشنهادی سوم



شکل ٤- مقایسه تاخیر تمام جمع کننده‌ها



شکل ٥- مقایسه مصرف توان تمام جمع کننده‌ها



شکل ٦- مقایسه مصرف انرژی تمام جمع کننده‌ها

۵. نتیجه‌گیری

این مقاله ضمن مرور کامل منطق چند ارزشی، یک سلول تمام جمع کننده سه ارزشی را ارائه داد که طراحی آن می‌تواند نقطه‌ی عطفی در روند توسعه مدارهای حسابی مبتنی بر نانولوله‌های کربنی باشد. بر این اساس، هدف طراحی در واقع بهبود توان مصرفی مدار بود. این مدار در کل دارای ۳۵ ترانزیستور می‌باشد که از نقطه نظر مساحت عدد مناسبی در مقایسه با سایر جمع گرها محسوب می گردد. در ادامه شبیه‌سازی کاملی به وسیله‌ی شبیه‌ساز HSPICE روی مدار انجام گرفت و نتایج شبیه‌سازی علاوه بر تایید درستی عملکرد مدار، نشان داد که مدار از مصرف توان نسبتا کمی نیز برخوردار است. با توجه به این مطالب می‌توان از این جمع گر در کاربردهای کم مصرف مانند سیستم‌های خاص منظوره و سامانه‌های نهفته‌ی سه ارزشی استفاده نمود.

مراجع

1. Miller, D. M. and Thornton, M. A., (2008), "*Multiple Valued Logic: Concepts and Representations*," Morgan & Claypool.
2. Hurst, S.L., (1984), "Multiple-valued logic-its status and future," IEEE Transactions on Computers, vol. C-33, no. 12, pp. 1160-1179.
3. Deng, J., (2007), "*Device modeling and circuit performance evaluation for nanoscale devices: silicon technology beyond 45 nm node and carbon nanotube field effect transistors,*" PhD thesis, Stanford University.
4. Stanford University CNTFET Model, (2008), Stanford University, Stanford, CA, USA. [Online].Available: http://nano.stanford.edu/model_stan_ cnt.htm
5. Moaiyeri, M.H. Faghih Mirzaee, R. Navi, K. and Hashemipour, O., (2011), "Efficient CNTFET-based Ternary Full Adder Cells for Nanoelectronics," Nano-Micro Letters, Vol 3, No 1, pp 43-50.
6. Ebrahimi, A. Keshavarzian, P. Sorouri, S. Shahsavari M., (2012), "Low Power CNTFET- Based Ternary Full Adder Cell for Nanoelectronics," International Journal of Soft Computing and Engineering (IJSCE), Vol. 2, No 2, pp 291-295.
7. Keshavarzian, P. Sarikhani, R., (2014). "A novel CNTFET-based ternary full adder," Circuits Syst. Signal Process, Vol. 33, No 3, pp 665-679.
8. Moaiyeri, M.H. Doostaregan, A. and Navi, K., (2011), "Design of energy-efficient and robust ternary circuits for nanotechnology," IET Circuits, Devices & Systems, Vol. 5, No. 4, pp. 285-296.