مبدل آنالوگ به دیجیتال فلش مقایسه گر جریان با توان مصرفی پایین

شاهین بازغی کیسمی، دانشجوی دکتری، دانشکده فنی و مهندسی، دانشگاه آزاد واحد گرمسار، واحد گرمسار، ایران.
Sh.bazeghi@gmail.com
دکتر حسن خالصی، استادیار، دانشکده فنی و مهندسی، دانشگاه آزاد واحد گرمسار، واحد گرمسار، ایران.
khalesih@yahoo.com

چکیده:
در این مقاله یک مبدل آنالوگ به دیجیتال فلش ارائه شده است که بلوک اصلی آن یک مقایسه‌گر مد جریانی می باشد. با جایگزین کردن قسمت سورس فالوور مقایسه گر با یک مدار دنبال کننده ولتاژ، تاخیر انتشار آن کاهش داده شده است. مدت زمان تبدیل در مبدل آنالوگ به دیجیتال فلش فقط به مدت زمان تأخیر در مقایسه‌گرها و مدارات کدگذاری وابسته است. برای تبدیل اختلاف جریان به یک سیگنال دو سطحی (از نوع ولتاژ) از یک مدار لچی که متشکل از دو عدد اینورتر پشت به پشت می باشد استفاده می کند. همچنین برای کاهش هرچه بیشتر تاخیر و افزایش حاشیه نویز از سه عدد اینورتر اضافی در خروجی مقایسه گر استفاده شده است. این مبدل در تکنولوژی 180 نانومتر سی ماس طراحی و شبیه سازی گردید. نتایج به دست آمده از شبیه سازی های نشان می دهند که توان مصرفی مقایسه گر به ازای ورودی پالس 20 مگاهرتزی با دامنه تفاضلی 1 میکرو آمپر حدود 360 میکروات می باشد.

واژه های کلیدی: مبدل آنالوگ به دیجیتال فلش، مقایسه گر مد جریان، مدار دنبال کننده ولتاژ، اینورتر، توان مصرفی

1- مقدمه

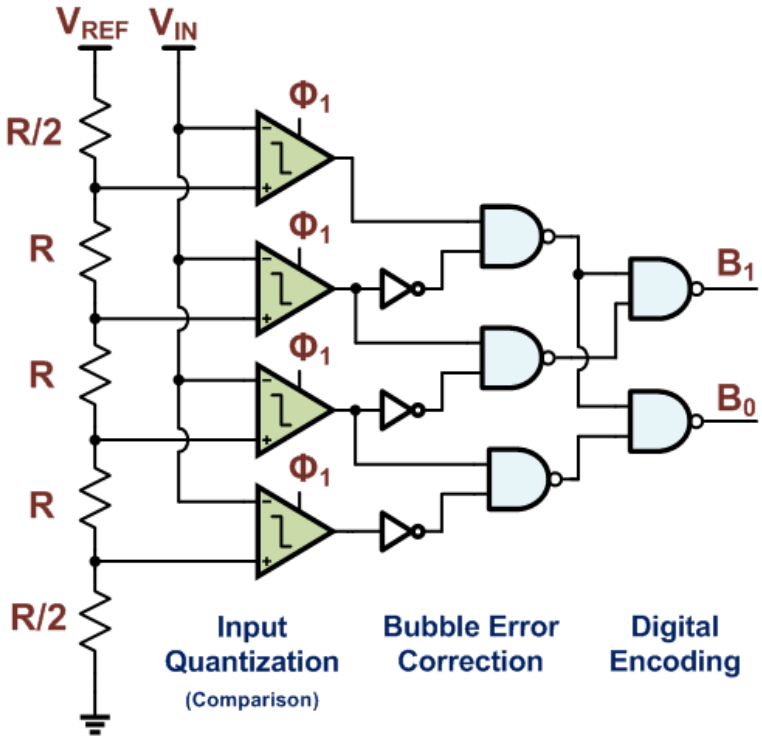
در دنیای امروزی پیشرفت‌هایی که در زمینه تکنولوژی اطلاعات حاصل شده نیاز به پهنای باند وسیع‌تر برای پردازش و انتقال هر چه بیشتر اطلاعات روز به روز افزایش پیدا می‌کند. مبدل های آنالوگ به دیجیتال یکی از بلوک هایی اساسی هر سیستم پردازش سیگنال می‌باشد که امروزه به وفور در تمامی تجهیزات اندازه گیری، پردازش‌های موازی و غیره مورد استفاده قرار می‌گیرند. در بین تمامی ساختارهای مبدل های آنالوگ به دیجیتال مبدل فلش بهترین و مناسب ترین ساختار برای سرعت های بالا (گیگاهرتزی) و دقت های متوسط به پایین می‌باشد. این مبدل به خاطر سادگی ساختار و عملکرد کاربرد وسیعی در تجهیزات اندازه‌گیری مهندسی پزشکی، شبکه های سنسوری بی سیم [1] و غیره دارد[1و5].

در واقع مبدل فلش تنها مبدلی است که می‌تواند همزمان با اعمال سیگنال به ورودی کدهای دیجیتال در یک کلاک حاصل شود. برای درک بهتر این مبدل ساختار نشان داده شده در شکل 1 را در نظر می‌گیریم که در واقع یک مبدل آنالوگ به دیجیتال فلش 3 بیتی بوده و از 4 مقایسه گر ولتاژ، یک نردبان مقاومتی 4 سطحی (به عنوان ولتاژ مرجع) و مدارات کدگذاری دیجیتال تشکیل شده است. سطوح ولتاژ ایجاد شده توسط نردبان مقاومتی در واقع ولتاژهای ترشلد مقایسه‌گرها می‌باشد به طوری که ولتاژ ترشلد مقایسه گر بالایی بیشترین مقدار ($7V_{Ref}/8$) و ولتاژ مقایسه گر پایینی کمتر مقدار ($V_{Ref}/8$)

1 Wireless sensor network

Archive of SID

را دارد. بسته به ساختار مقایسه گرها، با تغییر فاز Φ_1 از 0 V به V_{DD} و یا بر عکس، این ولتاژها با دامنه سیگنال ورودی مقایسه شده و نتیجه آن به مدار دیجیتال اعمال می شوند تا عمل تبدیل کد حرارتی به کد 1-OF-N را انجام دهند و در نهایت بیت‌های دیجیتال خروجی به صورت باینری تولید می‌شود [1و5].



شکل 1. شماتیک فلش دو بیتی در ناحیه ولتاژ

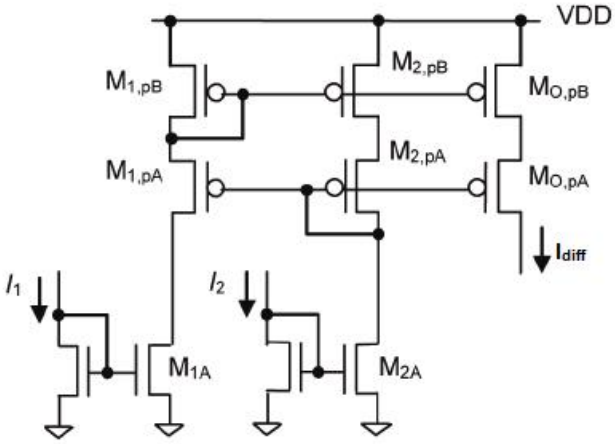
حساسیت بالا به آفست مقایسه‌گرها، محدود بودن دقت ولتاژهای ترشلد ایجاد شده به خاطر عدم تطبیق مقاومت‌ها از عمده ترین چالشها در طراحی مبدل آنالوگ به دیجیتال فلش است [1و6 و10]. همچنین مدت زمان تبدیل در آن فقط به مدت زمان تأخیر در مقایسه‌گرها و مدارات کدگذاری وابسته است. همین مشکلات باعث شده است که تحقیقاتی زیادی در این زمینه انجام شود. یکی از روش های متداول برای گریز از برخی از مشکلات فوق، استفاده از حوزه جریان جهت پردازش سیگنال به جای حوزه ولتاژ می باشد. مزیتی که حوزه جریان دارد این است که مقایسه گرهای حوزه زمان می توانند خیلی سریع تصمیم گیری کنند و در نتیجه زمان تبدیل مبدل کاهش می یابد. از طرفی دیگر برای حالتی که دامنه سیگنال خیلی کوچک باشد، مقایسه گر حوزه ولتاژ به راحتی نمی تواند ولتاژ را از آفست و یا نویز ورودی مقایسه گرها تفکیک کند. این در حالیست که مدار حوزه جریان به راحتی می توانند جریان های بسیار کوچک و در حد میکروآمپر را هم تشخیص دهند. عیبی که مدارات حوزه جریان در مقایسه بار مدارات حوزه ولتاژ دارند این است که محدود رنج دینامیکی آن ها کوچک می باشد و همین امر باعث می شود که در دامنه‌های بزرگتر غیر خطی شوند [5و8]. به طور کلی اساس کار مبدل های آنالوگ به دیجیتال فلش مقایسه گر می باشد. که نقش این بلوک در مدارات حوزه جریان از لحاظ توان مصرفی، تاخیر و غیره بسیار اهمیت دارد. بر این اساس هدف اصلی این مقاله نیز ارائه روشی جهت بهبود عملکرد مقایسه گر جریان می باشد.

ساختار این مقاله به این صورت است که در بخش دوم ساختار مقایسه گر پیشنهادی ارائه شده و تفاوت ها و شباهت های آن با کارهای قبلی توضیح داده می شود. در بخش سوم بر اساس مقایسه گر پیشنهادی یک مبدل فلش 3 بیتی مد جریان ارائه شده و بلوک های آن به اختصار توضیح داده می شوند. در بخش چهارم نتایج شبیه سازی ارائه شده و در نهایت در بخش پنجم نتیجه گیرها و خلاصه کار توضیح داده می شود.

Archive
www.SID.ir

2- ساختار مقایسه گر

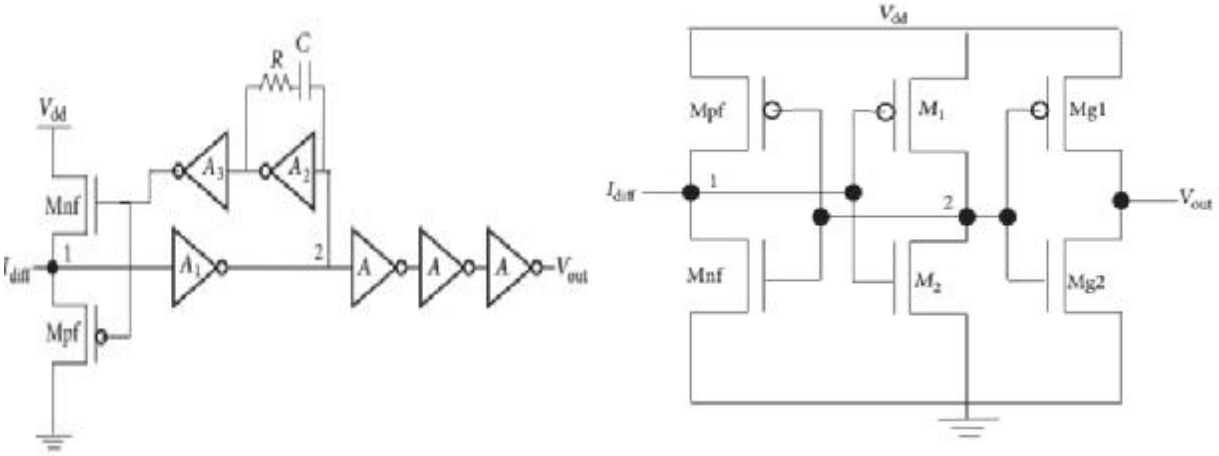
همانطور که اشاره گردید مدت زمان تبدیل در مبدل آنالوگ به دیجیتال فلش فقط به مدت زمان تأخیر در مقایسه‌گرها و مدارات کدگذاری وابسته است که در این میان مقایسه گر نقش مهمتری دارد.. تا بحال تحقیقات زیادی در زمینه مقایسه گرهای حوزه جریان انجام شده است تا عملکرد آن را از نظر پارامترهای مذکور بهبود دهند. تفاوت عمده کارها در نحوه تبدیل اختلاف ورودی آنالوگ به سیگنال دیجیتال (دو سطحی) می باشد. به طور کلی هسته اصلی یک مقایسه گر جریان به صورت شکل 2 می باشد که در واقع به عنوان تقویت کننده عمل کرده و در آن جریان های ورودی I1 و *I2* توسط آینه های جریان به یک گره اعمال شده و اختلاف این دو جریان منجر به افزایش و یا کاهش ولتاژ آن گره می شود. در ادامه این اختلاف ولتاژ توسط یک مدار لچ که دارای فیدبک مثبت می باشد به یک سیگنال دو سطحی یعنی 0 یا 1 تبدیل می شود. طور خلاصه دو روش معروف جهت پیاده سازی مدار لچ برای مقایسه گر حوزه جریان که عملکرد نسبتا بهتری نسبت به سایر کارها دارند در مراجع [5 و 8] ارائه شده اند که ساختار آن ها در شکل 3 نشان داده شده است.



شکل2. قسمت تقویت کننده مقایسه گر جریان [1]

به طور خلاصه در مدار شکل 3-الف برای تبدیل اختلاف جریان Idiff *به یک سیگنال دو سطحی (از نوع ولتاژ) از یک مدار لچی که متشکل از دو عدد اینورتر پشت به پشت می باشد استفاده می کند. که این مدار متشکل از ترانزیستورهای* M1,2 *و* Mnf *و* Mpf *می باشد. این ترانزیستورها با ایجاد فیدبک مثبت باعث می شوند که ولتاژ گره های 1 و 2 به صورت عکس هم به صفر و یا* VDD *تغییر دهند. برای افزایش حاشیه نویز و همچنین کاهش تاخیر از یک اینورتر متشکل از ترانزیستورهای* Mg1,2 *استفاده شده است. در مدار شکل 3-ب نیز از مفهوم مشابه ساختار شکل 3-الف استفاده می کند با این تفاوت که برای افزایش بهره حلقه متشکل از ترانزیستورهای* Mnf *و* Mpf *با اینورترهای* A1 *تا* A3 *تعداد اینورترها را* افزایش می دهد. این کار باعث کاهش زمان صعود و نزول شده و در نتیجه سرعت تصمیم گیری مقایسه گر را افزایش می دهد. در این مدار برای اینکه حلقه دچار ناپایداری و نوسان نشود از مدار جبرانساز متشکل از یک مقاومت با یک خازن سری به موازات اینورتر *A2* استفاده شده است. همچنین برای کاهش هرچه بیشتر تاخیر و افزایش حاشیه نویز از سه عدد اینورتر اضافی در خروجی مقایسه گر استفاده شده است که این عمل باعث افزایش توان مصرفی و سطح تراشه اشغالی آن می شود.

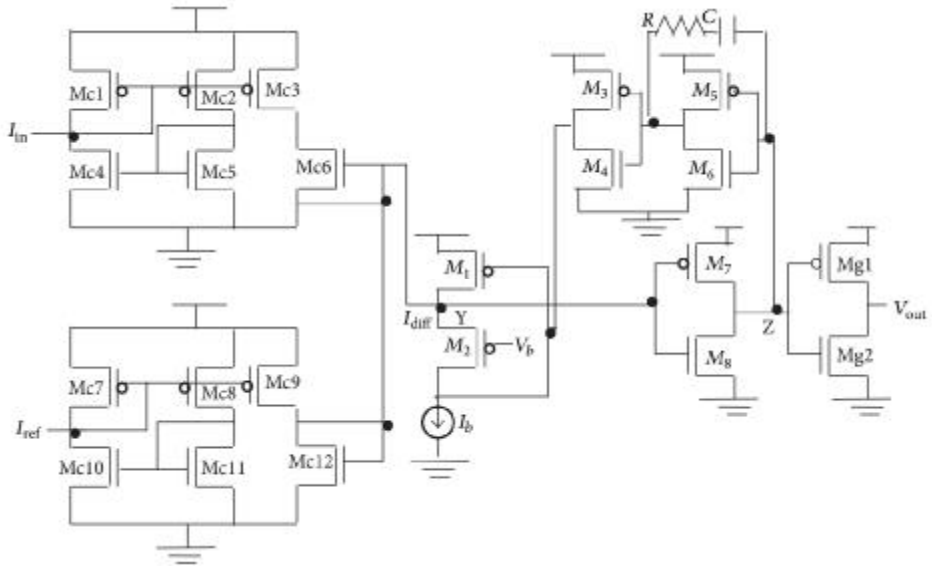
Archive of SID



ب الف

شکل3. ساختار لچ مقایسه گر جریان الف- مرجع [5] ب- مرجع [8]

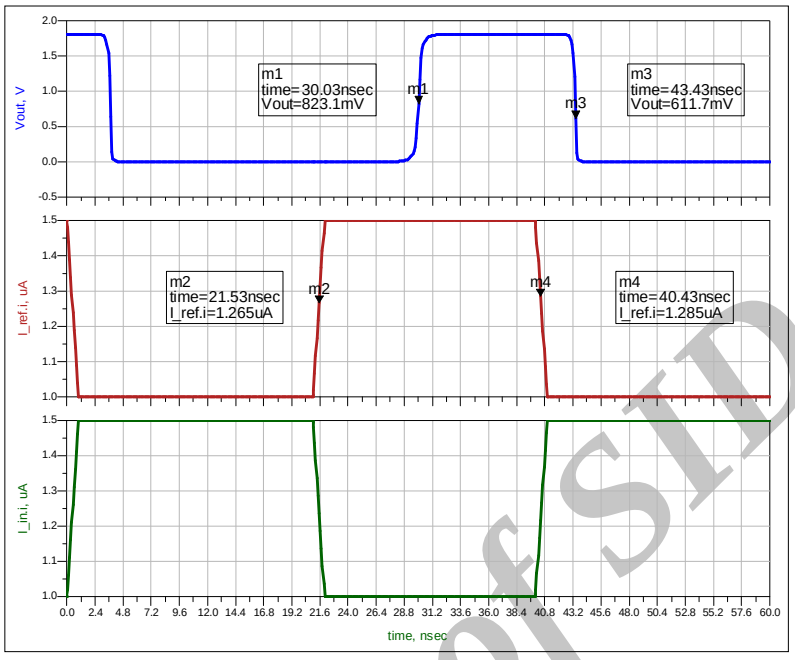
شکل 4 ساختار مقایسه گر پیشنهادی را نشان می دهد که این ساختار در واقع ساختار بهبود یافته شکل 3-ب می باشد که بر خلاف ساختار مرجع، در ساختار پیشنهادی جریان Idiff دقیقا از سلول های مشابه ایجاد می شوند و در نتیجه دارای دقت بالایی می باشد. در ثانی برای کاهش هرچه بیشتر تاخیر از یک مدار دنبال کننده ولتاژ (Flipped Voltage Follower) استفاده شده است. به طور خلاصه جریان های ورودی و مرجع پس از عبور از مدار آینه جریان (MC1-MC12) وارد مدار FVF که متشکل از ترانزیستورهای M1,2 به همراه منبع جریان بایاس Ib می باشد، می شود. سپس اختلاف این دو جریان تقویت شده و به مدارهای اینوتری اعمال می شود تا خروجی ریل تا ریل حاصل شود. ترانزیستورهای M3-M8 نیز مدار اینورتری می باشند که به همراه خازن C و مقاومت R جهت جبرانسازی و اطمینان از پایداری مقایسه گر به کار رفته است. برای حالتی که مقایسه گر در حلقه فیدبک قرار نگیرد می توان این قسمت مدار را حذف کرد تا توان مصرفی آن کاهش یابد. در نهایت در اینجا نیز برای افزایش حاشیه نویز از یک طبقه اینورتر اضافی قبل از خروجی قرار داده شده است. برای اطمینان از عملکرد مقایسه گر مدار شکل 4 به کمک نرم افزار ADS شبیه سازی گردید که خروجی آن به ازای ورودی پالس با دامنه تفاضلی 1 میکرو آمپر در شکل 5-الف نشان داده شده است. همچنین شکل موج جریان مصرفی مدار در این حالت در شکل 5-ب نشان داده شده است.



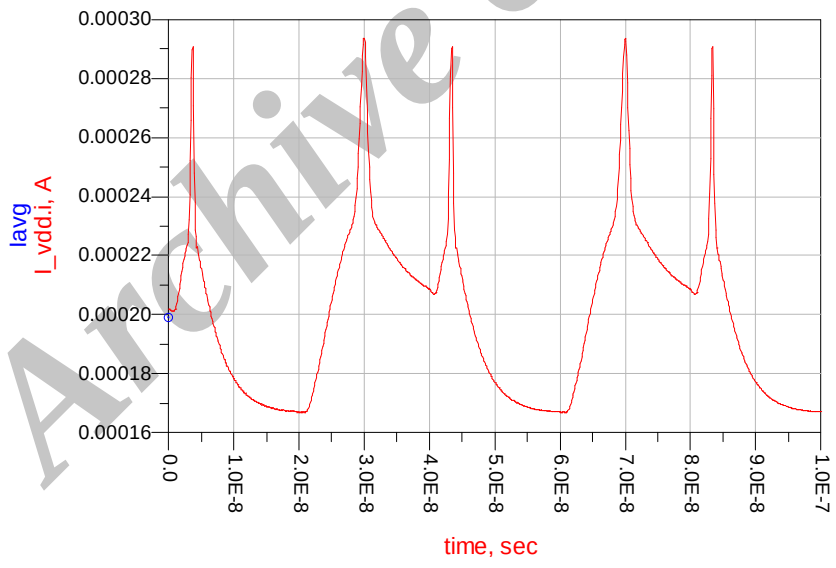
شکل4. ساختار مقایسه گر جریان پیشنهادی

www.SID.ir

به ازای این ورودی توان مصرفی مقایسه گر برابر 360 میکرو وات و زمان تاخیر (متوسط تاخیر صعود و نزول) حدود 5.75 ns (برای فرکانس ورودی 20 مگاهرتز) می باشد. بنابراین پارامتر pdp مقایسه گر در دمای اتاق برابر $2.07*10^{-12}$ خواهد بود.



الف



ب

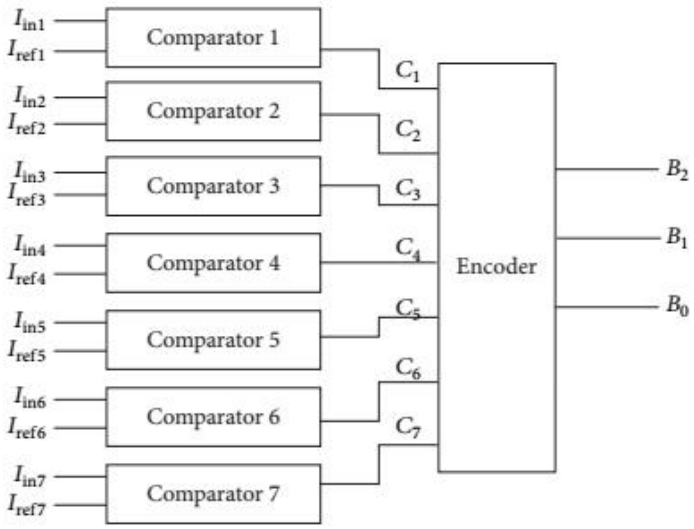
شکل5. نتیجه شبیه سازی مقایسه گر الف- اعمال پالس ب- شکل موج جریان مصرفی

3- پیاده سازی مبدل فلش 3 بیتی مبتنی بر مقایسه گر مد جریان

مدار مبدل فلش 3 بیتی شبیه سازی شده مبتنی بر مقایسه گر پیشنهادی در شکل 6-الف نشان داده شده است. همانطور که مشاهده می شود این مبدل متشکل از 7 مقایسه گر جریان می باشند که هر کدام از آنها جریان ورودی را با جریان های مرجع مقایسه می کنند. لازم به ذکر است که در مدار نشان داده شده جریان های I_{in1} تا I_{in7} با همدیگر برابر می باشند. این

Archive of SID
www.SID.ir

جریان ها توسط منابع جریان آینه می شوند که نسبت آنها به همدیگر برابر می باشد. در مقابل جریان های مرجع (I_{ref1} تا I_{ref2}) دارای نسبت های متفاوتی می باشند به طوری که $I_{ref1}=7*I_{ref}/8$، $I_{ref2}=6*I_{ref}/8$، $I_{ref3}=5*I_{ref}/8$، $I_{ref4}=4*I_{ref}/8$، $I_{ref5}=3*I_{ref}/8$، $I_{ref6}=2*I_{ref}/8$ و $I_{ref7}=1*I_{ref}/8$ می باشد.



شکل 6. ساختار مبدل شبیه سازی شده

این جریان ها با جریان ورودی مقایسه شده و اختلاف آن توسط مقایسه گر جریان به محدود ریل تا ریل (0 تا VDD) تغییر می کند. مطابق شکل 6 خروجی مقایسه گرها به ورودی انکدور اعمال می شود. در مدار انکدور خروجی های منطقی B2، B1 و B0 از روابط زیر بدست می آیند:

$$B_0 = C_1 \oplus C_2 \oplus C_3 \oplus C_4 \oplus C_5 \oplus C_6 \oplus C_7 \quad (1)$$

$$B_1 = \overline{C_4} C_2 \oplus C_4 C_6 \quad (2)$$

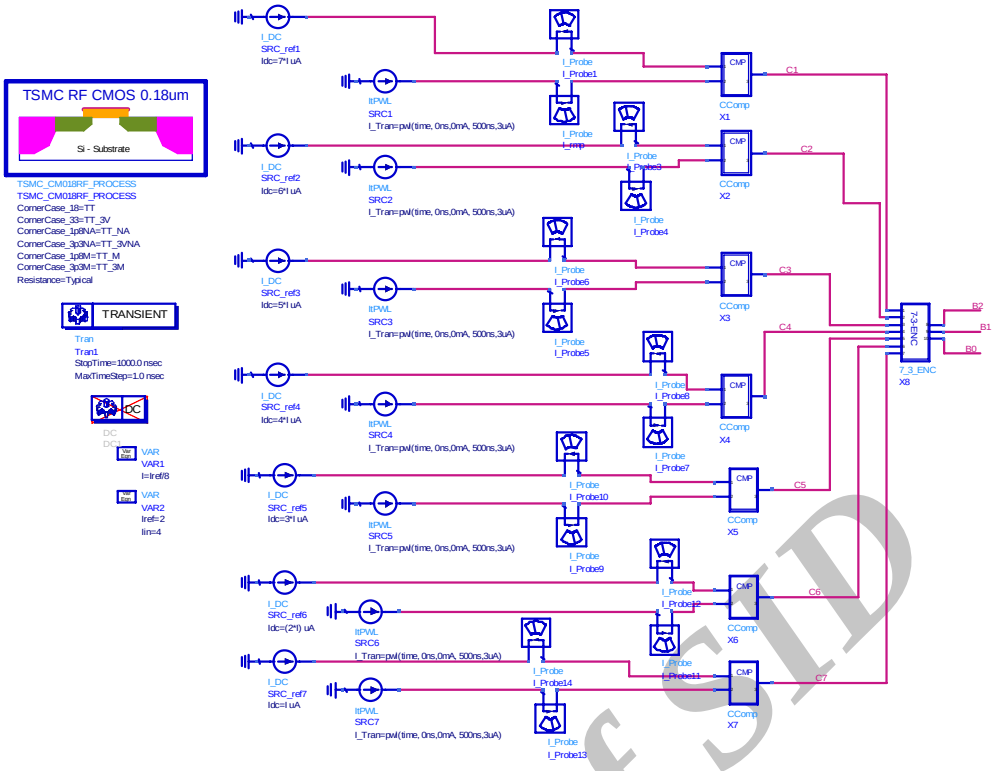
$$B_2 = C_4 \quad (3)$$

لازم به ذکر است که برای کاهش توان مصرفی، مدار انکودر بر اساس گیت های انتقال و گیت NOT پیاده سازی شده است. که جزئیات آن در صفحه بعد ارائه می شود.

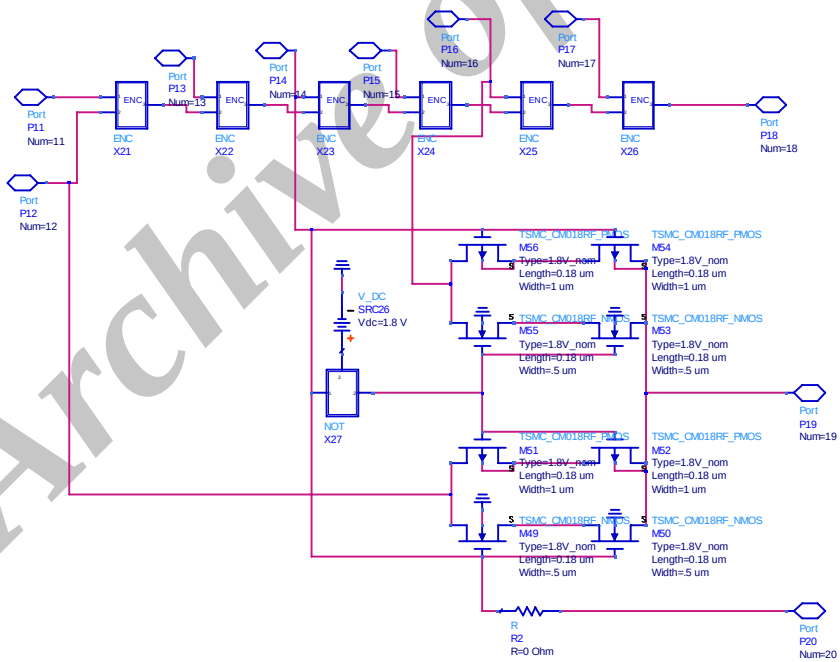
4- نتیجه شبیه سازی

برای اطمینان از صحت عملکرد مدار، مبدل طراحی شده با مقایسه گر جریان پیشنهادی به کمک نرم افزار ADS شبیه سازی گردید. در این شبیه سازی ولتاژ تغذیه مدار 1.8 ولت در نظر گرفته شده است. شکل 7 مدارات مربوط به مبدل آنالوگ به دیجیتال و همچنین مدار داخلی انکودرها را نشان می دهد. همانطور که قبلا نیز اشاره گردید، برای کاهش هرچه بیشتر توان مصرفی، از گیت های انتقال برای پیاده سازی مدار انکودر استفاده گردید.

Archive of SID



الف

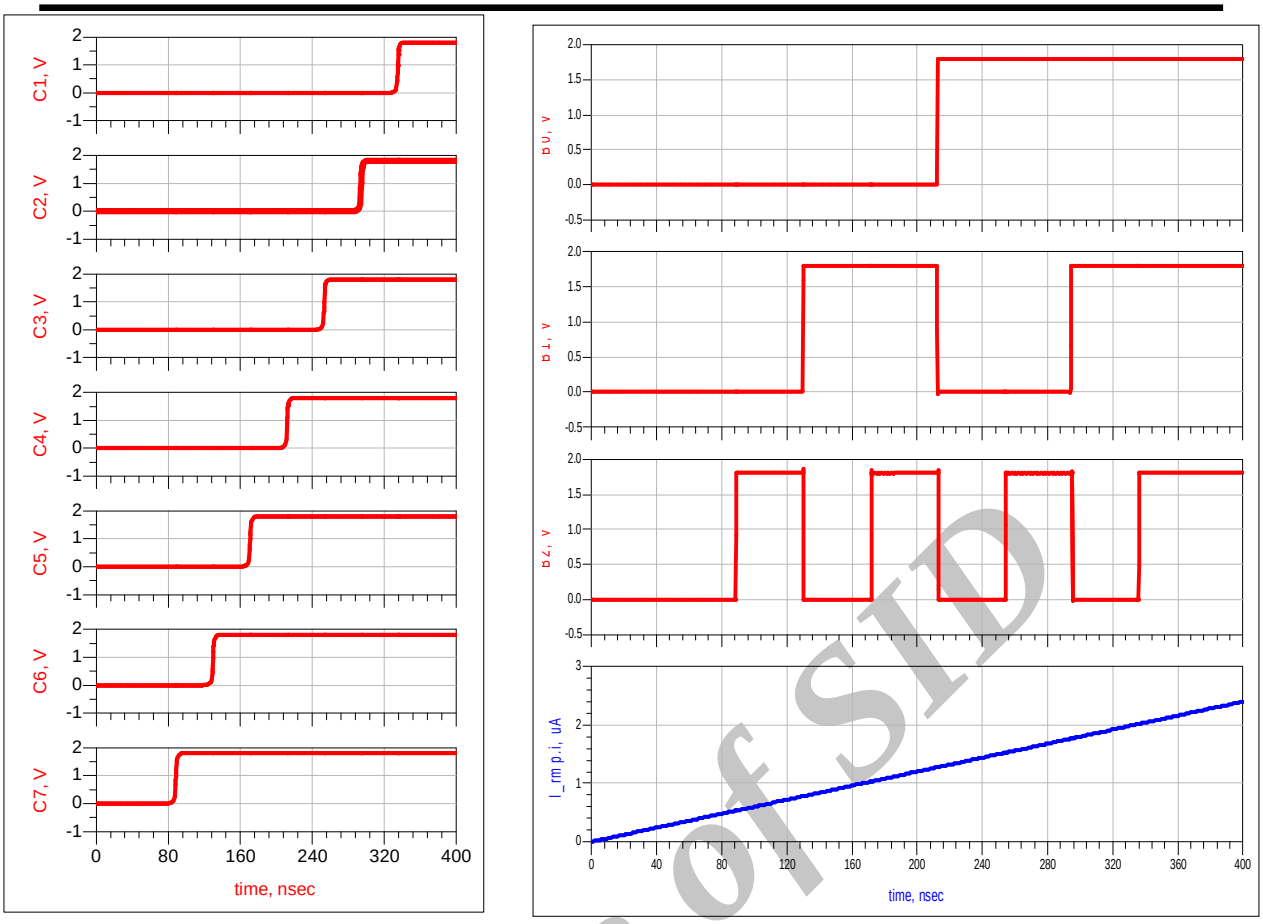


ب

شکل7. الف- مبدل فلش شبیه سازی شده ب- مدار انکودر

برای ارزیابی رفتار حالت گذرای مبدل عملکرد آن به ازای ورودی شیب آزمایش گردید. به این صورت که با اعمال ورودی شیب با دامنه 4 میکرو ولت خروجی های دیجیتال بدست آمد. شکل 8 بیت های خروجی و همچنین سیگنال های تولید شده توسط مدار انکودر را نشان می دهد که نشان از عملکرد صحیح مبدل می باشد.

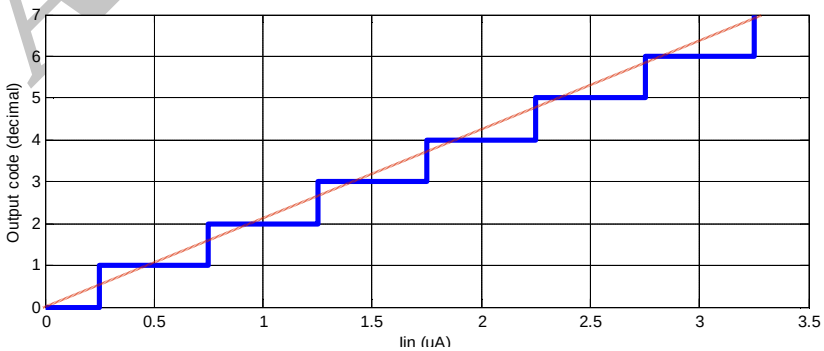
Archive of SID
www.SID.ir



ب الف

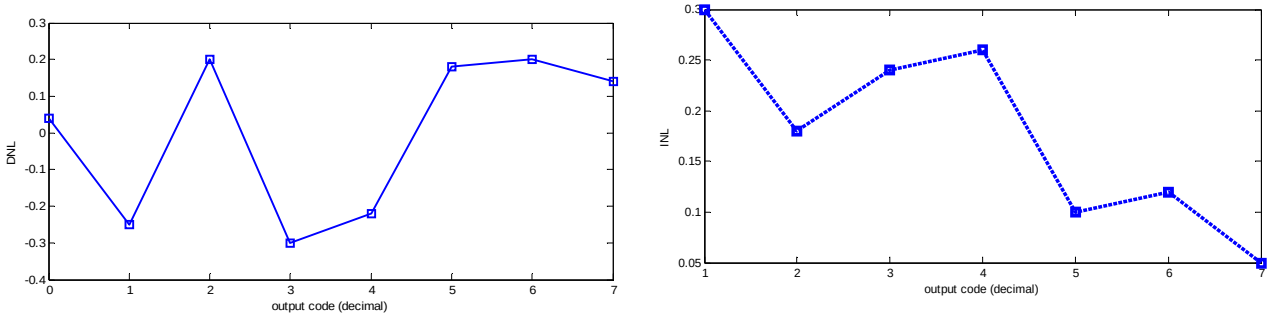
شکل8. الف- بیت های خروجی ب- خروجی های مدار انکودر

همچنین برای ارزیابی عملکرد مبدل از لحاظ خطینگی پارامترهای INL و DNL آن به ازای ورودی شیب بدست آمد که نتایج آن در شکل 9 نشان داده شده است. همانطور که مشاهده می شود در مشخصه ورودی و خروجی (به صورت دسیمال) هیچگونه کد از دست رفته ای مشاهده نمی شود.



الف

Archive of SID
www.SID.ir



شکل9. الف- مشخصه ورودی-خروجی مبدل ب- مشخصه INL ج- مشخصه DNL

5- نتیجه گیری

در این مقاله یک، یک مبدل آنالوگ به دیجیتال فلش مبتنی بر یک مقایسه‌گر مد جریان ارائه گردید که در ساختار مقایسه گر با جایگزین کردن قسمت سورس فالوور با یک مدار دنبال کننده ولتاژ، تاخیر انتشار آن کاهش داده شد. رزولوشن این مبدل 3 بیت، ولتاژ تغذیه آن 1/8 ولت می باشد. این مبدل در تکنولوژی 180 نانومتر سی ماس توسط نرم افزار قدرتمند ads طراحی و شبیه سازی گردید. نتایج به دست آمده از شبیه سازی های ads نشان می دهند که توان مصرفی مقایسه گر به ازای ورودی پالس 20 مگاهرتزی با دامنه تفاضلی 1 میکرو آمپر حدود 360 میکروواوت و PDP آن در دمای حدود $2/07\times10^{-12}$ می باشد.

مراجع

[1] F. Maloberti, *Data converters*: Springer, 2007.

[2]B. P. Brandt and J. Lutsky, “A 75-mW, 10-b, 20-MSPS CMOS subranging ADC with 9.5 effective bits at Nyquist,” IEEE J. Solid-State Circuits, vol. 34, no. 12, pp. 1788–1795, Dec. 1999.

[3]Rabeeh Majidi, Anthony Crasso and John A. McNeill, “Digital Background Calibration of Redundant Split-Flash ADC in 45nm CMOS” symposium on Circuits and Systems (ISCAS), pp. 1271-1274, May. 2012.

[4]P. Iswerya, S. Gupta, M. Goel, V. Bhatia, N. Pandey, and A. Bhattacharyya, “Delay area efcient low voltage FVF based current comparator,” in *Proceedings of the Students Conference on Engineering and Systems (SCES ’12)*, IEEE, Allahabad, India, March 2012.

[5]H. Tra , “Novel approach to high speed CMOS current comparators,” *Electronics Letters*, vol. 28, no. 3, pp. 310–312, 1999

[6]R. Sridhar, N. Pandey, A. Bhattacharyya, and V. Bhatia, “High speed high resolution current comparator and its application to Analog to Digital converter,” *Springer’s Insititute of Engineers India Series B*, vol. 97, no. 2, pp. 147–154, 2016.

[7]H. H. Kim and K. S. Yoon, “A 12 bit current-mode folding/interpolation CMOS A/D converter with 2 step architecture,” in *Proceedings of the 1st IEEE Asia Pacifc Conference on ASICs (AP-ASIC ’99)*, pp. 174–177, Seoul, South Korea, August 1999.

[8]X. Tang and K.-P. Pun, “High-performance CMOS current comparator,” *Electronics Letters*, vol. 45, no. 20, pp. 1007–1009, 2009.

[9]S. Weaver and et al,: “Stochastic Flash Analog-to-Digital Converter,” IEEE Transactions on Circuit and Systems, vol. 57, no 12., pp. 2825–2833. Nov. 2010.

[10]T. W. Matthews, P. L. Heedley, “A Simulation Method for Accurately Determining DC and Dynamic Offset in Comparators,” IEEE MWSCAS, pp. 1815 - 1818, Aug. 2005.

Archive of SID

www.SID.ir